

T.C.
FIRAT ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

150099

**UZAY VEKTÖR DARBE GENİŞLİK MODÜLASYONU
KULLANAN BEŞ SEVİYELİ İNVERTER TASARIMI VE
UYGULAMASI**

Servet TUNCER

DOKTORA TEZİ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI

ELAZIĞ, 2004

T.C.
FIRAT ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

**UZAY VEKTÖR DARBE GENİŞLİK MODÜLASYONU
KULLANAN BEŞ SEVİYELİ İNVERTER TASARIMI VE
UYGULAMASI**

Servet TUNCER

DOKTORA TEZİ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI

Bu tez, ...~~16.04.2004~~... tarihinde aşağıda belirtilen jüri tarafından oybirliği/oyçokluğu ile başarılı/başarısız olarak değerlendirilmiştir.

Danışman: Yrd. Doç.Dr. Yetkin TATAR

Üye : Doç.Dr.İlhami ÇOLAK

Üye: Doç. Dr. Hanifi GÜLDEMİR

Üye: Doç. Dr. Sedat SÜNTER

Üye: Yrd.Doç.Dr.Ahmet ORHAN

Bu tezin kabulü, Fen Bilimleri Enstitüsü Yönetim Kurulu' nun 21.04.2004 tarih ve16.1..... sayılı kararıyla onaylanmıştır.

TEŞEKKÜR

Bu tez çalışması süresince yardımlarını esirgemeyen ve değerli fikirleriyle bana yol gösteren danışman hocam, Sayın Yrd.Doç.Dr. Yetkin TATAR'a çok teşekkür eder, şükranlarımı sunarım.

Yine tez çalışması süresince sıkılmadan beni dinleyen ve büyük destek gördüğüm Doç.Dr. Hanifi GÜLDEMİR'e, tez konusu belirlemede fikirlerinden yararlandığım Doç.Dr. Sedat SÜNTER'e, tecrübelerinden yararlandığım Yrd.Doç.Dr. Mehmet GEDİKPINAR'a çok teşekkür eder, şükranlarımı sunarım.

Tezin yazım aşamasında yardımcı olan ve tecrübelerinden faydalandığım kıymetli arkadaşım Dr. Arif GÜLTEN'e ve Yrd.Doç. Dr. Zafer AYDOĞMUŞ'a, fikirleriyle katkıda bulunan değerli arkadaşlarım Arş. Gör. Cafer BAL'a, Arş.Gör. Erkan TANYILDIZI'na ve Yrd.Doç.Dr. Hayrettin CAN'a teşekkürlerimi bir borç bilirim.

Ayrıca teze destek veren Fırat Üniversitesi Bilimsel Araştırmaları Birimine (FÜBAB-776 ve FÜBAB-819), tez çalışması süresince moral desteklerini esirgemeyen bölümdeki kıymetli hocalarıma ve araştırma görevlisi arkadaşlarıma da çok teşekkür ederim.

Son olarak tez çalışması boyunca gösterdikleri sabır ve desteklerinden, sağladıkları huzurlu çalışma ortamından dolayı sevgili eşime, anneme, babama, kardeşlerime ve moral kaynağım oğlum A.Emre'ye şükranlarımı sunarım.

İÇİNDEKİLER

	<u>Sayfa</u>
TEŞEKKÜR	
İÇİNDEKİLER	I
ŞEKİLLER LİSTESİ	III
TABLolar LİSTESİ	VII
EKLER LİSTESİ	VIII
SİMGELER LİSTESİ	IX
KISALTMALAR LİSTESİ	X
ÖZET	XI
SUMMARY	XII
1. GİRİŞ	1
1.1. Giriş.....	1
1.2. Tezin Amacı.....	3
1.3. Tezin Organizasyonu.....	4
2. ÇOK SEVİYELİ İNVERTER TOPOLOJİLERİ.....	6
2.1. Giriş	6
2.2. Diyot-Kenetlemeli ÇSİ Topolojisi.....	8
2.3. Kondansatör-kenetlemeli ÇSİ Topolojisi.....	11
2.4. Kaskad Bağlı ÇSİ Topolojisi.....	13
2.5. ÇSİ Topolojilerinin Karşılaştırılması.....	16
3. ÇOK SEVİYELİ İNVERTERLERDE KULLANILAN DARBE GENİŞLİK MODÜLASYON TEKNİKLERİ	18
3.1. Giriş	18
3.2. Taşıyıcı Temelli DGM Teknikleri	19

3.2.1. ÇSİ'lerde SDGM Tekniği.....	20
3.2.2. ÇSİ'lerde HİDGM Tekniği.....	21
3.3. ÇSİ'lerde HMDGM ve HEDGM Teknikleri.....	24
3.3.1. ÇSİ'lerde HMDGM Tekniği.....	24
3.3.2. ÇSİ'lerde HEDGM Tekniği.....	25
4. UZAY VEKTÖR DARBE GENİŞLİK MODÜLASYON TEKİNİĞİ.....	35
4.1. Giriş	35
4.2. İki-Seviyeli İnverterlerde UVDGM Tekniği.....	35
4.3. Çok Seviyeli İnverterler İçin Genel Bir UVDGM Algoritması.....	41
4.3.1. Referans Vektörün Yeri ve Komşu Vektörler İçin İletim Sürelerinin Hesabı.....	42
4.3.2. Uzak Vektörler ile Anahtarlama Durumları Arasındaki Genel Bağlıntılar.....	48
4.3.3. Anahtarlama Durumlarının Seçimi İçin Önerilen Yeni Bir Algoritma.....	52
4.3.4. Anahtarlama durumlarından DGM'li işaret üretimi.....	55
5. GÜÇ DEVRESİ TASARIMI.....	58
5.1. Giriş.....	58
5.2. 5-Seviyeli Kaskad İnverterin Güç Devresinin Tasarımı.....	58
5.2.1. Snubber Tipinin Seçimi.....	61
5.2.2. Sürme Devreleri İçin İzolasyonlu dc Besleme Kaynakları.....	61
5.2.3. İşaret Tersleme, Ölü-Zaman Ekleme ve Hatalara Karşı Koruma.....	62
5.3. Denetleyici Kart ve Kullanılan Yazılımların Özellikleri.....	67
6. BENZETİM VE DENEYSEL SONUÇLAR.....	71
7. SONUÇ	88
KAYNAKLAR	90

ÖZGEÇMİŞ

EKLER

ŞEKİLLER LİSTESİ

Sayfa

Şekil 2.1. ÇSİ'ler için çıkış dalga şekilleri. (a) 5-seviyeli ÇSİ. (b) 7-seviyeli ÇSİ (c) $2s+1$ seviyeli ÇSİ.....	7
Şekil 2.2. ÇSİ topolojilerinin sınıflandırılması.....	8
Şekil 2.3. 3-seviyeli diyot-kenetlemeli ÇSİ. (a) Tek-faz yapısı (b) Anahtarlama durumları.....	9
Şekil 2.4. Üç-faz 5-seviyeli diyot-kenetlemeli ÇSİ devresi.....	10
Şekil 2.5. 3-seviyeli kondansatör-kenetlemeli ÇSİ (a) Tek faz yapısı (b) Anahtarlama durumları.....	12
Şekil 2.6. Üç-faz 5-seviyeli kondansatör-kenetlemeli inverter devresi.....	12
Şekil 2.7. Üç-faz 5-seviyeli kaskad ÇSİ devresi.....	14
Şekil 2.8. H_1 -köprüsü için anahtarlama durumları.....	14
Şekil 2.9. 5-seviyeli kaskad ÇSİ'lerde V_{an} geriliminin dalga şekli	15
Şekil 2.10. IGCT ve IGBT elemanlarından oluşturulmuş hibrid topoloji.....	16
Şekil 3.1. Çok seviyeli modülasyon tekniklerinin sınıflandırılması.....	20
Şekil 3.2. SDGM tekniği için dalga şekilleri ($M=0.8$, $f_1=50\text{Hz}$, $f_s=1\text{kHz}$).....	21
Şekil 3.3. HİDGM tekniği için dalga şekilleri ($M=0.8$, $f_1=50\text{Hz}$, $f_s=1\text{kHz}$).....	22
Şekil 3.4. Doğal örneklemeli DGM ve düzenli örneklemeli DGM tekniklerinin uygulanışı.....	23
Şekil 3.5. 5-seviyeli kaskad inverterin tek-faz yapısı.....	26
Şekil 3.6. 5-seviyeli HEDGM tekniği için dalga şekilleri. (a) H_1 köprüsünün çıkış gerilimi. (b) H_2 köprüsünün çıkış gerilimi. (c) Faz gerilimi ($V_1=V_2=V$).....	26
Şekil 3.7. $m=3$ için anahtarlama açılarının modülasyon indeksine göre değişimi.....	28
Şekil 3.8. $m=5$ için anahtarlama açılarının modülasyon indeksine göre değişimi.....	28
Şekil 3.9. $m=3$ için oluşturulan bölgeler.....	31
Şekil 3.10. İşaret Üretimi için akış şeması.....	32
Şekil 3.11. H_1 ve H_2 köprülerinin çıkış gerilimleri ($m=3$, $f_1=30\text{Hz}$).....	32
Şekil 3.12. İnverterin faz-nötr çıkış gerilimi ve harmonik spektrumu ($m=3$, $f_1=30\text{Hz}$).....	33
Şekil 3.13. İnverterin faz-faz çıkış gerilimi ve harmonik spektrumu ($m=3$, $f_1=30\text{Hz}$).....	33
Şekil 3.14. H_1 ve H_2 köprülerinin çıkış gerilimleri ($m=5$, $f_1=30\text{Hz}$).....	33
Şekil 3.15. İnverterin faz-nötr çıkış gerilimi ve harmonik spektrumu ($m=5$, $f_1=30\text{Hz}$).....	34
Şekil 3.16. İnverterin faz-faz çıkış gerilimi ve harmonik spektrumu ($m=5$, $f_1=30\text{Hz}$).....	34

Şekil 4.1. Üç-fazlı iki-seviyeli inverter devresi.....	36
Şekil 4.2. 8 olası anahtarlama durumu.....	36
Şekil 4.3. Gerilim vektör uzayı.....	37
Şekil 4.4. I.sektördeki bir T_s süresi için a,b,c faz gerilimlerinin anahtarlama durumları...	39
Şekil 4.5. Tüm sektörler için anahtarlama durumları.....	39
Şekil 4.6. UVDGM tekniği için inverter faz gerilimlerinin ortalama değerleri.....	41
Şekil 4.7. 5-seviyeli kaskad bağlı H-köprü inverter topolojisi.....	42
Şekil 4.8. n-seviyeli kaskad inverterin fonksiyonel diyagramı.....	43
Şekil 4.9. 3-seviyeli ve 5-seviyeli inverterlerin gerilim vektörleri.....	44
Şekil 4.10. Kartezyen koordinat sistemindeki uzay vektörler (I. sektör).....	45
Şekil 4.11. Hekzagonal koordinat sistemindeki uzay vektörler (I. sektör).....	46
Şekil 4.12. Tüm sektörler için hekzagonal koordinat sistemindeki (g,h) uzay vektörlerine karşılık $[V_a, V_b, V_c]$ anahtarlama durumlarının gösterimi.....	51
Şekil 4.13. I. sektörde anahtarlama durumlarının seçimi için önerilen algoritmanın akış şeması ($i=1,2,3$).....	53
Şekil 4.14. I. sektörde belirlenmiş bir üçgendeki komşu uzay vektörleri için anahtarlama durumları.....	54
Şekil 4.15. Şekil 4.14'deki belirlenmiş üçgen için V_a, V_b ve V_c fazlarının anahtarlama durumları.....	54
Şekil 4.16. I.sektördeki anahtarlama durumları ($M=0.5$ ve $f_s=1.2\text{kHz}$).....	55
Şekil 4.17. $M=1$ ve $f_1=50\text{Hz}$ için inverter ortalama çıkış gerilimleri ve bu gerilimlerin harmonik spektrumları.....	56
Şekil 4.18. $M=0.75$ ve $f_1=50\text{Hz}$ için inverter ortalama çıkış gerilimleri ve bu gerilimlerin harmonik spektrumları.....	57
Şekil 5.1. 5-seviyeli kaskad inverterin a-fazı için H_1 köprüsü ve çevre birimleri ile bağlantısını gösteren devre şeması.....	59
Şekil 5.2. Tasarlanan 5-seviyeli kaskad inverterin üç-fazlı güç devresinin fotoğrafı.....	60
Şekil 5.3. 5-seviyeli kaskad inverterin a-fazı H_1 köprüsü için izolasyonlu dc hat gerilimi ve köprünün çıkış gerilimi.....	60
Şekil 5.4. Güç devresi için önerilen snubber devresi.....	61
Şekil 5.5. IPM'lerin sürme devreleri için oluşturulan 18 adet 15 V'luk dc besleme kaynakları.....	62
Şekil 5.6. İşaret tersleme, ölü-zaman ekleme ve IPM'lerde oluşacak hatalara karşı koruma işlemlerini yerine getirmesi için tasarlanmış kartın fotoğrafı	63
Şekil 5.7. İşaret tersleme, ölü-zaman ekleme ve IPM'lerde oluşacak hatalara karşı	

koruma işlemlerini yerine getirmesi için tasarlanmış kartın devre şeması.....	64
Şekil 5.8. IXDP630PI dahili schmitt-trigger osilatör.....	65
Şekil 5.9. Osilasyon frekansına bağlı olarak R ve C elemanlarının seçimi.....	65
Şekil 5.10. Giriş işaretleri ve ölü-zaman eklenmiş çıkış işaretleri.....	66
Şekil 5.11. İnverterin aynı kolu üzerindeki anahtarlar için üretilen DGM'li işaretlere bir örnek.....	66
Şekil 5.12. Tasarlanan 5-seviyeli kaskad inverterin genel görünümünün fotoğrafı.....	67
Şekil 5.13. Güç elektroniği dönüştürücü sisteminin genel yapısı.....	67
Şekil 5.14. Sayısal denetleyicilerin mimarisi.....	67
Şekil 5.15. Deney düzeneğinin blok diyagramı.....	69
Şekil 5.16. Kullanılan yazılımların işleyiş diyagramı	70
Şekil 6.1. Önerilen UVDGM algoritmasının akış şeması.....	71
Şekil 6.2. 5-seviyeli kaskad inverterin tek-faz yapısı	73
Şekil 6.3. Önerilen UVDGM algoritmasının benzetim çalışması için oluşturulan bloklar.....	74
Şekil 6.4. Clarke dönüşümü için oluşturulmuş bloklar.....	75
Şekil 6.5. Faz açısı θ 'nın hesaplanması için oluşturulmuş bloklar.....	75
Şekil 6.6. Kartezyen koordinat sisteminden hegzagonal koordinat sistemine dönüşümü sağlayan bloklar.....	75
Şekil 6.7. Referans vektörün yerinin tespiti ve komşu vektörlerin iletim sürelerinin hesabı için oluşturulan bloklar.....	76
Şekil 6.8. Anahtarlama durumlarının tespiti için oluşturulmuş bloklar.....	77
Şekil 6.9. I. sektör için anahtarlama durumları	78
Şekil 6.10. DGM'li işaret üretimi için oluşturulmuş blokları.....	79
Şekil 6.11. İnverterin güç devresindeki anahtarlar için DGM'li işaretin üretilmesinde izlenen yol.....	80
Şekil 6.12. İdeal anahtarlı çok seviyeli inverterin a-fazı için oluşturulan model.....	81
Şekil 6.13. Deneysel çalışmalar için oluşturulan bloklar.....	83
Şekil 6.14. H_1 ve H_2 köprülerinin çıkış gerilimleri ve harmonik spektrumları ($M=1$, $f_1=50\text{Hz}$, $f_s=1000\text{Hz}$).....	84
Şekil 6.15. İnverterin faz-faz, faz-nötr gerilimleri ve harmonik spektrumları ($M=1$, $f_1=50\text{Hz}$, $f_s=1500\text{Hz}$)	84
Şekil 6.16. İnverterin faz-faz gerilimi, faz akımı ve harmonik spektrumları ($M=0.5$, $f_1=10\text{Hz}$, $f_s=500\text{Hz}$).....	85
Şekil 6.17. İnverterin faz-nötr gerilimi, faz akımı ve harmonik spektrumları	

(M=0.75, $f_1=30\text{Hz}$, $f_s=1000\text{Hz}$).....	85
Şekil 6.18. İnverterin faz-faz gerilimi, faz akımı ve harmonik spektrumları	
(M=0.75, $f_1=30\text{Hz}$, $f_s=1500\text{Hz}$).....	86
Şekil 6.19. İnverterin faz-faz gerilimi, faz akımı ve harmonik spektrumları	
(M=1, $f_1=50\text{Hz}$, $f_s=500\text{Hz}$).....	86
Şekil 6.20. İnverterin faz-faz gerilimi, faz akımı ve harmonik spektrumları	
(M=1, $f_1=50\text{Hz}$, $f_s=1000\text{Hz}$).....	87
Şekil 6.21. İnverterin faz-faz gerilimi, faz akımı ve harmonik spektrumları	
(M=1, $f_1=60\text{Hz}$, $f_s=1500\text{Hz}$).....	87



TABLÖLER LİSTESİ

Sayfa

Tablo 2.1. 5-seviyeli diyot-kenetlemeli ÇSİ'nin çıkış gerilim seviyeleri ve anahtarlama durumları.	10
Tablo 2.2. 5-seviyeli kondansatör-kenetlemeli ÇSİ'nin çıkış gerilim seviyeleri ve anahtarlama durumları.....	13
Tablo 2.3. 5-seviyeli kaskad ÇSİ'lerin çıkış gerilim seviyeleri ve anahtarlama durumları.	15
Tablo 2.4. Üç ÇSİ topolojisi arasında faz başına kullanılan güç elemanları açısından bir karşılaştırma.....	15
Tablo 3.1. $m=3$ ve $M=0.6$ için anahtarlama açılarının karşılaştırılması.....	30
Tablo 3.2. $m=5$ ve $M=0.6$ için anahtarlama açılarının karşılaştırılması.....	30
Tablo 4.1. (g,h) uzay vektörü için karşılık gelen tüm anahtarlama durumları.....	50
Tablo 4.2. Farklı sektördeki anahtarlama durumları arasındaki ilişki.....	50
Tablo 6.1. Anahtarlama durumlarına karşılık güç anahtarlarının iletim/kesim durumları.....	73

EKLER LİSTESİ

- EK-1** : Benzetim ve deneysel çalışmalarda kullanılan AC motorun parametreleri
- EK-2** : IPM ve çevre birimlerinin teknik özellikleri
- EK-3** : Kontrol Kartının Özellikleri
- EK-4** : RTI blokları
- EK-5** : I-VI sektörleri için tüm anahtarlama durumları
- EK-6** : I-VI sektörleri için ek-eb metoduna göre anahtarlama durumları.



SİMGELER LİSTESİ

α, β	: Anahtarlama açıları
(α, β)	: Kartezyen koordinat sisteminin koordinatları
F	: Amaç fonksiyonu
f_l	: Temel frekans
f_s	: Anahtarlama frekansı
f_{osc}	: Osilatör frekansı
(g, h)	: Hekzagonal koordinat sisteminin koordinatları
M	: Modülasyon indeksi
M_f	: Frekans indeksi
N_a	: Anahtarlama durumlarının toplam sayısı
N_v	: Gerilim uzay vektörlerinin toplam sayısı
n_{sw}	: Komşu vektörlerin anahtarlama durum sayısı
θ	: Referans gerilim vektörün faz açısı
t_d	: Ölü-zaman
T_s	: Anahtarlama periyodu
T_1, T_2, T_3	: Komşu vektörlerin iletim süreleri
V_m	: İstenen faz geriliminin genliği
ω	: Açısal hız
$\vec{V}^*$	: Referans gerilim vektörü
h_n	: n. harmonik bileşenin genliği

KISALTMALAR LİSTESİ

ÇSİ	: Çok Seviyeli İnverter
DGM	: Darbe Genişlik Modülasyonu
DSP	: Sayısal İşaret İşlemci
EPLD	: Silinebilir Programlanabilir Mantık Devreleri
ek-eb	: En küçük-en büyük
GTO	: Kapıdan Kesime Götürülebilen Tristör
H	: Tek-fazlı inverter köprüsü
HEDGM	: Harmonik Eliminasyonu Darbe Genişlik Modülasyonu
HİDGM	: Harmonik İlaveli Darbe Genişlik Modülasyonu
HMDGM	: Harmonik Minimizasyonu Darbe Genişlik Modülasyonu
I/O	: Giriş-Çıkış
IGBT	: Kapıdan Yalıtımlı Bipolar Transistör
IGCT	: Sürme Devresi Tümlleşik Tristör
IPM	: Akıllı Güç Modülü
SDGM	: Sinüzoidal Darbe Genişlik Modülasyonu
THD	: Toplam Harmonik Bozulma
UVDGM	: Uzak Vektör Darbe Genişlik Modülasyonu

ÖZET

Doktora Tezi

UZAY VEKTÖR DARBE GENİŞLİK MODÜLASYONU KULLANAN BEŞ SEVİYELİ İNVERTER TASARIMI VE UYGULAMASI

Servet TUNCER

Fırat Üniversitesi
Fen Bilimleri Enstitüsü
Elektrik-Elektronik Mühendisliği Anabilim Dalı

2004, Sayfa: 95

Bu tezde, “Çok Seviyeli İnverter (ÇSİ)” topolojileri ve bu topolojilerde kullanılan farklı darbe genişlik modülasyon (DGM) tekniklerine değinilerek, uzay vektör DGM (UVDGM) tekniğinin uygulamasına yönelik yeni bir algoritma sunulmuştur. Bu UVDGM tekniğinde, bir koordinat dönüşüm matrisi kullanılarak referans vektörün içinde olduğu üçgenin belirlenmesi ve bu üçgenin köşelerinin tanımladığı komşu vektörler için iletim sürelerinin hesabı basit denklemler ile yapılmaktadır. İnverter anahtarlama durumlarının seçimi için önerilen en küçük-en büyük (ek-eb) metodu sayesinde minimum anahtarlama geçişi sağlanılmıştır. Bu şekildeki UVDGM algoritması, lineer modülasyon indeksi bölgesinin tüm değerleri için oldukça elverişli olmasının yanı sıra; basit, çok hızlı ve sayısal gerçekleştirmesinin kolay olması gibi avantajlara da sahiptir.

Önerilen UVDGM algoritmasının geçerliliğini test etmek için Matlab/simulink kullanılarak benzetimler yapılmış olup, deneysel sonuçlar ile doğrulanmıştır. Bu çalışmada kullanılan AC motor, bir 5-seviyeli kaskad inverter devresi tasarlanarak inverter çıkışından elde edilen değişken genlik ve frekanslı üç-fazlı gerilimlerle beslenmiştir.

Anahtar Kelimeler: Çok seviyeli inverter, darbe genişlik modülasyon teknikleri, uzay vektör, harmonik eliminasyonu, 5-seviyeli kaskad inverter.

SUMMARY

PhD Thesis

FIVE LEVEL INVERTER DESIGN AND APPLICATION WITH SPACE VECTOR PULSE WIDTH MODULATION

Servet TUNCER

Firat University
Graduate School of Natural and Applied Sciences
Department of Electrical and Electronics Engineering

2004, Page: 95

In this thesis, the multilevel inverters and their control techniques are examined and a new algorithm for the application of space vector pulse width modulation (SVPWM) technique is proposed. In the proposed SVPWM technique, a coordinate transformation matrix is used for the determination of triangle into which the end point of the reference vector falls. Simple equations are used for the dwell times of the nearest three vectors which are defined by the determined triangle corners. Minimum switching sequence was provided by using min-max technique for the selection of inverter switching states. Thus, the SVPWM algorithm became simple, fast, easy to implement and efficient for all values of the linear modulation index.

To test the validity, the proposed SVPWM algorithm was simulated using Matlab/simulink. The simulation results were compared with the experimental results. For this aim, a 5-level cascade inverter was designed and variable amplitude and frequency three-phase output voltage of this inverter is applied to an AC motor.

Keywords: Multilevel inverter, pulse width modulation techniques, space vector, selected harmonic elimination, 5-level cascade inverter.

1. GİRİŞ

1.1. Giriş

Son yıllarda yarı iletken teknolojisinde meydana gelen ilerlemeler ve bunun paralelinde farklı darbe genişlik modülasyon tekniklerinin geliştirilmesi ile yeni statik güç dönüştürücüleri ortaya çıkmış ve bir çok alanda kullanılmaya başlanmıştır. Bunlardan biri de, Çok Seviyeli İnverterlerdir (ÇSİ). Bu inverterler girişlerine uygulanan farklı doğru akım (dc) gerilim seviyelerini birleştirerek sinüsoidal forma yakın çıkış gerilimi oluşturlar [1-4]. Çok seviyeli güç dönüşüm sahası henüz yenidir, fakat ilgi giderek artmaktadır. Öyle ki, elektrik elektronik mühendisliği (Institute of Electrical Electronic Engineering, IEEE) konferanslarının bazılarında ÇSİ'ler üzerine oturumlar açılmaktadır.

Çok seviyeli güç dönüşümü ile ilgili ilk çalışmalar 1981 yılında Nabae ve arkadaşları tarafından başlatıldı [5]. Bu araştırmacılar, nötr-nokta-kenetlemeli inverter topolojisine giriş yaptılar. Sonraki yıllarda bu inverter topolojisi üç-seviyeli inverter kavramı olarak genişletilmiştir.

Bugüne kadar ÇSİ topolojileri üzerine yapılan araştırmaların çoğu üç tip dönüştürücü üzerine yoğunlaşmıştır. Bunlar; diyot-kenetlemeli inverter, kondansatör-kenetlemeli inverter ve tek fazlı H-köprü inverterlerin seri olarak bağlanması ile oluşturulan kaskad inverter topolojileridir.

Diyot-kenetlemeli inverter topolojisi aslında nötr-nokta-kenetlemeli inverter topolojisinin genişletilmiş halidir. Bu topolojide çıkış gerilimi giriş hat kondansatörlerinden elde edilen farklı dc gerilimlerinin birleşiminden oluşur. İnverterin seviye sayısı artırıldığında filtre devrelerine gerek kalmadan harmonik bileşenler yeterince azaltılabilir. Ayrıca, bu tipteki iki dönüştürücünün arka arkaya bağlantısı ile iki yönlü güç akışı sağlanabilmektedir. Bu topolojinin dezavantajı; anahtarlama durumuna bağlı olarak dc hat üzerindeki kondansatörlerin şarj ve deşarj durumlarına göre gerilim dengesizlik problemlerinin oluşmasıdır [6-8].

1992 yılında, diyot-kenetlemeli dönüştürücüye alternatif olarak kondansatör-kenetlemeli topoloji geliştirilmiştir. Bu inverter topolojisinin çıkış gerilim seviyesi diyot-kenetlemeli inverter ile benzerdir [9-12]. Kondansatör-kenetlemeli inverter topolojisi fazladan anahtarlama durumlarına sahip olması itibarıyla kondansatör gerilimlerini dengelemek için daha fazla anahtarlama serbestliğine izin vermektedir. Bu topolojinin dezavantajı kenetleme diyotları yerine kullanılan kondansatörler arasında parasitik rezonans oluşmasıdır [13]. Bu durum yüksek

sayıda kondansatör kullanılması ile daha da kötüleşir. Bununla birlikte, kondansatör-kenetlemeli topoloji gelecekte çok ümit verici gözükmektedir.

1996 yılında tek-fazlı H-köprü inverterlerin kaskad olarak bağlanması sonucunda yeni bir ÇSİ topolojisi ortaya çıkmıştır. Kaskad ÇSİ olarak adlandırılan bu topolojisi diğer iki topolojiden daha basit yapıdadır ve paket devre haline getirilmesi daha kolay olmaktadır. Tek-fazlı H-köprü inverterlerin eklenip veya çıkarılması ile inverterin çıkış gerilim seviyesi de artırılıp azaltılabilmektedir. Bu inverter topolojisinde diğer iki topoloji ile aynı sayıda ana güç anahtarı bulunması ile birlikte kenetleme-diyotları ve kenetleme-kondansatörleri gerektirmezler. Fakat, bu konfigürasyon, çok sayıda izolasyonlu dc kaynak ve beraberinde özel güç transformatörleri gerektirmesi nedeniyle pahalı bir çözüm seçeneği olmaktadır [14-22].

Kaskad bağlı topolojilerin en önemli gelişimi hibrid topolojisidir. Bu yapı, farklı dc gerilim seviyelerine sahip olan tek fazlı inverterlerin (H-köprü) seri bağlantıları ile gerçekleştirilir. Böylelikle, inverterin çıkış gerilim seviyesinin artmasının yanı sıra gücünde de artış olmaktadır [23-25].

Bu tez çalışması, ÇSİ topolojileri arasında hem en az sayıda eleman kullanan ve hemde eklenecek tek-fazlı H-köprü inverterler ile daha yüksek seviyelere çıkartılması nispeten daha kolay olan kaskad inverter topolojisi üzerinedir. İnverterin çıkış geriliminin seviyesi 5 ve üstü olması durumunda, kaskad bağlı topoloji en iyi seçim olmaktadır [29]. Bu inverter topolojisinde kullanılan H-köprülerin paket halinde üretilmesi sonucunda modüler dizaynının kolay olması gerilim-dengeleme problemi oluşmaması nedeniyle son yıllarda en çok tercih edilen inverter tipi olmaktadır.

Devre topolojileri nedeniyle ÇSİ'ler klasik iki seviyeli inverterlere göre; çıkış geriliminin ve akımının harmonik spektrumu, verim ve güç faktörü açısından daha iyi bir performansa sahiptirler. ÇSİ'lerde giriş geriliminin seviye sayısı arttırıldıkça çıkış geriliminin sinüzoidal forma daha çok yaklaşacağı, dolayısıyla toplam harmonik bozulmanın (THD) azalacağı ve performansın artacağı açıktır [27-31]. ÇSİ'lerde minimum harmonik bozulma ile istenen genlik ve frekansta gerilimler elde etmek için farklı darbe genişlik modülasyon teknikleri (DGM) kullanılmaktadır. Bunlar; Sinüsoidal Darbe Genişlik Modülasyonu (SDGM), Harmonik İlaveli Darbe Genişlik Modülasyonu (HİDGM), Harmonik Minimizasyonu Darbe Genişlik Modülasyonu (HEDGM), Harmonik Eliminasyonu Darbe Genişlik Modülasyonu (HEDGM) ve Uzak Vektör Darbe Genişlik Modülasyonu (UVDGM) teknikleridir.

SDGM ve HİDGM teknikleri, referans işareti ile bir üçgensel taşıyıcı dalganın karşılaştırılmasına dayanır. Taşıyıcı dalganın şekli ve polaritelerindeki farklılıklar bu tekniklerin varyasyonları olmaktadır. SDGM ve HİDGM teknikleri özellikle yüksek hızlı anahtarlama devrelerine sahip dönüştürücüler için çok popülerdir [32-43].

HMDGM ve HEDGM teknikleri; inverter çıkış gerilimi veya akımındaki THD'yi minimum yapmak, istenmeyen belirli sayıdaki harmonikleri elemek ve ana bileşenin genliğini kontrol etmek için anahtarlama açılarının önceden hesap edilip, bu açılara göre işaret üretimine dayanmaktadır. HEDGM tekniği ilk olarak Patel ve Hoft tarafından ortaya atılan ve iki-seviyeli inverterlerde düşük dereceden harmonikleri yok eden etkili bir yöntemdir [44]. Bu teknik genişletilerek ÇSİ'lere uygulanmaktadır [45-50].

İki ve çok seviyeli dönüştürücüler için şu anda en popüler modülasyon yaklaşımlarından biri UVDGM tekniğidir. Bu teknik ile inverter çıkışında istenilen genlik ve frekansta üç-fazlı gerilimler elde edilebilmektedir. UVDGM teknikleri; dc giriş geriliminin optimum kullanımı, düşük akım dalgalanması ve doğrudan programlama tekniği olduğundan bir sayısal işaret işlemci (DSP) ile donanımsal olarak gerçekleştirmesinin kolay olması gibi avantajlara sahiptir. Bugüne kadar ÇSİ topolojilerde farklı UVDGM algoritmaları geliştirilmiş olup literatürde yerini almıştır [51-68]. Bu UVDGM algoritmalarının çoğunda ilk olarak referans vektörün hangi sektör ve hangi üçgen içerisine düştüğü araştırılır. Referans vektörün genliği ve faz açısına göre kullanılacak komşu vektörleri belirlemek ve bu komşu vektörlerin iletim sürelerini hesaplamak için bir takım hesaplamalar yapılmaktadır. Bu şekildeki UVDGM algoritmalarını gerçekleştirmek için yoğun hesaplamalar gerektirmesi nedeniyle güçlü mikroişlemciler veya sayısal işaret işlemcilere ihtiyaç vardır. Bununla birlikte, inverterin seviye sayısı artması ile üçgenlerin sayısı da büyük oranda artacağından bu şekildeki algoritmaların gerçek zamanda uygulanabilirliği çok zor olmaktadır.

Celenovic ve Wei tarafından ÇSİ'ler için önerilen UVDGM algoritmalarında, bir koordinat dönüşüm matrisi kullanılarak referans vektörün içine düştüğü üçgeni saptamak ve komşu vektörlerin iletim sürelerinin hesabı çok basit denklemler ile yapılmaktadır [69,70]. Bununla birlikte, bu UVDGM algoritmalarında modülasyon indeksi aralığını geniş tutacak sağlam bir kriterden bahsedilmemiştir.

1.2. Tezin Amacı

Bu tezde, hızlı ve gerçekleştirmesi basit bir UVDGM uygulama algoritmasının oluşturulması ve gerçekleştirilmesi amaçlanmıştır. Algoritma geneldir ve inverterin seviye sayısına bağlı olmadan tüm ÇSİ topolojilerine uygulanabilme avantajına sahiptir. Referans vektörün içine düştüğü üçgenin koordinatlarını belirlemek ve bu üçgenin köşeleri ile saptanan komşu uzay vektörlerin iletim sürelerinin hesabı, Wei [70] tarafından önerilen denklemler kullanılarak yapılmaktadır. Bu UVDGM algoritması için, inverter güç devresindeki anahtarların iletim ve/veya kesim durumlarını belirleyen anahtarlama durumlarının seçimine yönelik, "en

küçük-en büyük (ek-eb)” metodu olarak adlandırılan yeni bir algoritma önerilmiştir. Önerilen bu ek-eb metodu sayesinde $0 < M < 1.15$ modülasyon indeksi aralığında minimum harmonik bozulma ile istenen genlik ve frekansta üç-fazlı gerilimler elde edilebilmektedir. Ayrıca bu ek-eb metodu sayesinde minimum anahtarlama geçişi de sağlanmaktadır.

Bu şekildeki bir UVDGM algoritması bir 5-seviyeli kaskad invertere göre uyarlanarak yapılan benzetim ve deneysel çalışmalar ile algoritmanın geçerliliği test edilmektedir.

1.3. Tezin Organizasyonu

Tezin ikinci bölümünde, ÇSİ topolojilerinin devre yapıları ve çalışma prensiplerine değinilerek kullanılan elemanlar açısından bir karşılaştırma yapılmaktadır.

Üçüncü bölümde, ÇSİ’lerde kullanılan DGM teknikleri için bir sınıflandırma yapılmıştır. Bu DGM tekniklerinden SDGM, HİDGM, HMDGM ve HEDGM tekniklerinin ÇSİ’lerde kullanımı hakkında bilgiler verilmiştir. Ayrıca, HEDGM tekniğinin genel kullanımına ilaveten gerçek-zamanlı uygulamalar için önerilen yeni bir algoritma açıklanmıştır.

Dördüncü bölüm ÇSİ’lere UVDGM tekniğinin uygulanışını üzerinedir. ÇSİ’lerde kullanılan UVDGM algoritmaları iki-seviyeli inverterlerde kullanılan UVDGM algoritmalarının genişletilmiş halidir. Bu maksatla, ilk olarak bu tekniğin iki seviyeli inverterlerde kullanımına kısaca değinilmiş ve daha sonra ÇSİ’ler için UVDGM algoritması detaylı olarak açıklanmıştır. Ayrıca, bu UVDGM algoritması için anahtarlama durumlarının seçiminde önerilen ek-eb metodunun uygulanışına yer verilmiştir.

Beşinci bölümde, bir 5-seviyeli kaskad inverter devresinin laboratuvar düzeneğinin oluşturulmasından bahsedilmiştir. Güç devresinin tasarımında karşılaşılan problemler ve bu problemlere getirilen uygun çözümler sunulmaktadır. Tasarlanan güç devresi için; snubber devrelerinin seçimi, güç devresindeki anahtarlar için gerekli olan ölü-zaman ayarı, akıllı güç modüllerinde (IPM) oluşabilecek hata durumlarına karşı koruma tedbirleri vs gibi teknik bilgiler bu bölümde yer almaktadır. Ayrıca, denetleyici olarak kullanılan dSPACE DS1103 denetleyici kartı ve bu kartla uyumlu olan yazılımlar kısaca tanıtılmıştır.

Altıncı bölümde, önerilen UVDGM algoritmasının benzetim ve deneysel sonuçları yer almaktadır. Bunun için, Matlab/simulink ortamında algoritmanın uygulanışına yönelik benzetim ve deneysel modeller oluşturulmuştur. Benzetim ve deneysel çalışmalar için farklı kriterlere göre analizler yapılarak elde edilen sonuçlar karşılaştırmalı olarak sunulmuştur.

Yedinci bölümde, çalışmaya ilişkin sonuç ve değerlendirmeler verilmiştir. Ayrıca tezin getirdiği yenilik ve avantajlarla birlikte daha sonraki çalışmalar için yol gösterecek bazı tavsiyelerden bahsedilmiştir.

Tezin ek kısmında ise benzetim ve deneysel alıřmalar iin kullanılan AC motorun parametreleri, IPM ve evre birimlerinin teknik zellikleri, dSPACE DS1103 denetleyici kartın teknik zellikleri ve mimarisi ile birlikte MATLAB/Simulink’de gerek-zamanlı model oluřturulmasında kullanılan dSPACE’in Real Time Interface yazılımının Simulink blokları, I-VI sektrler iin tm anahtarlama durumları ve ek-eb metoduna gre seilen anahtarlama durumları iin oluřturulmuř tablolar yer almaktadır.

Bu tez alıřması Fırat niversitesi Bilimsel Arařtırma Projeleri Birimi tarafından FBAB-776 ve FBAB-819 nolu projeler ile desteklenmiřtir.



2. ÇOK SEVİYELİ İNVERTER TOPOLOJİLERİ

2.1. Giriş

Çok seviyeli inverterler (ÇSİ) son yıllarda özellikle orta ve yüksek güçlü uygulamalarda oldukça fazla ilgi çekmektedirler [4]. Kesintisiz güç kaynakları, sürücü sistemler gibi endüstriyel uygulamalarda yaygın olarak kullanılmakta olan ÇSİ'ler, girişlerine uygulanan farklı dc gerilim seviyelerini birleştirerek sinüzoidal forma yakın çıkış gerilimi oluştururlar. ÇSİ'lerin en önemli avantajı; anahtarlama frekansını artırmadan veya inverterin çıkış gücünü azaltmadan çıkış dalga şeklindeki harmoniklerin azaltılmasıdır [45].

Orta ve yüksek güçlü uygulamalarda klasik inverterler; düşük verim, büyük transformatörlerin kullanılması nedeni ile yüksek fiyat, dv/dt ve di/dt 'nin bir sonucu olarak da anahtarlama elemanları üzerinde büyük akım-gerilim darbeleri gibi dezavantajlara sahiptirler. Devre topolojileri nedeniyle ÇSİ'ler ise yüksek güçlü uygulamalar için yeni bir güç dönüşüm sistemidir. Bu inverterler klasik iki seviyeli inverterlere göre; çıkış geriliminin harmonik spektrumu, verim ve güç faktörü açısından daha iyi bir performansa sahiptirler [2]

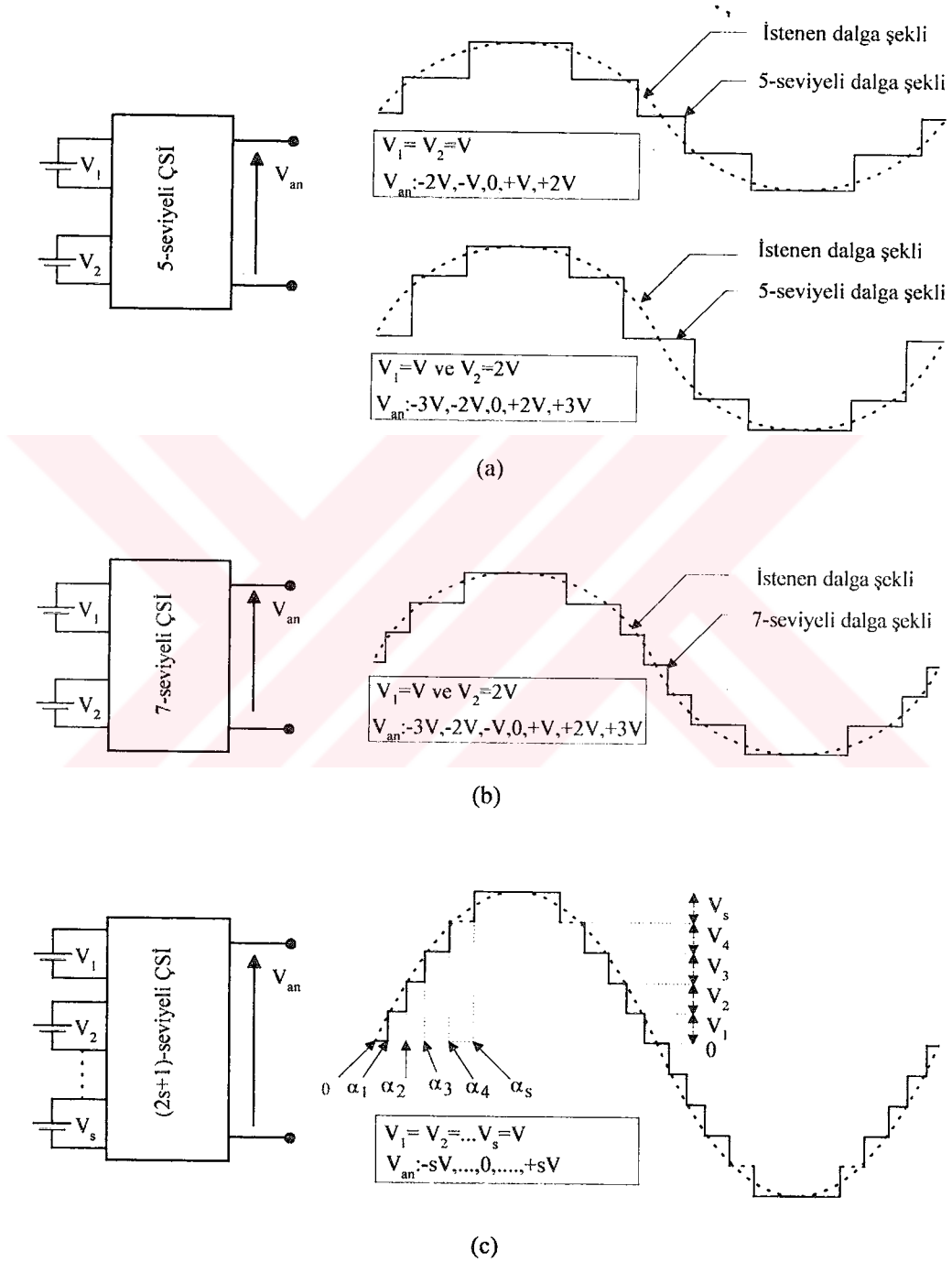
ÇSİ'lerin her bir fazı anahtarlama elemanlarının birbirlerine seri veya paralel bağlanmasından oluşturulur. Bundan dolayı anahtarlama elemanlarının kapasitelerinin çok yüksek olmamasına rağmen inverterin çıkış gerilimi ve çıkış gücü önemli ölçüde yükselir.

Çok seviyeli inverter terimi 3. seviyeden başlamaktadır. İnverterin seviye sayısı artıkça basamak şeklindeki çıkış geriliminin basamak sayısında da bir artış olduğundan bu işaret sinüzoidal forma yaklaşmaktadır. Çıkış geriliminin seviyesi sonsuza gittiğinde çıkış gerilimindeki "Toplam Harmonik Bozulma (THD)" sıfır olmaktadır [3]. İnverterin seviye sayısının artması beraberinde kontrol karmaşıklığını da getirir. Şekil 2.1'de ÇSİ'lerin faz-nötr çıkış dalga şekilleri için örnekler görülmektedir. Burada, dc giriş gerilim seviyelerinin eşit veya farklı olmaları durumunda çıkış dalga şekilleri verilmiştir. Farklı iki dc giriş gerilim seviyesi ile Şekil 2.1a ve 2.1b'de gösterildiği gibi hem 5-seviyeli ve hem de 7-seviyeli dalga şekilleri elde edilebilmektedir. ÇSİ'lerde seviye sayısının büyük oranda artırılması ile inverterin çıkış dalga şekli Şekil 2.1c'de gösterildiği gibi ideal bir sinüse yaklaşmaktadır. Şekil 2.1'deki inverter çıkış dalga şekillerinin harmonik bileşenleri, dc giriş gerilim seviyelerinin eşit veya farklı olması durumlarına göre (1) ve (2)'deki Fourier dönüşüm denklemleri ile hesaplanabilir.

$$h(t) = \frac{4V}{n\pi} \sum_{n=1,3,\dots} [\cos(n\alpha_1) + \cos(n\alpha_2) + \dots + \cos(n\alpha_s)] \sin(n\omega t), \quad (V_1 = V_2 = \dots = V_s = V) \quad (1)$$

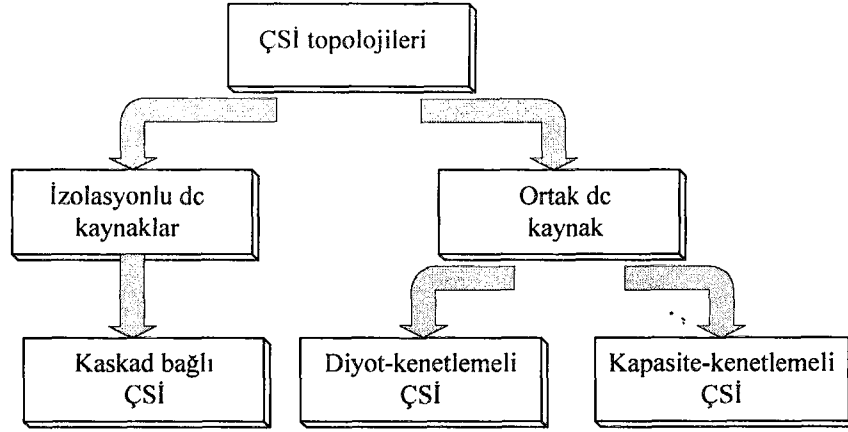
$$h(t) = \frac{4}{n\pi} \sum_{n=1,3,\dots} [V_1 \cos(n\alpha_1) + V_2 \cos(n\alpha_2) + \dots + V_s \cos(n\alpha_s)] \sin(n\omega t), \quad (V_1 \neq V_2 \neq \dots \neq V_s) \quad (2)$$

Burada n, harmonik derecesini, s dc giriş gerilimlerinin sayısını ve $V_1, V_2, \dots, V_s$ ise dc giriş gerilimlerinin seviyesini belirtmektedir.



Şekil 2.1. ÇSİ'ler için çıkış dalga şekilleri. (a) 5-seviyeli ÇSİ. (b) 7-seviyeli ÇSİ (c) $2s+1$ seviyeli ÇSİ.

Şekil 2.2’de ÇSİ’ler için önerilen üç farklı inverter topolojisi görülmektedir [69]. Burada, dc giriş gerilim tipine göre bir sınıflandırma yapılmıştır. Bu bölümde, bu ÇSİ topolojilerinin devre yapıları ve anahtarlama fonksiyonları göz önüne alınarak, kullanılan elemanlar açısından bir karşılaştırma yapılmaktadır.



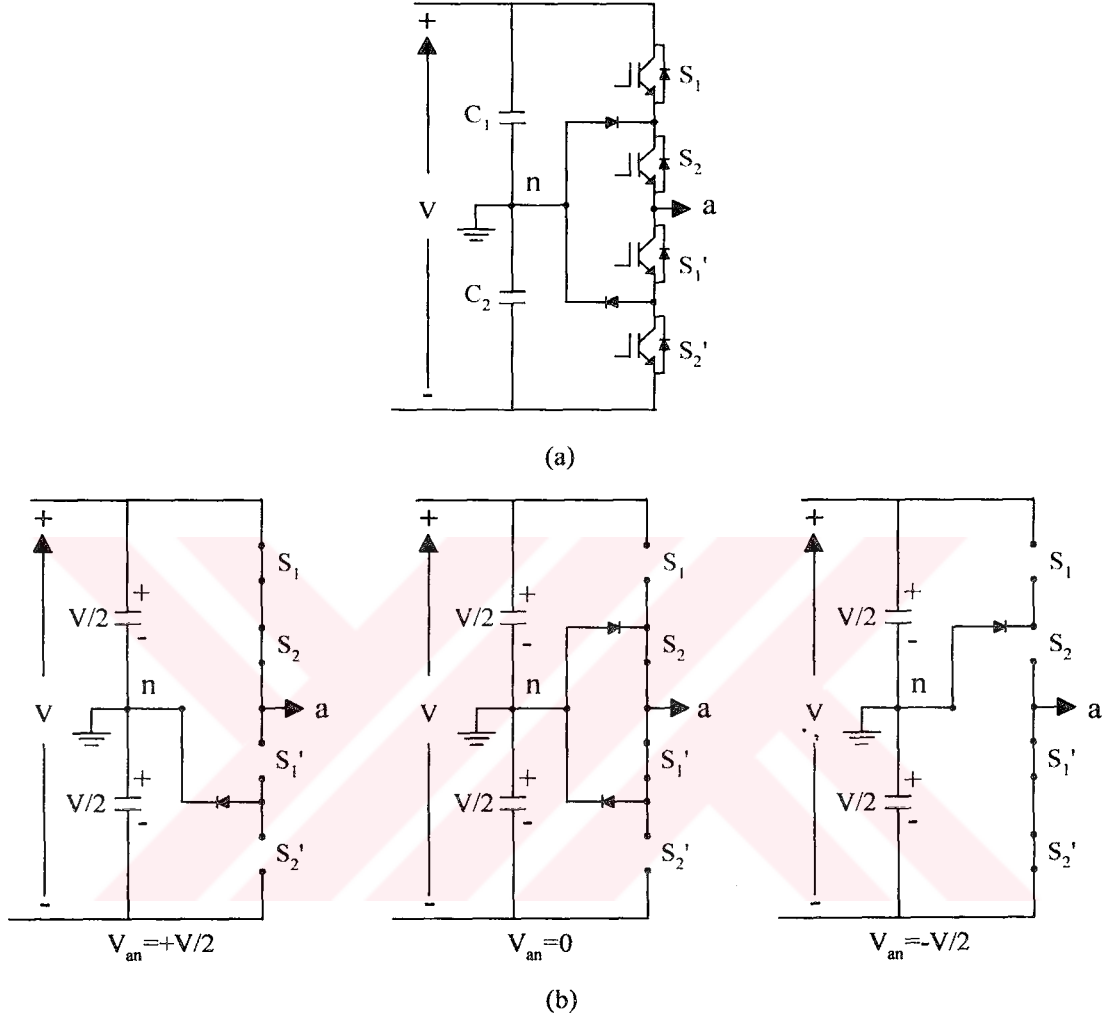
Şekil 2.2. ÇSİ topolojilerinin sınıflandırılması.

2.2. Diyot-Kenetlemeli ÇSİ Topolojisi

Diyot-kenetlemeli inverter topolojisi ÇSİ topolojileri arasında en çok bilinen yapıdır. İlk olarak Nabae tarafından geliştirilen bu inverter devresinde çıkış gerilimi giriş hat kondansatörlerinden elde edilen farklı dc gerilimlerin birleşiminden oluşmaktadır [5]. Bu inverterde, faz-nötr gerilimini n seviyeli yapmak için dc hat üzerinde n-1 adet kondansatöre ihtiyaç duyulur. Şekil 2.3’de verilen bir 3-seviyeli diyot-kenetlemeli ÇSİ devresinden görüleceği gibi, dc hat C_1 ve C_2 gibi 2 kondansatörden oluşmaktadır. Burada giriş dc gerilimi V olarak alınırsa her bir kondansatör üzerine $V/2$ gerilimi düşer. Anahtarlama kombinasyonuna bağlı olarak inverterin çıkış faz-nötr gerilimi: $-V/2$, 0 , ve $V/2$ olmak üzere 3 seviyeli olmaktadır. İnverterin çıkışında basamak şeklindeki geriliminin nasıl birleştirildiğini açıklamak için, n noktası çıkış faz geriliminin nötr noktası olarak alınır.

Faz-nötr gerilimi (V_{an}) için 3 anahtarlama kombinasyonu vardır. $V_{an}=V/2$ şeklinde bir çıkış gerilimi oluşturmak için Şekil 2.3b’de verilen (S_1, S_2) anahtar çifti iletimde tutulur. Benzer şekilde bu anahtarlama durumunun tersi için, (S'_1, S'_2) anahtarları iletimde olursa, $V_{an}= -V/2$ olmaktadır. Eğer (S_2, S'_1) anahtarları iletimde ise, eklenen diyotlar sayesinde a noktası ile n noktası aynı gerilim değerine sahip olur ($V_{an}=0$). Şekil 2.3’deki verilen devreyi iki-seviyeli inverterlerden ayıran temel özellik kenetleme diyotlarının olmasıdır. Kenetleme diyotları

anahtar üzerindeki gerilimleri dc hattaki kondansatörler üzerindeki gerilime kenetler. Bu nedenle, bir 3-seviyeli diyot-kenetlemeli ÇŞİ devresinde anahtarlar üzerine dc hat geriliminin yarısı düşmektedir.

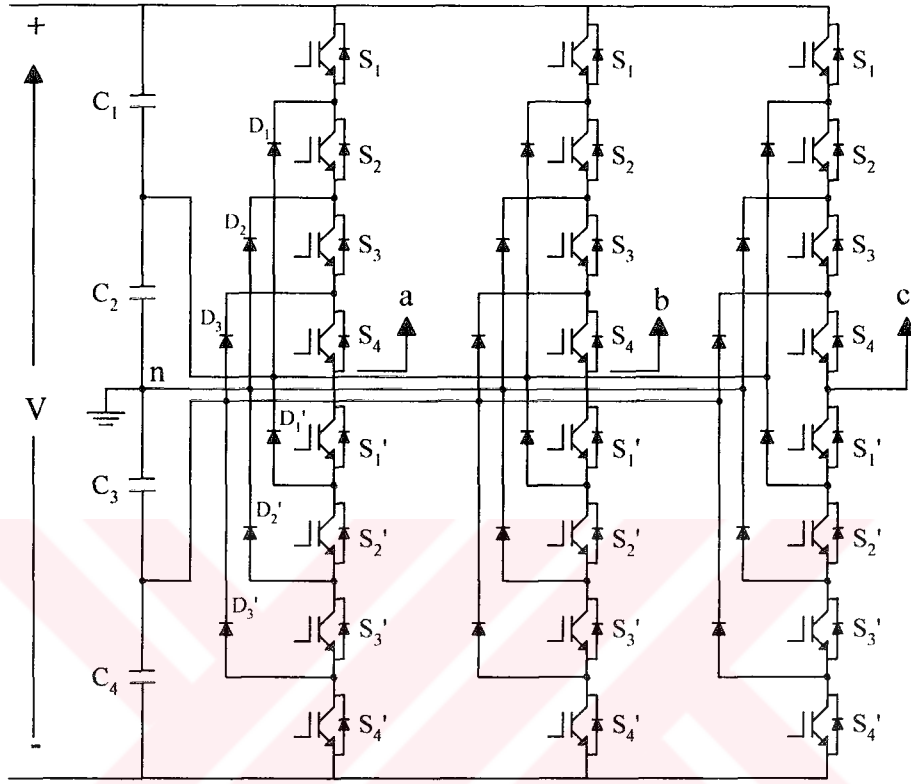


Şekil 2.3. 3-seviyeli diyot-kenetlemeli ÇŞİ. (a) Tek-faz yapısı (b) Anahtarlama durumları.

Şekil 2.4'de ise bir üç-faz 5-seviyeli diyot-kenetlemeli ÇŞİ devresi görülmektedir. Bu inverter devresi için faz-nötr geriliminin seviyesi ve karşılık gelen anahtarlama durumları Tablo 2.1'de verilmiştir. Burada, 1 durumu anahtarın iletimde ve 0 durumu ise anahtar kesimde olduğunu belirtmektedir. Örnek olarak: $V_{an} = V/2$ olması için (S_1, S_2, S_3, S_4) anahtarları iletimde, (S_1', S_2', S_3', S_4') anahtarları kesimde tutulmalıdır.

Burada, her anahtar üzerine $V/4$ gerilimi düşer. Bu topolojide ters dayanma gerilimleri farklı kenetleme diyotları kullanılmaktadır. Örnek olarak; (S_2', S_4') iletimde olduğu zaman D_1'

diyotu $3V/4$ gerilimini bloklaması gerekir. Benzer olarak D_2 ve D_2' diyotları $2V/4$ gerilimini bloklar. Çoğu uygulamalarda akım-gerilim değerleri birbirine eşit olan kenetleme diyotlarının seri bağlı konfigürasyonları kullanılarak her diyot elamanı üzerine aynı gerilimin düşmesi sağlanır.



Şekil 2.4. Üç-faz 5-seviyeli diyot-kenetlemeli ÇSİ devresi.

Tablo 2.1. 5-seviyeli diyot-kenetlemeli ÇSİ'nin çıkış gerilim seviyeleri ve anahtarlama durumları.

V_{an} çıkışı	Anahtarlama durumları							
	S_1	S_2	S_3	S_4	S_1'	S_2'	S_3'	S_4'
$V_5=V/2$	1	1	1	1	0	0	0	0
$V_4=V/4$	0	1	1	1	1	0	0	0
$V_3=0$	0	0	1	1	1	1	0	0
$V_2=-V/4$	0	0	0	1	1	1	1	0
$V_1=-V/2$	0	0	0	0	1	1	1	1

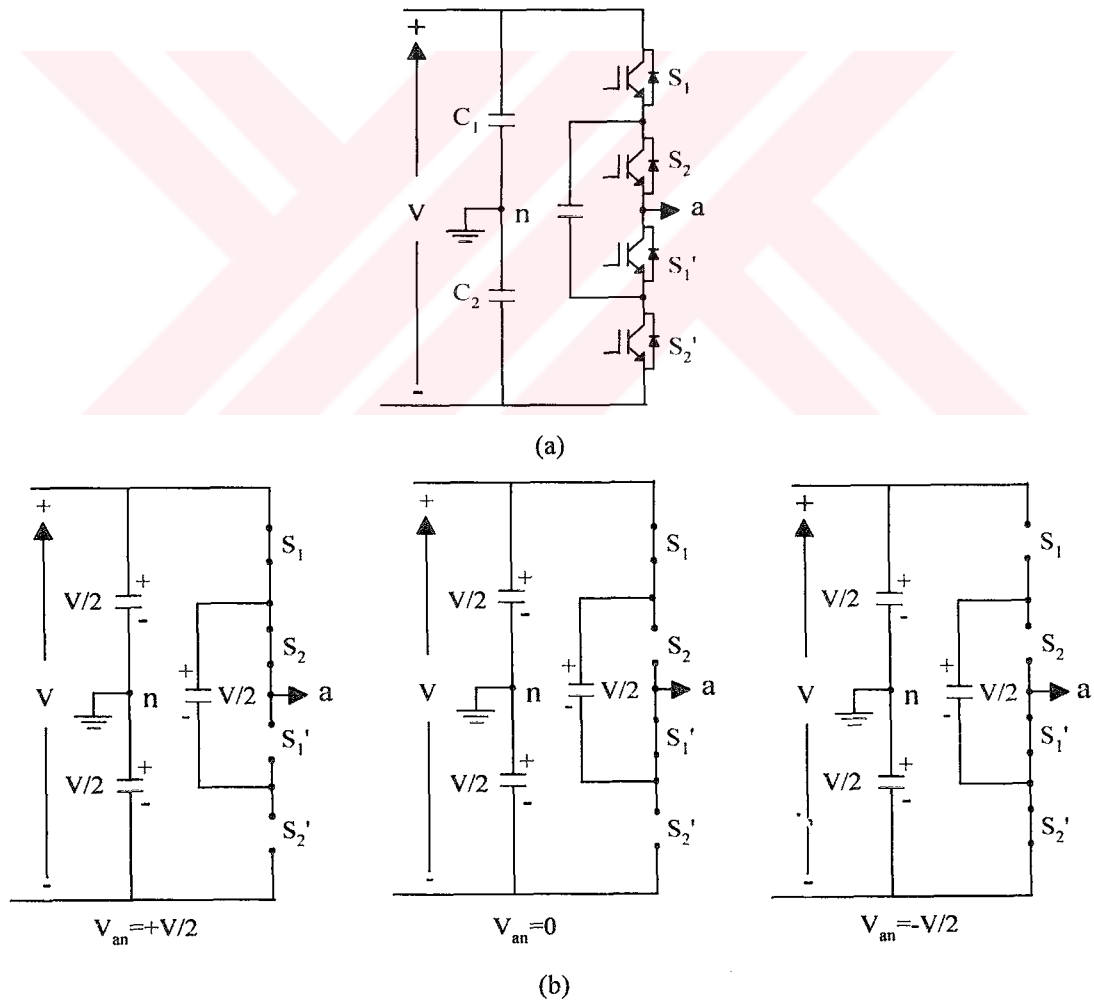
Bu ÇSİ yapısının dezavantajı, hızlı ekstra kenetleme diyotları gerektirmesidir. Ayrıca bu yapıda anahtarlama durumuna bağlı olarak dc hat üzerindeki kondansatörlerin şarj ve deşarj

durumlarına göre gerilim dengesizlik problemleri de oluşmaktadır. Kondansatörler arasındaki gerilim paylaşımını kontrol etmek kolay değildir. İnverterin seviye sayısı artıkcı bu gerilim dengesizlik probleminin kontrolü daha da zorlaşır [13].

2.3. Kondansatör-Kenetlemeli ÇSİ Topolojisi

Diyot kenetlemeli yapıdaki kenetleme diyotlarından kaçınmak için kondansatör-kenetlemeli yapı geliştirilmiş ve şimdiye kadar birçok uygulama alanı bulmuştur. İnverterin çıkış geriliminin seviyesi diyot-kenetlemeli ÇSİ ile benzerdir. Kondansatör-kenetlemeli ÇSİ'nin avantajı; çıkış geriliminin orta seviyelerinde iki veya daha fazla anahtarlama kombinasyonunun olmasıdır. Bu durum sayesinde dc hat kondansatörlerin gerilim dengesi sağlanabilmektedir [3]. Bu özellik kondansatör-kenetlemeli ÇSİ'yi diyot-kenetlemeli ÇSİ'ye göre daha esnek yapar.

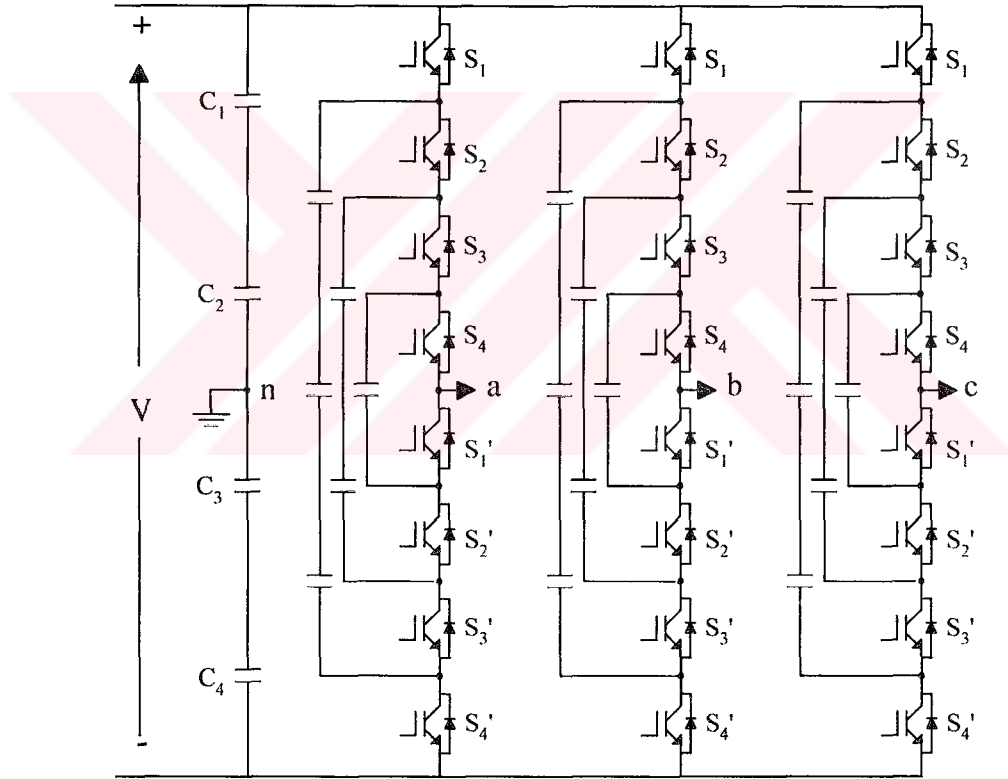
Şekil 2.5'de 3-seviyeli kondansatör-kenetlemeli ÇSİ'nin tek-faz yapısı ve anahtarlama durumları görülmektedir.



Şekil 2.5. 3-seviyeli kondansatör-kenetlemeli ÇSİ (a) Tek faz yapısı (b) Anahtarlama durumları.

Burada V_{an} gerilimi $-V/2$, 0 , $+V/2$ olmak üzere 3-seviyeli bir çıkış geriliminden oluşur. Eğer (S_1, S_2) anahtarları iletimde ise, $V_{an}=+V/2$ ve (S'_1, S'_2) anahtarları iletimde olursa, $V_{an}=-V/2$ olmaktadır. (S_1, S'_1) veya (S_2, S'_2) anahtarları iletimde tutulduğu takdirde ise $V_{an}=0$ olacaktır. Kenetleme kondansatörü (S_1, S'_1) anahtar çifti iletimde olduğunda şarj oluyor iken, (S_2, S'_2) anahtarları iletimde olduğunda ise deşarj olmaktadır. Bu yapıda, 0-seviye anahtarlama kombinasyonunun seçimine bağlı olarak C_1 'in şarjı kontrol edilebilmektedir.

Şekil 2.6'da bir 5-seviyeli kondansatör-kenetlemeli ÇSİ'nin üç-faz devresi görülmektedir. Şekle dikkat edilirse dc taraftaki kondansatörler bir basamak yapı oluşturmaktadır. Bu inverterlerde n-seviyeli basamak şeklindeki çıkış gerilimini üretmek için dc hat için n-1 ve faz başına $(n-1)(n-2)/2$ kadar da yardımcı kondansatör kullanılır [4].



Şekil 2.6. Üç-faz 5-seviyeli kondansatör-kenetlemeli ÇSİ devresi.

5-seviyeli kondansatör-kenetlemeli ÇSİ'de gerilim seviyelerinin kombinasyonu ve karşılık gelen anahtar durumları Tablo 2.2'de verilmiştir. Tablodan görüleceği üzere, V_2, V_3 ve V_4 çıkış gerilimlerini üretmek için 1'den daha fazla anahtarlama kombinasyonu vardır [3].

Bu inverter yapısı hem boyut ve hem de maliyet açısından diyot-kenetlemeli ÇSİ'ye göre dezavantaja sahiptir. Çünkü, büyük hacimli kondansatörlerin kullanılması ile inverterin boyutu büyür. Ayrıca, kullanılacak kenetleme kondansatörleri, diyot-kenetlemeli yapıdaki kenetleme diyotlarından çok daha pahalı olmaktadır. Yapının bir başka dezavantajı da, dc hat üzerindeki kondansatörlerde oluşan gerilim dengesizlik probleminin çözmek için karmaşık kontrol algoritmalarını gerektirmesidir.

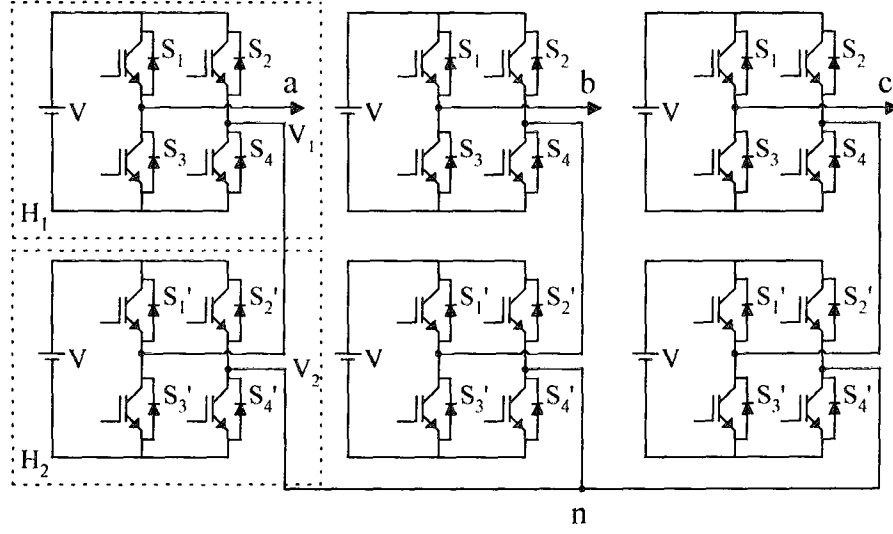
Tablo 2.2. 5-seviyeli kondansatör-kenetlemeli ÇSİ'nin çıkış gerilim seviyeleri ve anahtarlama durumları.

V_{an} çıkışı	Anahtarlama durumları							
	S_1	S_2	S_3	S_4	S_1'	S_2'	S_3'	S_4'
$V_5=V/2$	1	1	1	1	0	0	0	0
$V_4=V/4$	1	1	1	0	1	0	0	0
	0	1	1	1	0	0	0	1
	1	0	1	1	0	0	1	0
$V_3=0$	1	1	0	0	1	1	0	0
	0	0	1	1	0	0	1	1
	1	0	1	0	1	0	1	0
	1	0	0	1	0	1	1	0
	0	1	0	1	0	1	0	1
	0	1	1	0	1	0	0	1
$V_2=-V/4$	1	0	0	0	1	1	1	0
	0	0	0	1	0	1	1	1
	0	0	1	0	1	0	1	1
$V_1=-V/2$	0	0	0	0	1	1	1	1

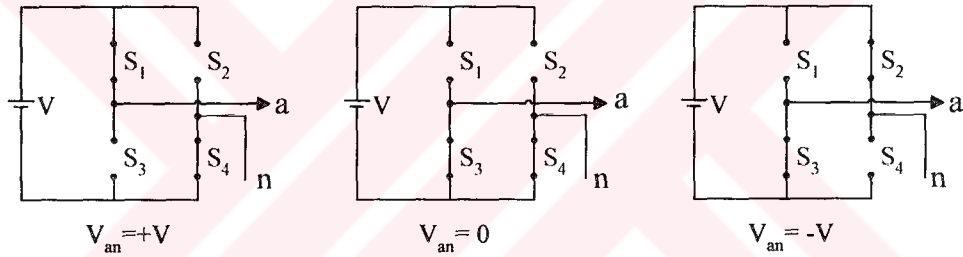
2.4. Kaskad Bağlı ÇSİ Topolojisi

Tek fazlı köprü tip (H-köprü) inverterlerin seri bağlanması ile oluşturulan kaskad ÇSİ devresi diğer iki topolojiden daha basit yapıdadır ve paket devre haline getirilmesi daha kolay olmaktadır. Bu devrede tek fazlı köprü inverterlerin eklenip veya çıkarılması ile inverterin çıkış gerilim seviyesi de artırılıp azaltılabilmektedir. Kaskad ÇSİ'lerin çıkış gerilimleri, birbiri ile izolasyonlu dc kaynakların birleştirilmesi ile elde edilir. Bu inverterlerde dc gerilim kaynakları: aküler, fuel hücreler ve güneş panelleri olabilir. Bu konfigürasyon son zamanlarda ac güç kaynakları ve ayarlanabilir hız sürücü uygulamalarında oldukça popülerdir [22]. Bu yeni inverterde ekstra kenetleme diyotları ve gerilim dengeleme kondansatörlerine gerek duyulmaz. Şekil 2.7'de bir üç-fazlı 5-seviyeli kaskad ÇSİ devresi verilmiştir. Şekil 2.8'de ise bir H-köprü inverter için olası anahtarlama durumları gösterilmiştir. Örnek olarak; Şekil 2.7'deki H_1 köprüsünü ele alalım. Eğer (S_1 , S_4) anahtarları iletimde ise, $V_{an}=+V$ ve (S_2 , S_3) anahtarları

iletimde olursa da, $V_{an}=-V$ olmaktadır. (S_1 , S_2 veya S_3 , S_4) anahtarları iletimde tutulduğu takdirde ise $V_{an}=0$ olacaktır. Bu durumlar Şekil 2.8’de gösterilmiştir.



Şekil 2.7. Üç-fazlı 5-seviyeli kaskad ÇSİ devresi.

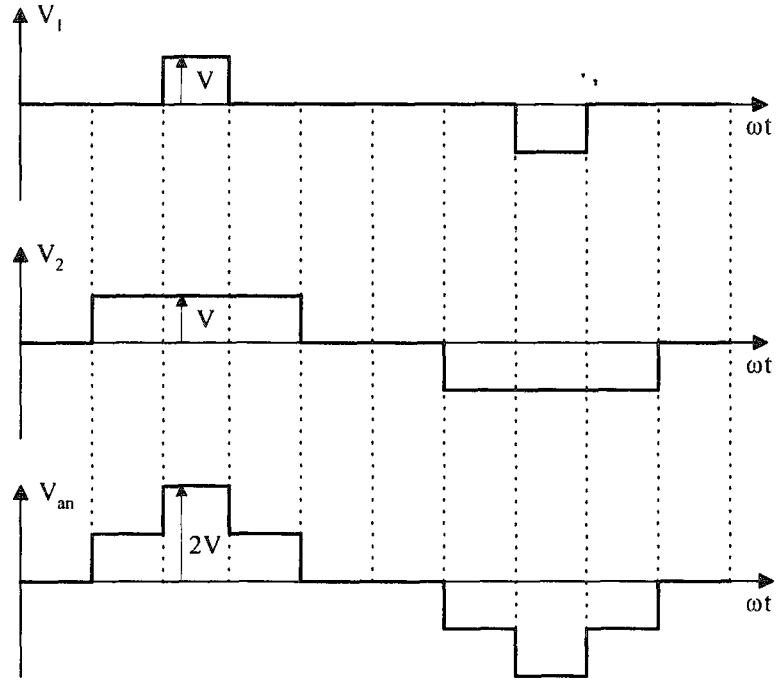


Şekil 2.8. H_1 -köprüsü için anahtarlama durumları.

Kaskad ÇSİ topolojilerinde her bir H-köprü hücrenin çıkış gerilimleri seri olarak bağlanarak inverterin faz-nötr gerilimleri elde edilir. Burada, faz gerilimi iki inverter köprüsünün çıkış gerilimlerinin toplamıdır ($V_{an}=V_1+V_2$). Anahtarların farklı kombinasyonları ile her bir H-köprü inverterde seviyesi $+V$, 0 ve $-V$ olmak üzere 3 farklı çıkış gerilimi elde edilmektedir.

5-seviyeli kaskad inverterde H-köprü hücrelerin çıkış gerilimlerini birleştirmek için tüm anahtarlama durumları Tablo 2.3’de verilmiştir. Tablodan görüleceği üzere, V_1 ve V_2 çıkış seviyesi için sadece bir anahtarlama durumu olmasına karşın, orta seviyelerde birden daha fazla anahtarlama durumu mevcuttur.

Inverterin çıkış faz-nötr geriliminin seviye sayısı $n=2s+1$ bağıntısı ile hesaplanır. Burada s ; dc gerilim kaynaklarının sayısıdır. Örneğin, 5-seviyeli kaskad inverterlerde her fazda 2 H-köprü hücre ve 2 izolasyonlu dc gerilim kaynağı bulunmaktadır.



Şekil 2.9. 5-seviyeli kaskad ÇSİ'lerde V_{an} geriliminin dalga şekli.

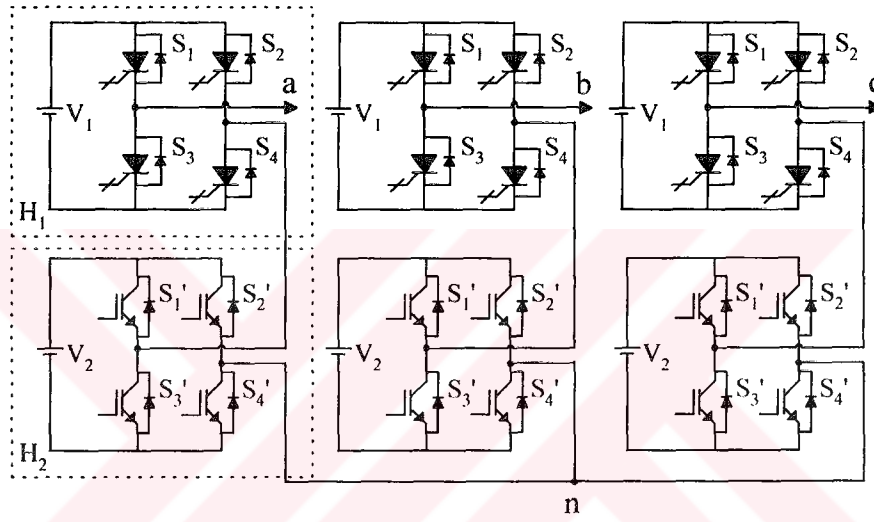
Tablo 2.3. 5-seviyeli kaskad ÇSİ'lerin çıkış gerilim seviyeleri ve anahtarlama durumları.

V_{an} çıkışı	Anahtarlama durumları							
	S_1	S_2	S_3	S_4	S_1'	S_2'	S_3'	S_4'
$V_5=2V$	1	0	0	1	1	0	0	1
$V_4=V$	0	0	1	1	1	0	0	1
	1	1	0	0	1	0	0	1
	1	0	0	1	1	1	0	0
	1	0	0	1	0	0	1	1
$V_3=0$	0	0	1	1	1	1	0	0
	0	1	1	0	1	0	0	1
	1	1	0	0	0	0	1	1
	1	0	0	1	0	1	1	0
	0	0	1	1	0	0	1	1
	1	1	0	0	1	1	0	0
$V_2=-V$	0	0	1	1	0	1	1	0
	0	1	1	0	1	1	0	0
	0	1	1	0	0	0	1	1
	1	1	0	0	0	1	1	0
$V_1=-2V$	0	1	1	0	0	1	1	0

Kaskad bağlı topolojilerin en önemli gelişimi hibrid topolojisidir. Bu yaklaşımın temel üstünlüğü; doğal olarak yavaş olan GTO (kapıdan kesime götürülebilen tristör) veya IGCT

(sürme devresi tümleşik tristör) elemanlarının yüksek akım-gerilim yetenekleri ile daha düşük akım-gerilim yeteneğine sahip olan IGBT (Kapıdan İzoleli Transistor) elemanının yüksek anahtarlama frekansında çalışabilme özelliklerinin birleştirilmesidir [1,23,25]. Şekil 2.10'da IGCT ve IGBT elemanlarından oluşturulmuş bir hibrid topoloji görülmektedir.

Hibrid topolojiler çok yüksek güçlü uygulamalarda kullanılmaktadır. Bu topolojide, her tek-fazlı H-köprü inverter için farklı bir dc giriş gerilimi kullanıldığı takdirde inverterin seviye sayısı da artmaktadır. Örneğin; $V_1=2\text{kV}$ ve $V_2=1\text{kV}$ olarak alalım. Bu giriş gerilimlerine karşılık V_{an} çıkış gerilimi: -3kV , -2kV , -1kV , 0V , $+1\text{kV}$, $+2\text{kV}$ ve $+3\text{kV}$ şeklinde 7-seviyeli olmaktadır.



Şekil 2.10. IGCT ve IGBT elemanlarından oluşturulmuş hibrid topoloji.

2.5. ÇSİ Topolojilerinin Karşılaştırılması

Her üç ÇSİ yapıları arasında faz başına kullanılan güç elemanlarının karşılaştırılması yapıldığında, kullanılan ana anahtarlama elemanlarının sayısı aynıdır. Kullanılan diğer elemanlar açısından bir karşılaştırma yapılırsa; diyot kenetlemeli yapıda ilave kenetleme diyotlarına, kondansatör-kenetlemeli yapıda ek kondansatörlere ve kaskad yapıda ise fazladan izolasyonlu dc kaynaklara gereksinim duyulmaktadır [3].

Tablo 2.4'de, bu üç ÇSİ topolojisi arasında faz başına kullanılan güç elemanlarının karşılaştırılması yapılmıştır [10]. Burada aynı gerilim seviyesinin sayısını sağlamak için inverterler tarafından gerekli anahtar, diyot ve kondansatörlerin sayısı verilmiştir. Tabloya dikkat edilirse; kondansatör-kenetlemeli ve kaskad ÇSİ konfigürasyonlarında kenetleme

diyotlarına gerek yoktur. Kaskad ÇSİ'yi kullanan çok seviyeli dönüştürme en az sayıda eleman gerektirmektedir.

Tablo 2.4. Üç ÇSİ topolojisi arasında faz başına kullanılan güç elemanları açısından bir karşılaştırma

İnverter konfigürasyonu	Diyot-kenetlemeli inverter	Kondansatör-kenetlemeli inverter	Kaskad inverter
Ana anahtarlar	$2(n-1)$	$2(n-1)$	$2(n-1)$
Ana diyotlar	$2(n-1)$	$2(n-1)$	$2(n-1)$
Kenetleme-diyotları	$(n-1)(n-2)/2$	0	0
DC hat kondansatörleri	$(n-1)$	$(n-1)$	$(n-1)/2$
Gerilim-dengeleme kap.	0	$(n-1)(n-2)/2$	0

İnverterin çıkış geriliminin dalga şekli 5 ve üstü olması durumunda, kaskad bağlı topoloji en iyi seçim olmaktadır [29]. Çünkü bu topoloji $2n+1$ seviyeli dalga şekillerine kolaylıkla genişletilebilmektedir. Diğer taraftan, her H-köprü inverter için farklı bir dc kaynak kullanılması, ekonomik açıdan bu topolojinin dezavantajıdır.

Bu tezde, yukarıda bahsedilen bilgiler ışığında 5-seviyeli kaskad ÇSİ topolojisi seçilmiş olup, benzetim ve deneysel çalışmalar bu inverter yapısı üzerine yapılmıştır.

3. ÇOK SEVİYELİ İNVERTERLERDE KULLANILAN DARBE GENİŞLİK MODÜLASYON TEKNİKLERİ

3.1. Giriş

Bir ÇSİ'nin performansı çıkış geriliminin harmonik bileşenleri ile ilişkilidir. ÇSİ'lerde giriş geriliminin seviye sayısı artırıldıkça çıkış geriliminin sinüzoidal forma daha çok yaklaşacağı, dolayısıyla THD'nin azalacağı ve performansın artacağı açıktır [5]. ÇSİ'lerde çıkış gerilimindeki harmonikleri azaltmak için gerilim seviye sayısını artırmanın yanı sıra farklı darbe genişlik modülasyon teknikleri de kullanılmakta olup bu konudaki araştırma ve uygulama çalışmaları devam etmektedir.

Geliştirilen farklı darbe genişlik modülasyon teknikleri ile aşağıdaki kriterler sağlanmaya çalışılır [31].

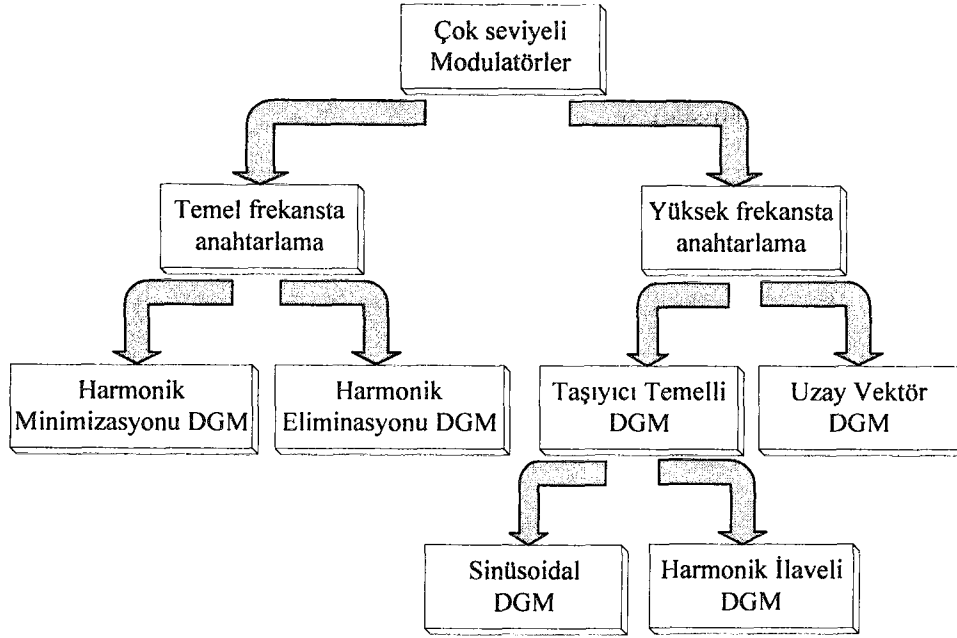
- İnverter çıkışında elde edilen dalga şeklindeki harmoniklerin azaltılması ve temel harmonik bileşenin kontrolü,
- Lineer modülasyon aralığını genişletmek,
- Anahtarlama kayıplarını azaltmak,
- Kolay gerçekleştirebilme özelliği.

ÇSİ'lerde en sık kullanılan modülasyon teknikleri şunlardır.

- Sinüzoidal Darbe Genişlik Modülasyonu (SDGM),
- Harmonik ilaveli Darbe Genişlik Modülasyonu (HİDGM),
- Harmonik Minimizasyonu Darbe Genişlik Modülasyonu (HMDGM),
- Harmonik Eliminasyonu Darbe Genişlik Modülasyonu (HEDGM),
- Uzak Vektör Darbe Genişlik Modülasyonu (UVDGM).

Şekil 3.1'de ÇSİ'lerde kullanılan modülasyon tekniklerinin sınıflandırılması yapılmıştır. Bu bölümde, yukarıda bahsedilen modülasyon tekniklerinin ÇSİ'lerde kullanımı açıklanmaktadır. İlk olarak SDGM ve HİDGM tekniklerinin uygulanışı Bölüm 3.2'de bahsedilmiştir. Bölüm 3.3'de ÇSİ'lerde HMDGM tekniğinin uygulanışı kısaca değinildikten sonra HEDGM tekniği için önerilen yeni bir algoritmaya yer verilmektedir.

Bu tez çalışması, çok seviyeli inverterlerde UVDGM tekniğinin uygulanışı üzerine odaklanmaktadır. Bunun için UVDGM tekniği için önerilen algoritma detaylı bir şekilde ayrı bir bölüm olarak, 4.bölümde yer almaktadır.



Şekil 3.1. Çok seviyeli modülasyon tekniklerinin sınıflandırılması.

3.2. Taşıyıcı Temelli DGM Teknikleri

Çok seviyeli inverterler için taşıyıcı temelli DGM teknikleri içerisinde en çok kullanılan sinüzoidal DGM tekniği (SDGM) ve harmonik ilaveli DGM (HİDGM) teknikleridir. Bu DGM teknikleri için ortak gereksinimler;

- Anahtarlama frekansı, temel frekansın tam katı olmalıdır.
- Çeyrek veya yarım dalga simetrisi kullanılarak çift sayılı harmonik bileşenlerin yok edilmesi sağlanmalıdır.
- Temel frekansın altındaki frekanslarda harmonik bileşenler olmamalıdır.

Taşıyıcı temelli DGM teknikleri taşıyıcı işaretlerin polarite ve faz değişimine göre iki grupta incelenmektedir [23]. Bu teknik, üçgensel taşıyıcı işaretlerin muhtemel dağılımları için karşılaştırmalı bir değerlendirmeye dayanır. ÇSİ'lerde taşıyıcı işaretlerin dağılımı için 4 farklı yol mevcuttur.

- Tüm taşıyıcı işaretler aynı fazdadır.
- Ardışık taşıyıcı işaretler birbirine zıttır.
- Sıfır referans değerinin üstündeki taşıyıcı işaretler aynı fazda ve referans değerinin altındaki taşıyıcı işaretler ters fazdadır.
- Taşıyıcı işaretler birbirleri ile fazları kaydırılmış durumdadırlar.

3.2.1. ÇSİ'lerde SDGM Tekniği

SDGM tekniği kare dalga içerisindeki harmonikleri elimine eden en eski tekniklerden birisidir. Bu teknikte, taşıyıcı işaret ile referans işaretler karşılaştırılarak inverter devresindeki anahtarlar için gerekli tetikleme işaretleri elde edilir. Taşıyıcı işaret olarak çoğunlukla üçgen dalga şekli kullanılır [38].

ÇSİ'ler için kullanılan SDGM teknikleri, iki seviyeli inverterlerde kullanılan SDGM tekniklerinin genişletilmiş halidir. Çok seviyeli SDGM tekniğinde referans işaretleri aynı kalmak şartıyla taşıyıcı işaretlerin sayısı inverterin seviyesine bağlı olarak artırılır. İnverterin seviye sayısı n olarak alınırsa, genliği ve frekansı birbirine eşit $n-1$ tane taşıyıcı işaret gerekir. Böylece bu taşıyıcı işaretler her faz için referans olan sinüs dalgalar ile karşılaştırılarak gerekli DGM'li işaret üretilir.

ÇSİ'lerde modülasyon indeksi ve frekans indeksi sırasıyla şu şekilde belirtilir [2].

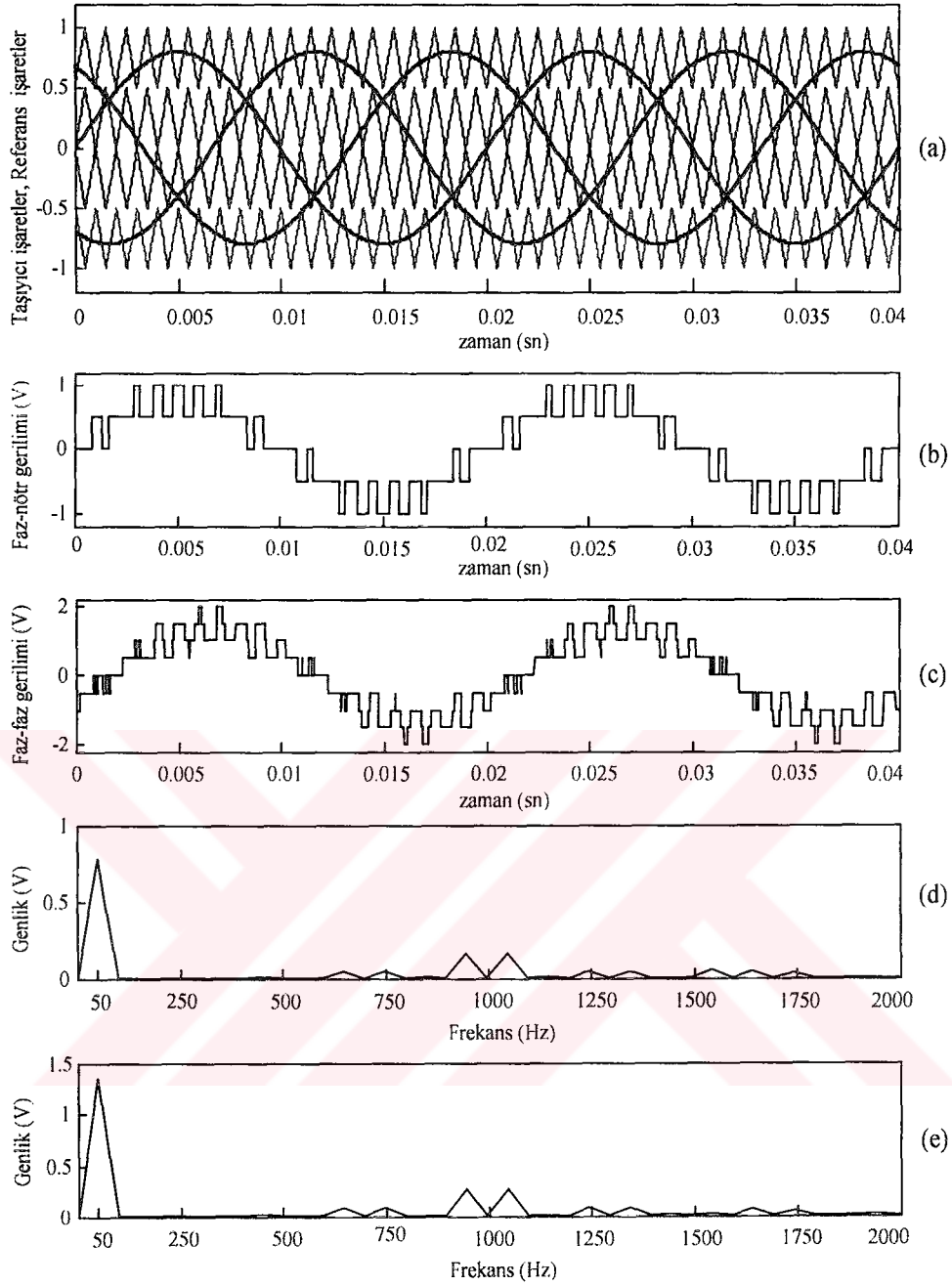
$$M = \frac{A_1}{(n-1)A_s} \quad (3.1)$$

$$M_f = \frac{f_s}{f_1} \quad (3.2)$$

Burada; A_1 referans işaretin genliği, A_s taşıyıcı işaretin genliği, f_1 referans işaretin frekansı ve f_s ise taşıyıcı işaretin frekansdır.

Şekil 3.2'de $M=0.8$, $f_1=50\text{Hz}$ ve $f_s=1\text{kHz}$ durumunda taşıyıcı işaretlerin dağılımı için örnek bir dalga şekli verilmiştir. Şekle dikkat edilirse; 4 taşıyıcı işaret kullanılması ile birlikte çıkış dalga şekli 5 seviyelidir ve temel harmonik bileşeni 50 Hz'de mevcuttur.

Taşıyıcı işaretlerin farklı şekillerde dağılımları ile her bir durumda çıkış geriliminin spektral yapısı da farklılıklara sahiptir [23]. SDGM tekniğinde, düşük dereceden harmonikler yok edilmekte fakat taşıyıcı işaretin frekansında ve yan bant frekanslarda harmonikler oluşmaktadır. Taşıyıcı işaretin frekansı temel frekanstan oldukça yüksek seçildiğinden bu harmonikler çıkış geriliminde büyüklük açısından önem arz etmezler. Bununla birlikte, taşıyıcı işaretin frekansı yüksek değerlerde seçilmesi bir periyottaki anahtarlama sayısını artıracığından beraberinde güç kayıpları artmaktadır. Üç-fazlı sistemlerde M_f 'nin 3'ün katları şeklinde seçilmesi tavsiye edilir. Böylece, inverterin fazlar arası çıkış gerilimde üç ve üçün katları şeklindeki harmonikler oluşmamaktadır. Ayrıca, filtre devreleri ile de yüksek dereceden harmonikler gerekli görüldüğünde yok edilebilir [31].

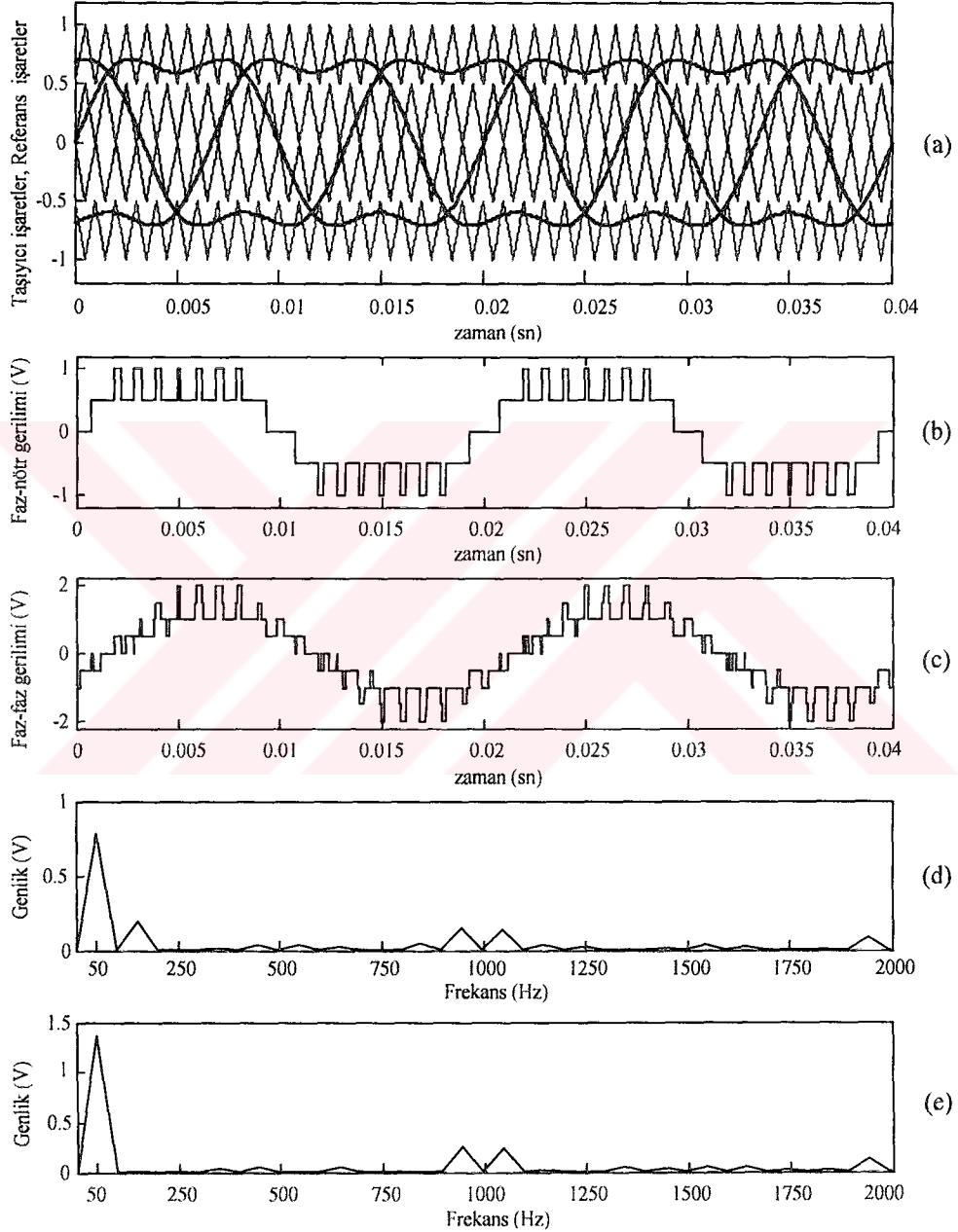


Şekil 3.2. SDGM tekniği için dalga şekilleri ($M=0.8$, $f_l=50\text{Hz}$, $f_s=1\text{kHz}$). (a) Taşıyıcı ve referans işaretlerin dağılımı, (b) Faz-nötr gerilimi, (c) Faz-faz gerilimi, (d) Faz-nötr geriliminin harmonik spektrumu, (e) Faz-faz geriliminin harmonik spektrumu

3.2.2. ÇSİ'lerde HİDGM Tekniği

Son yıllarda üç-fazlı nötrü izoleli sistemlerde inverter çıkış gerilimini artırmak için referans sinüs işaretlere 3 ve 3'ün katları harmonik bileşenler eklenmektedir. HİDGM tekniğinde, inverterin faz-nötr geriliminde 3.harmonik bileşenin oluşmasına karşılık SDGM'e göre modülasyon indeksi %15 artmaktadır [30]. Bununla birlikte, nötrü izoleli bir yükte 3.

harmonik akımları dolaşmaz ve bu nedenle de faz-faz geriliminde 3. harmonik gerilimler oluşmaz. Ayrıca, bu şekildeki modülasyon tekniğinde oluşan yeni referans işaretin dalga şeklinden ötürü daha az sayıda anahtarlama yapılacağından anahtarlama kayıpları da önemli ölçüde azalmaktadır [40]. Şekil 3.3'de referans sinüs işaretine %20 oranında 3. harmonik eklenmiş olarak HİDGM tekniği için dalga şekilleri görülmektedir.

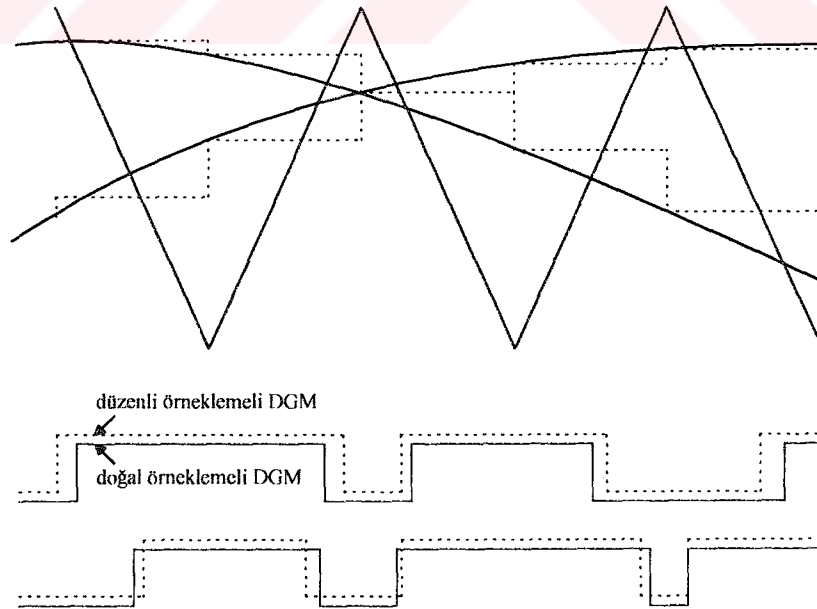


Şekil 3.3. HİDGM tekniği için dalga şekilleri ($M=0.8$, $f_1=50\text{Hz}$, $f_s=1\text{kHz}$). (a) Taşıyıcı ve referans işaretlerin dağılımı, (b) Faz-nötr gerilimi, (c) Faz-faz gerilimi, (d) Faz-nötr geriliminin harmonik spektrumu, (e) Faz-faz geriliminin harmonik spektrumu

Üç-fazlı inverterlere SDGM ve HİDGM tekniklerinin uygulanışı iki farklı şekilde yapılır. Birinci yöntemde; bir taşıyıcı işaret kümesi 120° fazı kaydırılmış referans işaretlerle karşılaştırılmaktadır (tek-faz modülasyonu). İkinci yöntemde ise 3 farklı taşıyıcı işaret kümesi kendi aralarında 120° faz farkı ile yerleştirilir ve sadece bir referans işaret ile karşılaştırılır (üç-faz modülasyonu) [23].

SDGM ve HİDGM tekniklerinde $\sin 3\omega t$ şeklindeki bir analog referans işaretin donanım ve yazılımla üretilmesi oldukça zor olduğundan tekniğin gerçek-zamanda uygulaması oldukça karmaşık olmaktadır. Referans işaretler ile taşıyıcı üçgensel dalga şekillerinin karşılaştırılması; doğal örneklemeli DGM ve düzenli örneklemeli DGM olmak üzere iki şekilde gerçekleştirilir. Doğal örneklemeli DGM tekniği analog bir tekniktir, mikroişlemciler ile gerçekleştirilmeye uygun değildir. Sayısal gerçekleştirmeler için düzenli örneklemeli DGM tekniği tercih edilmektedir. Bu teknikte, referans işaretler her bir anahtarlama periyodunda düzenli olarak örneklenir ve üçgensel taşıyıcı işaret ile karşılaştırılır. Bu yaklaşım bir mikroişlemci ile kolaylıkla gerçekleştirilebilir. Bu şekildeki bir DGM tekniğinde referans işaretin frekansına bağlı olarak $n f_1$ harmonikleri oluşması ile birlikte doğal örneklemeli DGM tekniğinin harmonik spektrumlarına benzemektedir. Şekil 3.4’de her iki DGM tekniğinin uygulanışı görülmektedir.

Taşıyıcı temelli DGM tekniklerinin gerçek-zamanlı uygulamaları için yüksek hızlı mikroişlemcilere ihtiyaç vardır. Bu durum basit yapılarına karşın bu tekniğin dezavantajını oluşturur. Bununla birlikte, mikroişlemcilerdeki son yıllardaki gelişmelere paralel olarak artık taşıyıcı temelli DGM tekniklerinin bu dezavantajı da ortadan kalkmaktadır.



Şekil 3.4. Doğal örneklemeli DGM ve düzenli asimetrik örneklemeli DGM tekniklerinin uygulanışı.

3.3. ÇSİ'lerde HMDGM ve HEDGM Teknikleri

Çok seviyeli dalga şeklinin kalitesi anahtarlama açılarının seçimine oldukça bağlıdır. HMDGM ve HEDGM teknikleri anahtarlama açılarının önceden hesap edilip, bu açılara göre işaret üretimine dayanan tekniklerdir [45]. Anahtarlama açıları değiştirilerek inverterin çıkış dalga şeklindeki THD'nin minimizasyonu ile birlikte istenmeyen belirli sayıdaki harmonik bileşenler elenebilir ve temel harmonik bileşenin kontrolü sağlanabilmektedir.

3.3.1. ÇSİ'lerde HMDGM Tekniği

HMDGM tekniğinde inverter çıkış dalga şeklindeki THD'nin minimizasyonu sağlayan anahtarlama açıları hesap edilmektedir. Gerilim dalga şekli için THD şu şekilde tanımlanır [73].

$$THD = \sqrt{\left(\frac{h(t)}{h_1(t)}\right)^2 - 1} \quad (3.3)$$

Burada, $h(t)$ çok seviyeli dalga şeklinin etkin değeri olup s basamaklı bir dalga şekli için aşağıdaki gibi tanımlanır.

$$h(t) = V \sqrt{s^2 - \frac{2}{\pi} \sum_{k=1}^s (2k-1)\alpha_k} \quad (3.4)$$

ve $h_1(t)$, $h(t)$ 'nin temel harmonik bileşeninin etkin değeri olup şu şekilde tanımlanır.

$$h_1(t) = \frac{2\sqrt{2}.V}{\pi} \sum_{k=1}^s \cos(\alpha_k) \quad (3.5)$$

V ; dc giriş gerilim seviyesidir ve α ise anahtarlama açısını belirtmektedir. Denklem (3.3)'de verilen THD'yi minimizasyonu sağlayan kısmi türevler anahtarlama açılarına göre oluşturularak sıfıra eşitlenmektedir. Bu kısmi türevleri belirlemek için Denklem (3.3) içerisine Denklem (3.4) ve (3.5) yerleştirilerek genelleştirilmiş bir formül aşağıda verilmiştir.

$$\frac{\partial THD^2}{\partial \alpha_n} = (2n-1) \sum_{k=1}^s \cos(\alpha_k) + [2 \sum_{k=1}^s (2k-1)\alpha_k - \pi s^2] \sin(\alpha_n) = 0 \quad (3.6)$$

Burada n ; n . anahtarlama açısını belirtmektedir. Örnek olarak, 5 basamaklı bir dalga şekli için Denklem (3.6) kullanılarak 5 değişkenli 5 adet doğrusal olmayan denklem takımı oluşturulur. Bu denklem takımının çözülmesi ile de THD'nin minimizasyonunu sağlayan anahtarlama açıları bulunmaktadır.

3.3.2. ÇSİ'lerde HEDGM Tekniği

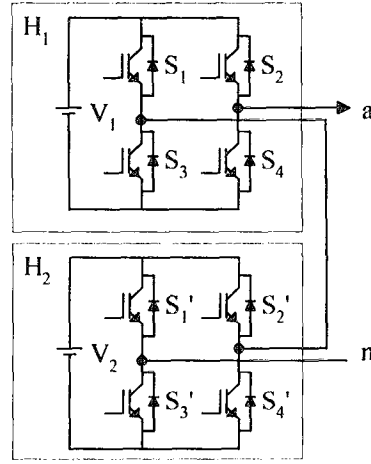
HMDGM tekniği sadece THD'nin minimizasyonunu sağlamaktadır, temel bileşenin genliğinin kontrolünü gerçekleştirmek ve istenmeyen belirli sayıdaki harmonikleri elimine etmek için ise HEDGM tekniği kullanılmaktadır. Bu bölümde; ÇSİ'ler için kullanılan HEDGM tekniğinin yeni bir uygulaması açıklanacaktır.

Yarı iletken teknolojisindeki gelişmeler ve güç elektroniği devrelerinin kontrolünün mikroişlemcilerle gerçekleştirme kolaylığı nedeniyle HEDGM tekniği yüksek güçlü uygulamalar için ilgi çekmektedir. Bu teknikte gerçek zamanlı işaret üretimi için genel uygulama; önceden hesap edilip bir bakma tablosuna kaydedilen anahtarlama açı değerlerinin bir sayısal devre tarafından okunup değerlendirilmesine dayanır. Bir çeyrek periyottaki anahtarlama açı sayısı ve ihtiyaç duyulan frekans aralığı artıktıkça bakma tablosunun da hafıza kapasitesinin büyümesi bu tekniğin olumsuz yanıdır.

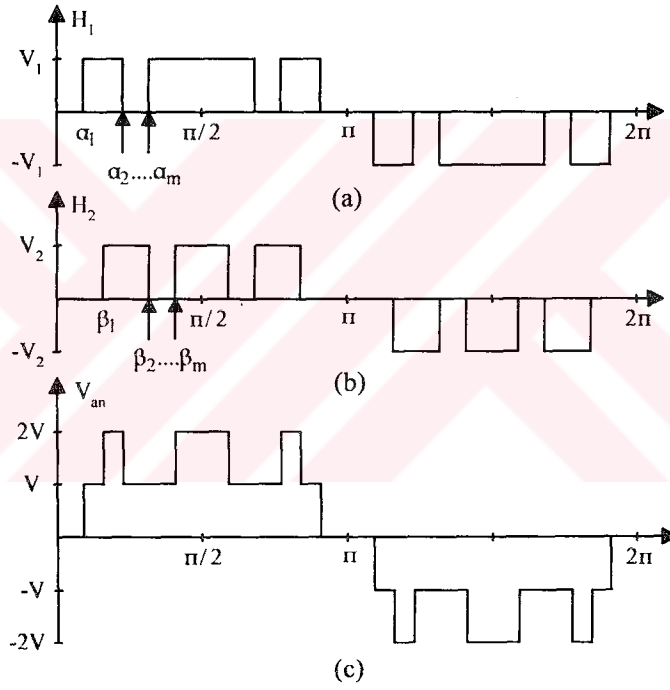
HEDGM tekniği ilk olarak Patel ve Hoft tarafından ortaya atılmış ve iki ve üç seviyeli inverterlerde düşük dereceden harmoniklerin eliminasyonunu sağlayan etkili bir yöntemdir [44]. Bu teknik genişletilerek ÇSİ'lere uygulanmaktadır. Çok seviyeli HEDGM tekniği; diğer DGM teknikleri ile karşılaştırıldığında düşük anahtarlama frekanslarında daha yüksek çıkış gücü kalitesine sahiptir. Ayrıca bu teknik bazen programlanmış DGM tekniği olarak da adlandırılmaktadır.

Şekil 3.5'de 5-seviyeli kaskad ÇSİ'nin bir faz için şematik devresi verilmiştir. Şekilden de görüleceği üzere birbirine seri bağlı H_1 ve H_2 olarak temsil edilen iki adet H-köprü inverter devresi bulunmaktadır. H-köprü hücrelerin her biri birbirinden izoleli farklı dc kaynaklar ile beslenmektedir. İnverter çıkış faz gerilimi bu hücrelerin çıkış gerilimlerinin toplamıdır.

Şekil 3.5'de gösterilen 5-seviyeli kaskad inverter devresindeki her bir hücre için anahtarlama açıları HEDGM tekniği ile ayrı ayrı hesaplanmaktadır. Hesaplamalar sadece çeyrek periyotta yapılmaktadır. HEDGM tekniğini açıklamak için; H_1 hücresinin anahtarlama açılarını α ve H_2 hücresinin anahtarlama açılarını β ile temsil edelim. Şekil 3.6'da verilen DGM'li dalga şekillerindeki çeyrek dalga simetrisinden dolayı sadece tek sayılı harmonik bileşenler mevcuttur. Eğer her bir hücre için çeyrek periyotta m tane anahtarlama açısı alınırsa, toplam değişken sayısı $2m$ olacaktır.



Şekil. 3.5. 5-seviyeli kaskad inverterin tek-faz yapısı



Şekil. 3.6. 5-seviyeli HEDGM tekniği için dalga şekilleri. (a) H₁ köprüsünün çıkış gerilimi. (b) H₂ köprüsünün çıkış gerilimi. (c) Faz-nötr gerilimi ($V_1=V_2=V$).

H₁ ve H₂ hücrelerinin çıkış gerilimlerinin toplam ifadesinden inverter çıkışındaki faz geriliminin n. harmoniğinin genliği şu şekilde yazılabilir [47];

$$h_n = \frac{4.V_1}{n.\pi} [\cos n\alpha_1 - \cos n\alpha_2 + \dots \pm \cos n\alpha_m] + \frac{4.V_2}{n.\pi} [\cos n\beta_1 - \cos n\beta_2 + \dots \pm \cos n\beta_m] \quad (3.7)$$

Burada n , harmonik derecesini göstermektedir. V_1 ve V_2 ise sırasıyla H_1 ve H_2 köprüleri için giriş dc gerilimleridir.

(3.7) denklemi kullanılarak temel bileşenin genliği istenilen bir değere ayarlandıktan sonra ve diğer gerilim harmoniklerinin sıfır yapılması ile $2m-1$ tane doğrusal olmayan denklem takımı oluşturulmaktadır. Bu denklem takımının çözülmesi ile de $2m-2$ tane harmonik bileşen yok edilmektedir. Bu şekildeki denklem takımlarını nümerik olarak çözmek çok zordur. Böyle problemlerde hesaplama işlemlerini azaltmak için sınırlayıcı optimizasyon yaklaşımı önerilir [23, 47]. Optimizasyon şemasının tam çözümü için amaç fonksiyonu ve α ile β anahtarlama açıları için sınırlayıcılar aşağıdaki gibi yazılabilir [47] ;

Amaç fonksiyonu:

$$F = (h_1 - 2M)^2 + h_5^2 + h_7^2 + \dots \quad (3.8)$$

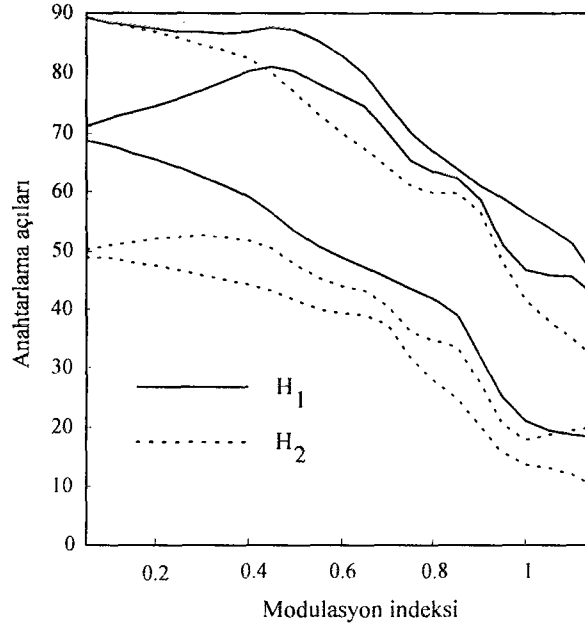
Sınırlayıcılar:

$$\begin{aligned} 0 < \alpha_1 < \alpha_2 < \dots < \alpha_m < \frac{\pi}{2} \\ 0 < \beta_1 < \beta_2 < \dots < \beta_m < \frac{\pi}{2} \end{aligned} \quad (3.9)$$

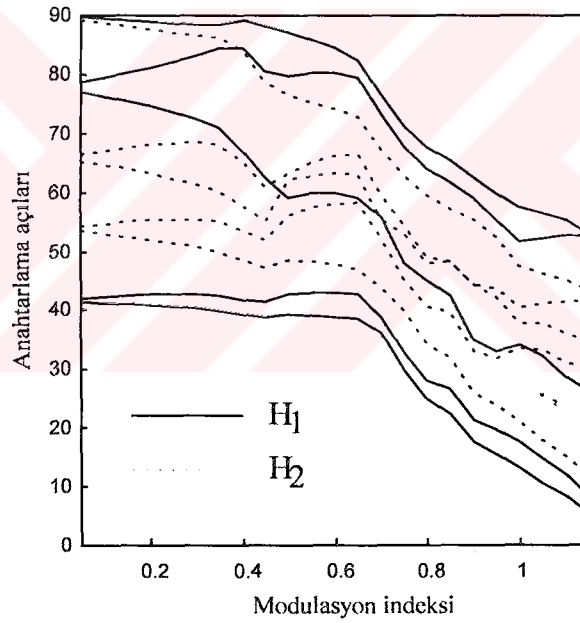
Burada; M , modülasyon indeksi ve $h_1, h_5, h_7, \dots$ sırasıyla 1., 5., ve 7., gerilim harmoniklerinin genlik değerleridir.

Çok değişkenli sınırlayıcı optimizasyon problemlerinin çözümü için Matlab/Optimization toolbox yazılımı oldukça iyi sonuç vermektedir. Önerilen HEDGM tekniğinin çözüm algoritması içerisinde “fmincon” fonksiyonunun kullanılması ile α ve β ’nın değerleri saptanmıştır. İlk önce, her bir H köprü için 3 anahtarlama açısına göre (1), (2) ve (3) denklemleri kullanılarak 0.05-1.15 modülasyon indeksi aralığında hem temel harmonik bileşen kontrol edilmiş, hem de 5., 7., 11. ve 13. gerilim harmoniklerinin eliminasyonu yapılmıştır. Bu durum Şekil 3.7’de görülmektedir. İkinci olarak her bir H köprü için 5 anahtarlama açısına göre aynı modülasyon indeksi aralığında 5., 7., 11., 13., 17., 19., 23., ve 25. gerilim harmoniklerinin eliminasyonu yapılmıştır. Bu şekilde çeyrek periyotta anahtarlama açılarının sayısı artırılarak daha fazla sayıda harmonik bileşen elenebilir.

3-fazlı yıldız bağlı nötrü izole sistemlerde 3 ve 3’ün katları harmonikler oluşmaz [47]. Bu nedenle doğrusal olmayan denklem takımı içerisinde 3 ve 3’ün katları şeklindeki harmonikleri yok edecek düzenlemelere gerek duyulmamaktadır. Bu yöntemin en büyük avantajı geniş modülasyon indeksi aralığında istenmeyen tüm harmoniklerin yok edilmesinin yanı sıra temel bileşeninde kontrolünün yapılmasıdır.



Şekil. 3.7. $m=3$ için anahtarlama açılarının modülasyon indeksine göre değişimi.



Şekil.3.8. $m=5$ için anahtarlama açılarının modülasyon indeksine göre değişimi.

HEDGM Tekniğinin Uygulaması İçin Yeni Bir Yaklaşım

Gerçek zamanlı uygulamalarda önceden oluşturulan bakma tabloları kullanılarak belirli bir modülasyon indeksine karşılık gelen anahtarlama açıları kolaylıkla saptanabilmektedir. Bakma tablolarını oluşturmak için M bir başlangıç değerinden itibaren küçük adımlarla artırılarak her durumda karşılık gelen anahtarlama açıları kaydedilmektedir. Fakat, eğer adım

sayısı yeterince küçük tutulmazsa tabloda bazı M değerlerine yer verilmemiş olacaktır. Adım sayısı çok küçük tutulduğu takdirde ise hem program algoritması uzayacak ve hem de hafıza gereğinden fazla kullanılacaktır.

Bu tezde, gerçek zamanlı uygulamalarda bakma tablosuna gerek duymadan, anahtarlama açılarının tespitini sağlayan HEDGM tekniğinin yeni bir uygulaması açıklanacaktır. Bu uygulama tekniğinde, önceden hesaplanmış anahtarlama açılarından yararlanılarak M'ye göre anahtarlama açılarının değişimini veren basit cebrik denklemler uygun bir eğri uydurma yöntemi ile elde edilir [74]. Burada M, 0.05 ile 1.15 aralığı 5 bölgeye ayrılarak her bir bölge için en fazla 3.dereceden polinomlar oluşturulmuştur. Polinomların oluşturulmasında Matlab "polyval" fonksiyonundan yararlanılmıştır. Şekil 3.9'da bu bölgelerin aralıkları görülmektedir. Burada, birinci bölgenin geniş tutulmasının sebebi bu aralıkta anahtarlama açılarının M'ye göre değişiminin lineere yakın bir değişim göstermesindendir. Analizlerde hem m=3 ve hem de m=5 için bölge sayısı aynıdır. Eğer bölge sayısı azaltılmak istenirse daha yüksek dereceden eğri denklemleri oluşturmak gerekir. Fakat bunun bir sonucu olarak, anahtarlama açısı hesaplama süresi artmaktadır. Denklem (3.10) ve (3.11)'te m=3 ve m=5 için II. bölgede anahtarlama açılarının M'ye göre değişimini veren denklem takımları görülmektedir.

$$\begin{aligned}
 \alpha_1 &= 431.7357M^3 - 724.9738M^2 + 360.8806M + 0.0001 \\
 \alpha_2 &= 263.4361M^3 - 614.4191M^2 + 401.2735M + 0.0002 \\
 \alpha_3 &= 196.1671M^3 - 569.5637M^2 + 409.3648M + 0.0001 \\
 \beta_1 &= 211.5309M^3 - 399.5012M^2 + 229.5341M + 0.0002 \\
 \beta_2 &= 291.2417M^3 - 530.5984M^2 + 287.3848M + 0.0003 \\
 \beta_3 &= 559.3158M^3 - 977.3094M^2 + 501.9763M + 0.0001
 \end{aligned} \tag{3.10}$$

$$\begin{aligned}
 \alpha_1 &= -1.3052M^3 - 129.3951M^2 + 143.0696M + 0.0002 \\
 \alpha_2 &= -164.3890M^3 + 52.0119M^2 + 100.0254M + 0.0002 \\
 \alpha_3 &= -90.1032M^3 - 81.7999M^2 + 181.6177M + 0.0001 \\
 \alpha_4 &= -231.9236M^3 + 13.3035M^2 + 209.9637M + 0.0004 \\
 \alpha_5 &= 29.4897M^3 - 352.5595M^2 + 342.1543M + 0.0003 \\
 \beta_1 &= -23.1402M^3 - 142.0833M^2 + 173.5456M + 0.0002 \\
 \beta_2 &= -439.2489M^3 + 347.6444M^2 + 47.4700M + 0.0004 \\
 \beta_3 &= -496.9774M^3 + 380.5185M^2 + 57.1586M + 0.0005 \\
 \beta_4 &= -569.3527M^3 + 485.1918M^2 + 25.4053M + 0.0004 \\
 \beta_5 &= 19.4821M^3 - 299.7172M^2 + 297.0710M + 0.0003
 \end{aligned} \tag{3.11}$$

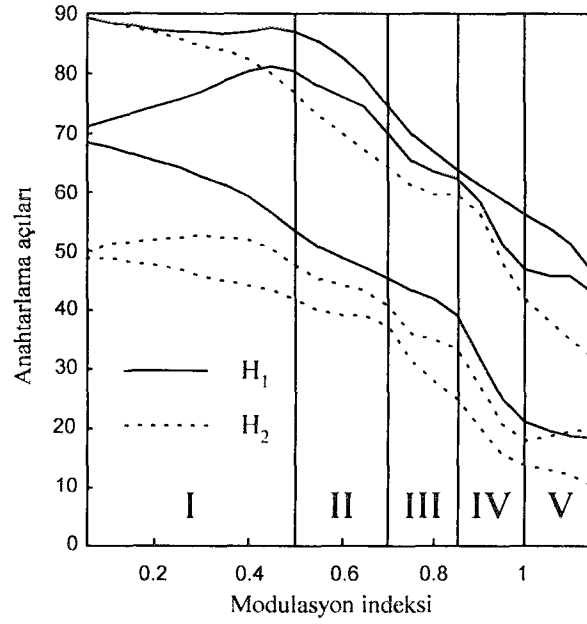
Optimizasyon yaklaşımı getirilerek bulunan anahtarlama açıları ile oluşturulan 3. dereceden eğri denklemlerinden hesaplanan anahtarlama açıları birbirine oldukça yakın değerdendirler. Bu durum $M=0.6$ değeri için Tablo 3.1 ve Tablo 3.2’de verilmiştir.

Tablo 3.1 $m=3$ ve $M=0.6$ için anahtarlama açılarının karşılaştırılması

Anahtarlama açıları	Olması gereken açı değeri	Eğri uydurma ile bulunan açı değeri	Hata (%)
α_1	48.7536	48.7928	0.080
α_2	76.2644	76.4756	0.276
α_3	82.8297	82.9481	0.143
β_1	39.4305	39.5909	0.406
β_2	44.1449	44.3240	0.405
β_3	70.0633	70.1667	0.147

Tablo 3.2. $m=5$ ve $M=0.6$ için anahtarlama açılarının karşılaştırılması

Anahtarlama açıları	Olması gereken açı değeri	Eğri uydurma ile bulunan açı değeri	Hata (%)
α_1	38.7802	38.9778	0.509
α_2	42.9010	43.2317	0.770
α_3	59.8143	60.0605	0.411
α_4	80.2979	80.6724	0.466
α_5	84.5050	84.7412	0.279
β_1	47.7368	47.9793	0.507
β_2	58.1824	58.7566	0.986
β_3	63.2534	63.9352	1.000
β_4	66.3079	66.9324	0.941
β_5	74.2243	74.5528	0.442

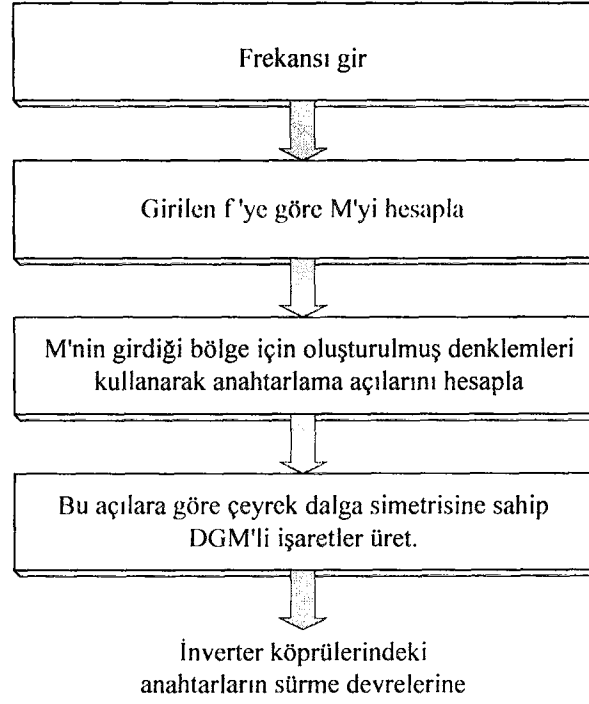


Şekil. 3.9. $m=3$ için oluşturulan bölgeler.

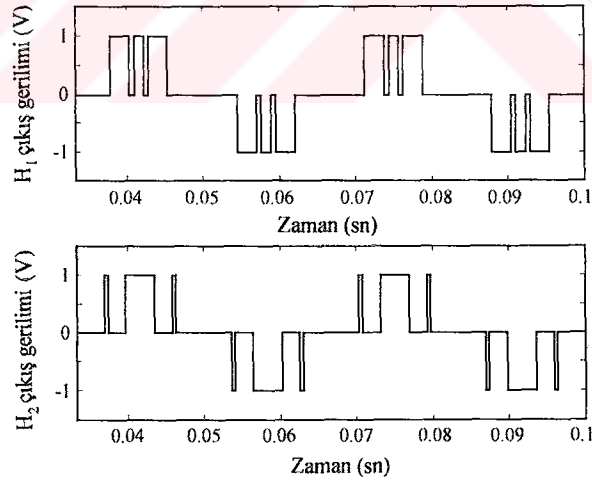
Şekil 3.9'da belirtilen 5 bölge için ayrı ayrı anahtarlama açılarını hesaplayan bu denklemler kullanılarak inverterin hem çıkış geriliminin genliği ve hem de frekansı kontrol edilebilmektedir. Bu maksatla her bir H köprü için $M=1.0$ değeri 50 Hz'lik temel frekansta oluşacak şekilde seçilmiştir. Böylece; 0.05-1.15 aralığındaki modülasyon indekslerine karşılık çıkış geriliminin frekans aralığı 2.5-57.5Hz olacaktır.

Bu teknikle işaret üretimi için; sadece elde edilen polinomların katsayılarının hafızada tutulması yeterli olacaktır. İşaret üretimi için kullanılan algoritmanın akış şeması Şekil 3.10'da verilmiştir.

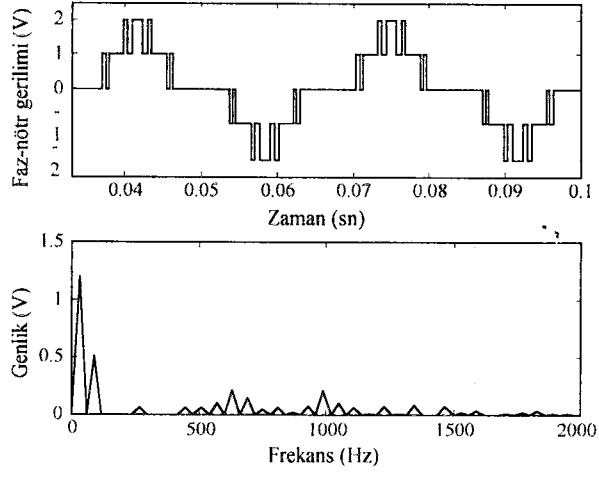
Bu akış şemasına göre $m=3$ ve $m=5$, $f_1=30\text{Hz}$ ($M=0.6$) için üretilen işaretlere göre 5-seviyeli kaskad inverterin çıkış dalga şekilleri ve harmonik spektrumları Şekil 3.11-3.16'da görülmektedir. Önerilen bu HEDGM algoritması ile hem istenmeyen harmonikler yok edilmekte ve hem de inverter çıkış geriliminin kontrolü yapılmaktadır.



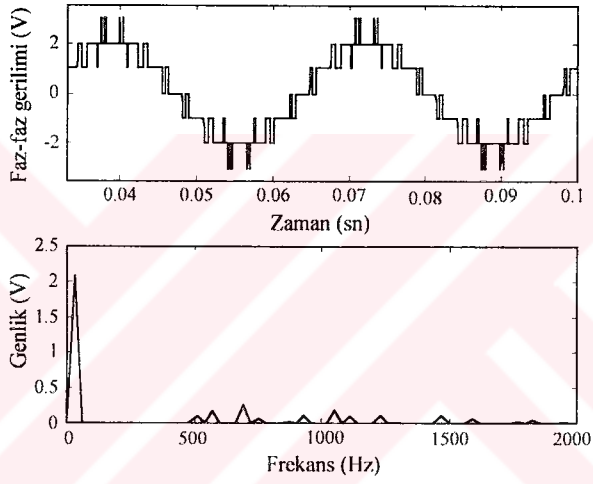
Şekil. 3.10. İşaret üretimi için akış şema.



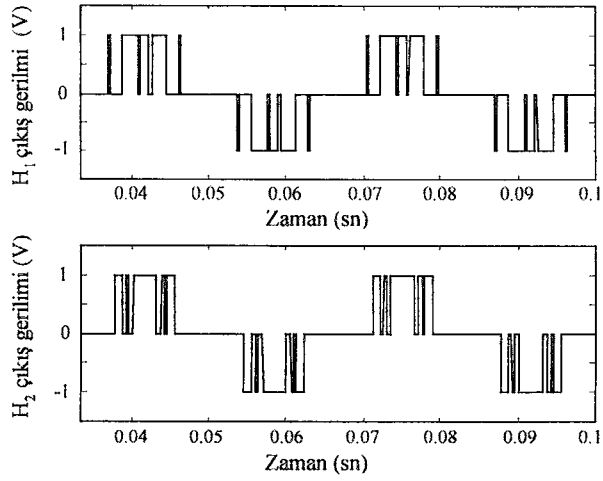
Şekil 3.11. H_1 ve H_2 köprülerinin çıkış gerilimleri ($m=3$, $f_1=30\text{Hz}$).



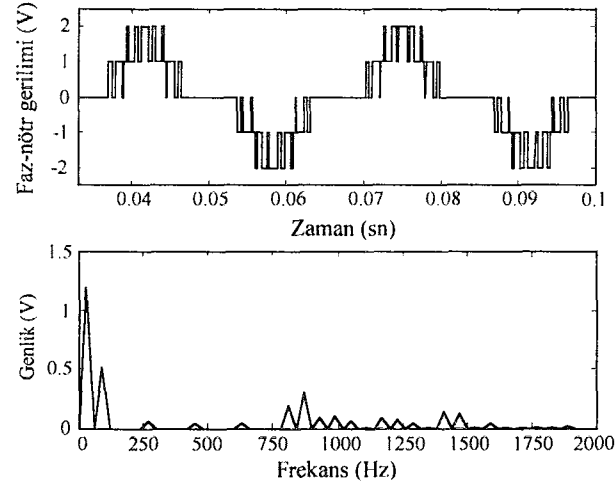
Şekil 3.12. İnverterin faz-nötr çıkış gerilimi ve harmonik spektrumu ($m=3$, $f_1=30\text{Hz}$).



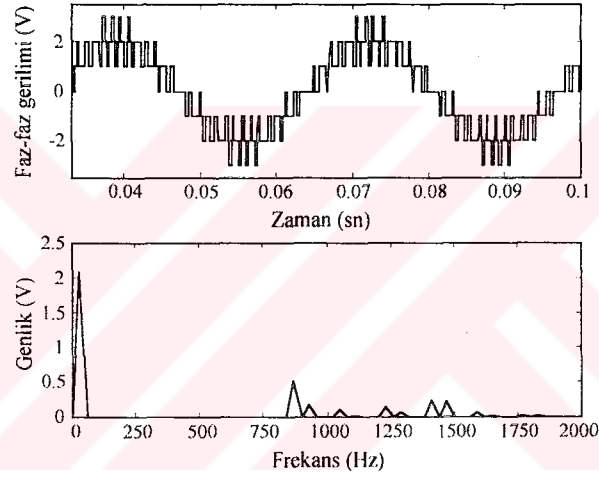
Şekil 3.13. İnverterin faz-faz çıkış gerilimi ve harmonik spektrumu ($m=3$, $f_1=30\text{Hz}$).



Şekil 3.14. H_1 ve H_2 köprülerinin çıkış gerilimleri ($m=5$, $f_1=30\text{Hz}$).



Şekil 3.15. İnverterin faz-nötr çıkış gerilimi ve harmonik spektrumu ($m=5$, $f_1=30\text{Hz}$).



Şekil 3.16. İnverterin faz-faz çıkış gerilimi ve harmonik spektrumu ($m=5$, $f_1=30\text{Hz}$).

4. UZAY VEKTÖR DARBE GENİŞLİK MODÜLASYON TEKNİĞİ

4.1. Giriş

UVDGM tekniği kullanılarak iki-seviyeli ve çok seviyeli inverter çıkışlarında istenilen genlik ve frekansta üç-fazlı gerilimler elde edilebilmektedir. UVDGM tekniği; süper harmonik performansı, modülasyon indeksi aralığının genişletilmesi, dc giriş geriliminin optimum kullanımı ve düşük akım dalgalanması gibi avantajlara sahiptir. Doğrudan programlama tekniği olduğundan sayısal gerçekleştirmeler için çok uygun olmaktadır [53].

Bu bölüm, ÇSİ topolojilerine UVDGM tekniğinin uygulanışını içermektedir. Esasında, iki seviyeli inverterlerde kullanılan UVDGM teknikleri genişletilerek ÇSİ topolojilerine uygulanmaktadır. Bu maksatla, ilk olarak bu tekniğin iki seviyeli inverterlerde kullanımına kısaca değinilmiş ve daha sonra bölüm 4.3'de ÇSİ'ler için UVDGM tekniği detaylı olarak açıklanmıştır. Ayrıca, UVDGM tekniğinde anahtarlama durumlarının seçimi için yeni bir algoritma önerilmiştir.

4.2. İki-Seviyeli İnverterlerde UVDGM Tekniği

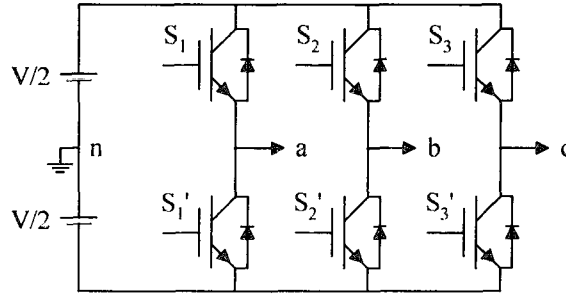
İki-seviyeli inverterler için UVDGM tekniğinde üç-fazlı referans gerilimler Clarke dönüşümü kullanılarak kartezyen koordinat sisteminde (α - β uzayı) bir gerilim uzay vektörü ile temsil edilmektedir. Vektörün genliği ve faz açısı bu üç-fazlı büyüklüklerin anlık değerleri ile saptanır. Eğer üç-fazlı büyüklükler sinüzoidal ve dengeli ise vektör sabit bir açısal hızla dönecektir ve sabit bir genliğe sahip olacaktır. Başka bir deyişle, dönen bir gerilim vektörü oluşacaktır [51]. Üç-fazlı gerilimlerin kartezyen koordinat sisteminde karşılığı olan $\vec{V}^*$ referans gerilimi elde etmek için Clarke dönüşümü aşağıda verilmiştir.

$$\vec{V}^* = V_\alpha + jV_\beta = \frac{2}{3} \left(V_a e^{j0} + V_b e^{j2\pi/3} + V_c e^{-j2\pi/3} \right) \quad (4.1)$$

Burada; V_a , V_b ve V_c sırasıyla a,b ve c fazlarının referans gerilim değerleri olup şu şekilde tanımlanır;

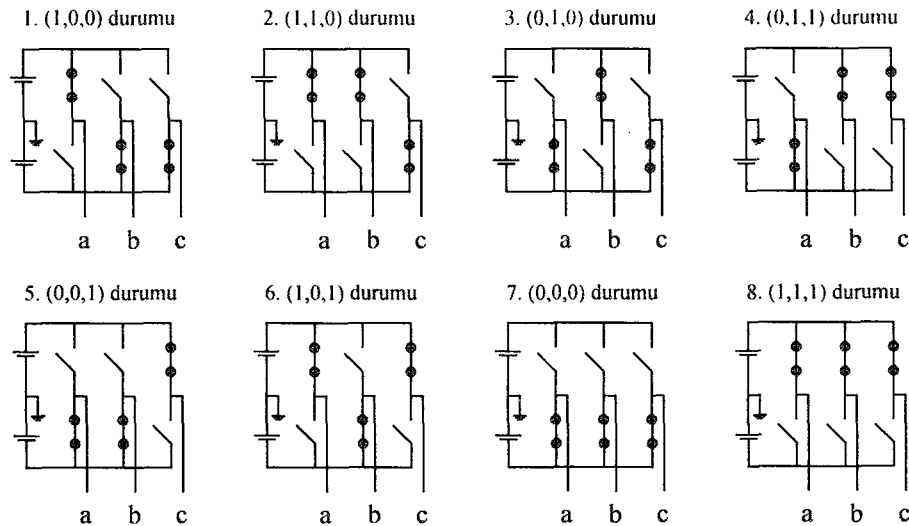
$$\begin{aligned} V_a &= V_m \sin \omega t \\ V_b &= V_m \sin(\omega t - 2\pi/3) \\ V_c &= V_m \sin(\omega t + 2\pi/3) \end{aligned} \quad (4.2)$$

Şekil 4.1’de verilen iki seviyeli inverterin güç devresindeki anahtarların durumlarına bağlı olarak sekiz olası anahtarlama durumu mevcuttur. Bu anahtarlama durumlarının ikisi sıfır-durum vektörü ve altısı ise aktif-durum vektörü olmak üzere bir altıgen oluşturmaktadır. İnverter devresindeki 8 olası anahtarlama durumu Şekil 4.2’de verilmiştir. Şekil 4.3’de ise aktif-durum ve sıfır-durum vektörleri için gerilim vektör uzayı görülmektedir.



Şekil 4.1. Üç-fazlı iki-seviyeli inverter devresi.

UVDGM tekniği, her bir anahtarlama periyodunda kendisine en yakın olan iki aktif-durum vektörleri ve sıfır-durum vektörlerine göre dönen referans vektör yaklaşımı yapmaktadır. Şekil 4.1’deki inverterin a kolu için üstteki anahtarın iletimde olduğunu, b ve c kolları için ise alttaki anahtarların iletimde olduğunu kabul edelim. Böylece a, b, c kolları için faz-nötr gerilimleri sırasıyla; $V/2$, $-V/2$, $-V/2$ olmaktadır. Aşağıda bu durum “100” olarak gösterilmiş olup, Denklem (4.1) tanımına göre uzay vektörü: $\vec{V}_1 = \frac{2}{3} V e^{j0}$ ’dir.

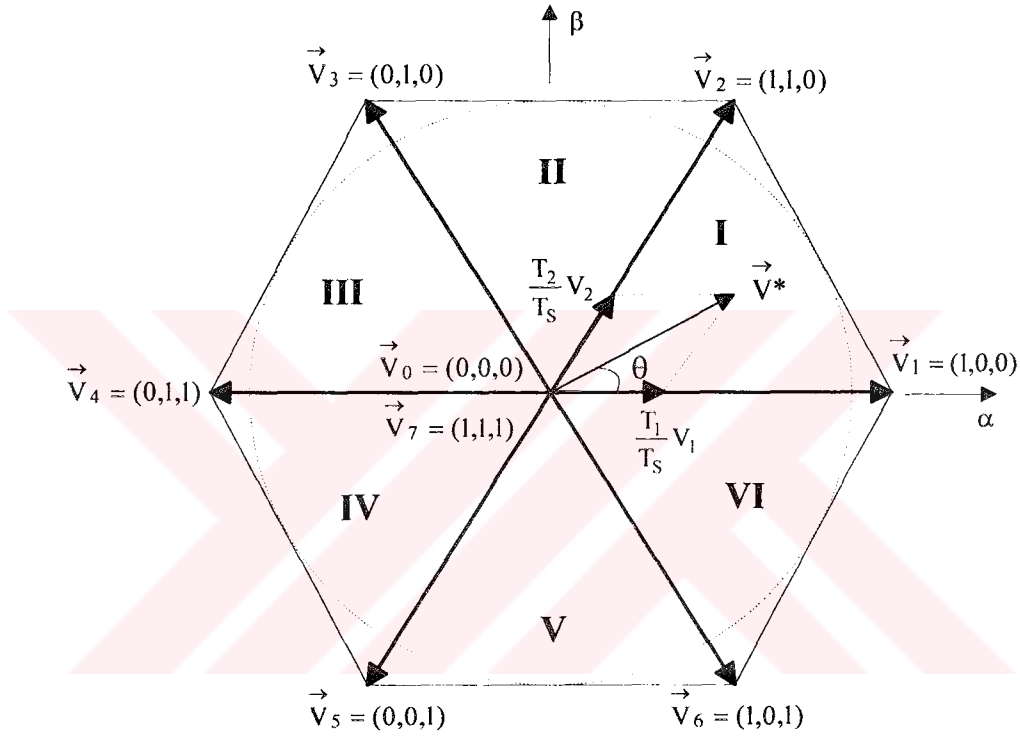


Şekil 4.2. 8 olası anahtarlama durumu.

Bu varsayımlar tekrarlanarak aktif-durum vektörleri $\vec{V}_1 - \vec{V}_6$ ve sıfır-durum vektörleri $\vec{V}_0$ ve $\vec{V}_7$ Şekil 4.3'deki gibi gösterilir. Aktif durum vektörleri;

$$\vec{V}_k = \frac{2V}{3} e^{j(k-1)\frac{2\pi}{3}} \quad (k = 1, \dots, 6) \quad (4.3)$$

şeklinde ifade edilip altı eşit sektöre sahip düzenli bir altıgen oluşturmaktadır.



Şekil 4.3. Gerilim vektör uzayı.

UVDGM tekniğinde, altıgen içerisindeki bütün $\vec{V}^*$ vektörleri kendisine bitişik olan iki aktif vektörün ağırlıklı olarak birleşiminden ve sıfır-durum vektörleri $\vec{V}_0$ ve $\vec{V}_7$ kullanılarak ifade edilir. Böylece $\vec{V}^*$, her bir anahtarlama periyodunda bu 4 inverter durumu arasındaki anahtarlama ile gerçekleştirilebilir. Şekil 4.3'de $\vec{V}^*$ 'in k. sektör içerisinde olduğunu düşünelim, bitişik aktif vektörler $\vec{V}_k$ ve $\vec{V}_{k+1}$ olacaktır (burada k=6 için k+1 değeri 1 alınır). Optimum harmonik performansı ve minimum anahtarlama frekansını elde etmek için bir sektörden bir sonraki sektöre geçişte inverterin sadece bir kolundaki anahtarlama durumları

değiştirilmektedir. Anahtarlama periyodu daima bir sıfır-durum anahtarlama ile başlar ve biter. Aynı zamanda, anahtarlama bütün periyot boyunca simetriktir. UVDGM tekniğinin en önemli kısmı, aktif ve sıfır-durum sürelerinin her bir anahtarlama periyodunda hesaplanması stratejisidir. Aşağıdaki bağıntıda T_s periyodu boyunca T_k süresi $\vec{V}_k$ vektörünün uygulama süresinin yarısını, T_0 süresi de sıfır-durum vektörünün uygulama süresinin yarısını göstermektedir [54].

$$\int_0^{T_s/2} \vec{V}^* dt = \int_0^{T_0/2} \vec{V}_0 dt + \int_{T_0/2}^{T_0/2+T_k} \vec{V}_k dt + \int_{T_0/2+T_k}^{T_0/2+T_k+T_{k+1}} \vec{V}_{k+1} dt + \int_{T_0/2+T_k+T_{k+1}}^{T_s/2} \vec{V}_7 dt \quad (4.4)$$

$$T_0 + T_k + T_{k+1} = \frac{T_s}{2} \quad (4.5)$$

$\vec{V}_0 = \vec{V}_7 = 0$ durumu hesaba katılırsa, Denklem (4.4) aşağıdaki gibi sadeleştirilir.

$$\vec{V}^* T_s / 2 = \vec{V}_k T_k + \vec{V}_{k+1} T_{k+1} \quad (4.6)$$

Bu vektörel ifadeleri gerçekte ve imajiner bileşenlerine ayıracak olursak,

$$\begin{pmatrix} V_\alpha \\ V_\beta \end{pmatrix} \frac{T_s}{2} = \frac{2V}{3} \left(T_k \begin{pmatrix} \cos \frac{(k-1)\pi}{3} \\ \sin \frac{(k-1)\pi}{3} \end{pmatrix} + T_{k+1} \begin{pmatrix} \cos \frac{k\pi}{3} \\ \sin \frac{k\pi}{3} \end{pmatrix} \right) = \frac{2V}{3} \begin{pmatrix} \cos \frac{(k-1)\pi}{3} & \cos \frac{k\pi}{3} \\ \sin \frac{(k-1)\pi}{3} & \sin \frac{k\pi}{3} \end{pmatrix} \begin{pmatrix} T_k \\ T_{k+1} \end{pmatrix} \quad (4.7)$$

şeklinde yazılır. Bir periyot boyunca minimum sayıda anahtarlamaı sağlayabilmek için eğer tek numaralı bir sektörde bulunuyorsak uygulanan vektör $\vec{V}_0 \vec{V}_k \vec{V}_{k+1} \vec{V}_7 \vec{V}_{k+1} \vec{V}_k \vec{V}_0$ ve eğer çift numaralı bir sektörde bulunuyorsak da aktif vektörlerin yerleri değiştirilir, böylece $\vec{V}_0 \vec{V}_{k+1} \vec{V}_k \vec{V}_7 \vec{V}_k \vec{V}_{k+1} \vec{V}_0$ şeklinde olacaktır. Denklem (4.7) ile verilen sistemin çözülmesiyle,

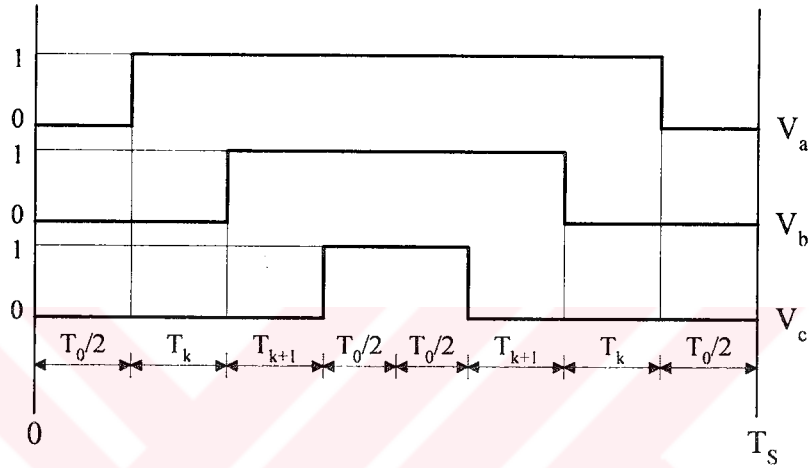
$$\begin{pmatrix} T_k \\ T_{k+1} \end{pmatrix} = \frac{\sqrt{3}}{2} \frac{T_s}{V} \begin{pmatrix} \sin \frac{k\pi}{3} & -\cos \frac{k\pi}{3} \\ -\sin \frac{(k-1)\pi}{3} & \cos \frac{(k-1)\pi}{3} \end{pmatrix} \begin{pmatrix} V_\alpha \\ V_\beta \end{pmatrix} \quad (4.8)$$

bulunur.

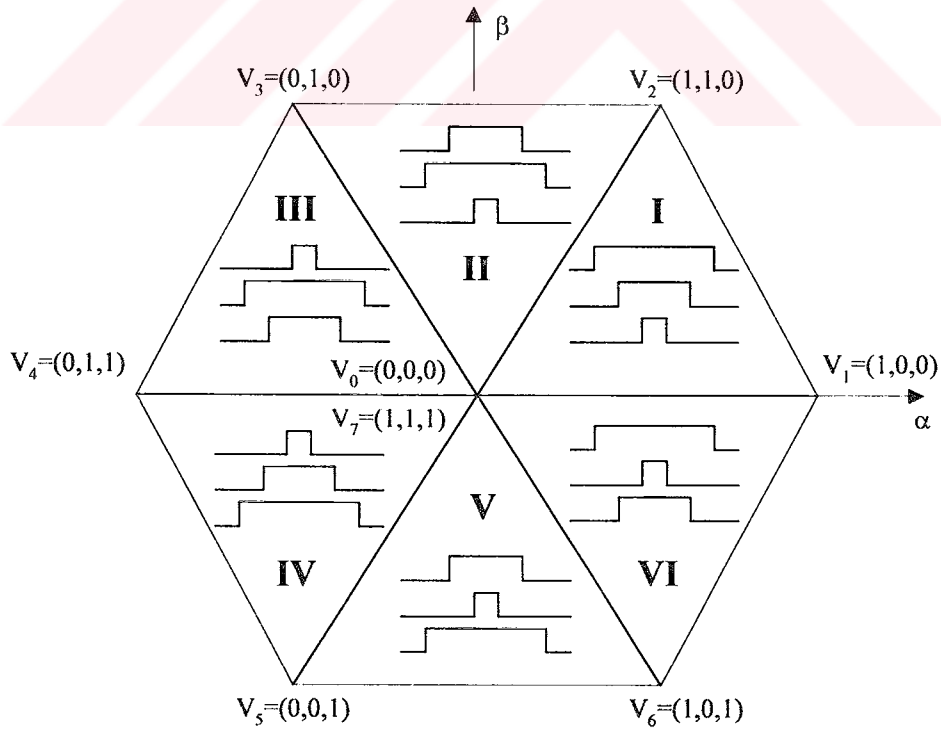
Toplam sıfır-durum süresi, iki sıfır-durum arasında uygun bir şekilde bölüştürülür. Genelde bu süre iki sıfır-durum vektörleri $\vec{V}_0$ ve $\vec{V}_7$ arasında eşit olarak paylaştırılır. Sonuç olarak Denklem (4.5) den T_0 süresi aşağıdaki gibi bulunur.

$$T_0 = \frac{T_s}{2} - (T_k + T_{k+1}) \quad (4.9)$$

Birinci sektördeki anahtarlama şemasına örnek olarak Şekil 4.4'ü verebiliriz. Tüm sektörler için anahtarlama şeması ise Şekil 4.5'de görülmektedir.



Şekil 4.4. I.sektördeki bir T_s süresi için a,b,c faz gerilimlerinin anahtarlama durumları.



Şekil 4.5. Tüm sektörler için anahtarlama durumları.

Dengeli bir sistemde sinüsoidal bir faz geriliminin arzu edildiği düşünülürse, buna karşılık gelen uzay vektörü de dairesel olacaktır. $\vec{V}^* = |\vec{V}^*| e^{j\omega t} = |\vec{V}^*| (\cos \omega t + j \sin \omega t)$, burada $|\vec{V}^*|$ istenen faz geriliminin genliği ve ω ise açısal frekanstır. Böylece, T_k ve T_{k+1} süreleri için Denklem (4.8)'in düzenlenmiş durumu Denklem (4.10)'da verilmiştir.

$$\begin{pmatrix} T_k \\ T_{k+1} \end{pmatrix} = \frac{\sqrt{3}}{2} \frac{|\vec{V}^*|}{V} T_s \begin{pmatrix} \sin \frac{k\pi}{3} & -\cos \frac{k\pi}{3} \\ -\sin \frac{(k-1)\pi}{3} & \cos \frac{(k-1)\pi}{3} \end{pmatrix} \begin{pmatrix} \cos \omega t \\ \sin \omega t \end{pmatrix} \quad (4.10)$$

Referans vektörün I.sektör içerisinde bulunması durumunda Denklem (4.8) aşağıdaki gibi basitleştirilebilir.

$$\begin{pmatrix} T_1 \\ T_2 \end{pmatrix} = \frac{\sqrt{3}}{2} \frac{|\vec{V}^*|}{V} T_s \begin{pmatrix} \sin \left(\frac{\pi}{3} - \omega t \right) \\ \sin \omega t \end{pmatrix} \quad (4.11)$$

Bir T_s periyodu süresince inverter faz gerilimlerinin ortalamasını alacak olursak;

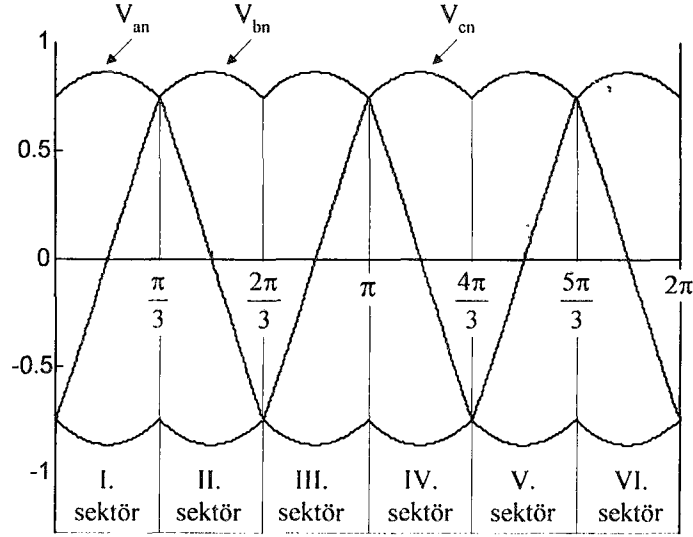
$$V_{an} = \frac{V}{2T_s} \left(-\frac{T_0}{2} + T_1 + T_2 + T_0 + T_2 + T_1 - \frac{T_0}{2} \right) \quad (4.12)$$

$$V_{bn} = \frac{V}{2T_s} \left(-\frac{T_0}{2} - T_1 + T_2 + T_0 + T_2 - T_1 - \frac{T_0}{2} \right) \quad (4.13)$$

$$V_{cn} = -V_{an} \quad (4.14)$$

olarak bulunur [69].

Benzer şekilde (4.10) denklemi diğer sektörler için de çözülebilir. Tüm sektörler için çözüm yapıldığında elde edilen inverter faz gerilimlerinin ortalama değerleri (modülasyon işaretleri) Şekil 4.6'da gösterilmiştir.



Şekil 4.6. UVDGM tekniği için inverter faz gerilimlerinin ortalama değerleri.

4.3. Çok Seviyeli İnverterler İçin Genel Bir UVDGM Algoritması

ÇSİ'ler için UVDGM teknikleri iki seviyeli inverterler için kullanılan UVDGM tekniklerinin genişletilmiş halidir. Bugüne kadar ÇSİ topolojilerinde farklı UVDGM algoritmaları geliştirilmiş olup literatürlerde yerini almıştır [51-63]. Önerilen bu UVDGM algoritmalarının çoğunda ilk olarak referans vektörün hangi sektör ve hangi üçgen içerisine düştüğüne bakılır. Bunu yapmak için de, tüm üçgenlerin sınır denklemlerinin karakteristiklerine göre trigonometrik fonksiyonları kullanan bir takım seri hesaplamalar gerekir [64]. Referans vektörün uzunluğu ve faz açısına göre kullanılacak komşu vektörleri belirlemek için, üçgenlerin toplam sayısı kadar çok girişli bir bakma tablosu oluşturulur. Ayrıca, bu komşu vektörlerin iletim sürelerini bulmak için de başka bir takım seri trigonometrik hesaplamalar yapılmaktadır [65,67].

Bu şekildeki UVDGM algoritmalarını gerçekleştirmek için yoğun hesaplamalar gerektirdiğinden güçlü mikro işlemciler veya sayısal işaret işlemcilerle ihtiyaç vardır. Bununla birlikte, inverterin seviye sayısı artması ile üçgenlerin sayısı da büyük oranda artacağından bu şekildeki algoritmaların gerçek zamanda uygulanabilirliği çok zor olmaktadır. UVDGM algoritmasının çevrim zamanının büyümesi ile de anahtarlama frekansı için bir sınırlama oluşacağı açıktır. Bu nedenle son yıllarda ÇSİ'lerde kullanılan hızlı UVDGM algoritmaları üzerine yapılan çalışmalar ivme kazanmıştır [52,57,67,68,70].

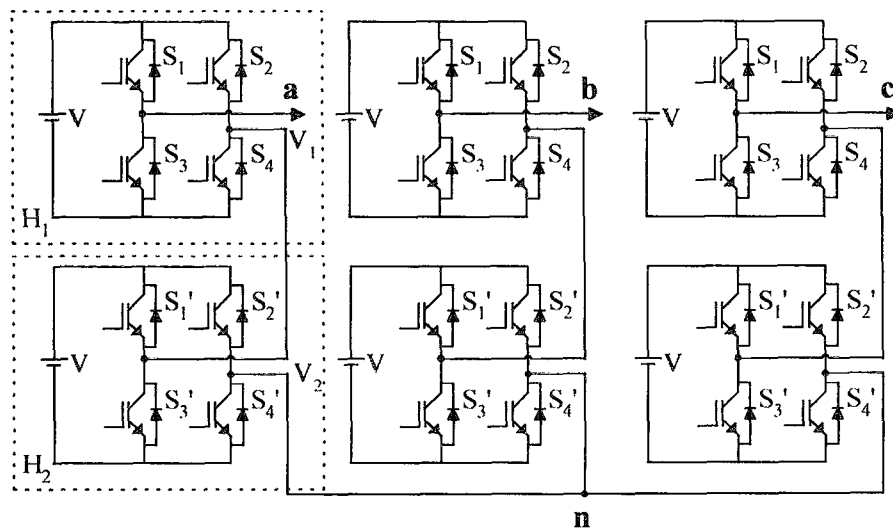
Li ve arkadaşları; bir 5-seviyeli kaskad inverteri iki 3-seviyeli inverter gibi ele alıp, iki farklı 3-seviyeli UVDGM algoritması önermişlerdir. Bu şekilde çalışan bir UVDGM algoritması diyot-kenetlemeli ve kondansatör-kenetlemeli topolojiler için uygun olmamaktadır

[52]. Benzer bir çalışmada Seo tarafından yapılmıştır [57]. Bu çalışmada, referans gerilim uzay vektörünün içinde bulunduğu üçgene göre yeni bir orijin noktası belirlenerek yüksek seviyeli inverterlerin 3-seviyeli inverter gibi analizi yapılmaktadır. Celenovic ve Wei tarafından önerilen UVDGM algoritmalarında ise bir koordinat dönüşüm matrisi kullanılarak referans vektörün içine düştüğü üçgenin saptanması ve komşu vektörler için iletim sürelerinin hesabı çok basit denklemler ile yapılmaktadır [67,70]. Fakat yukarıda bahsedilen bu UVDGM algoritmalarında modülasyon indeksi aralığını geniş tutacak sağlam bir kriterden bahsedilmemiştir.

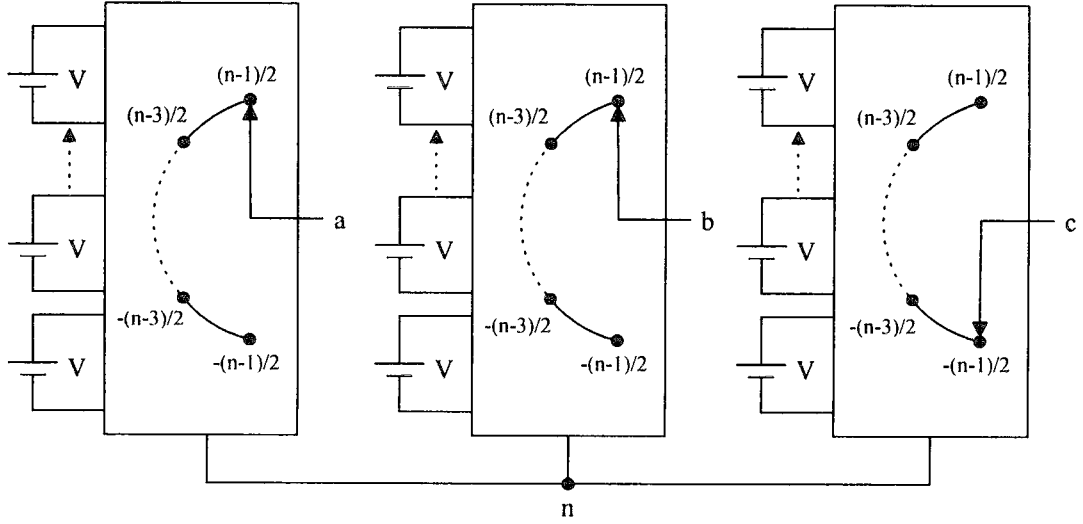
Bu tezde, çok hızlı ve gerçekleştirmesi oldukça basit olan bir UVDGM algoritması sunulmaktadır. Bu algoritma herhangi bir ÇSİ topolojisine uygulanabilme avantajına sahiptir. Referans vektörü sentezlemek için gerekli anahtarlama durumları ve komşu vektörler için iletim sürelerinin hesabı Wei tarafından önerilen denklemler kullanılarak yapılmaktadır. Anahtarlama durumlarının seçiminde önerilen “*en küçük-en büyük (ek-eb)*” metodu sayesinde $0 < M < 1.15$ modülasyon indeksi aralığında minimum harmonik bozulma ile istenen genlik ve frekansta üç-fazlı gerilimler elde edilebilmektedir. Aşağıdaki bölümlerde bu şekildeki bir UVDGM algoritmasının gerçekleştirilmesi için adımlar verilmiştir.

4.3.1. Referans Vektörün Yeri ve Komşu Vektörler İçin İletim Sürelerinin Hesabı

Bir 5-seviyeli kaskad bağlı inverter yapısı Şekil 4.7’de görülmektedir. Şekil 4.8’de ise bu inverter topolojisinin n-seviyeli fonksiyonel diyagramı verilmiştir. Şekil 4.8’deki her fazda bulunan anahtarların konumu, o fazdaki anahtarlama durumu olarak ifade edilmektedir. Örneğin; 5 seviyeli bir inverter için a, b ve c anahtar konumları sırasıyla 2,2,-2 olsun. Bu anahtarlama durumuna göre Şekil 4.7’deki inverterin faz-nötr gerilimleri; $V_{an}=2V$, $V_{bn}=2V$ ve $V_{cn}=-2V$ şeklinde olacaktır.



Şekil 4.7. 5-seviyeli kaskad bağlı H-köprü inverter topolojisi.



Şekil 4.8. n-seviyeli kaskad inverterin fonksiyonel diyagramı.

ÇSİ'lerde anahtarlama durumlarının sayısı (4.15) denklemi ve gerilim uzay vektörlerinin sayısı ise (4.16) denklemi kullanılarak hesaplanmaktadır [69].

$$N_a = n^3 \quad (4.15)$$

$$N_v = 1 + 6 \sum_{i=1}^{n-1} i \quad (4.16)$$

Burada n , inverterin seviye sayısıdır. Bir 5-seviyeli inverterde (4.15) ve (4.16) denklemlerine göre; toplam olarak 125 anahtarlama durumu ve 61 gerilim vektörü mevcuttur. Şekil 4.9'da verilen uzay vektör gerilim diyagramında 3-seviyeli bir inverter için 24 ve 5-seviyeli inverter için de 96 küçük üçgen bulunmaktadır. Buradaki her bir üçgenin köşeleri bir gerilim vektörünü temsil eder.

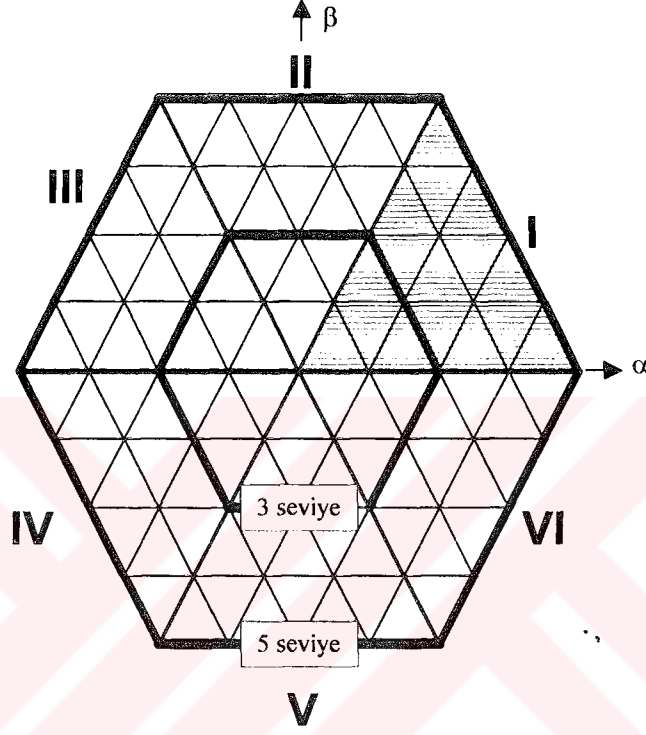
Bir referans gerilim vektörü iki seviyeli inverterlerde kullanılan UVDGM algoritmalarında olduğu gibi şu şekilde tanımlanır [70];

$$\vec{V}^* = V_\alpha^* + jV_\beta^* = \frac{2}{3} (V_a e^{j0} + V_b e^{j2\pi/3} + V_c e^{-j2\pi/3}) \quad (4.17)$$

Burada; V_a , V_b ve V_c üç-fazlı inverterin istenen faz gerilimleridir. Şekil 4.9'daki gerilim vektörleri altı büyük üçgensel sektöre bölünmüştür (I-VI). I. Sektörün detayları Şekil

4.10'da verilmiştir. Her bir gerilim vektörün kartezyen koordinat sistemindeki koordinatları V_α ve V_β (4.17) denklemi kullanılarak şu şekilde hesaplanabilir;

$$\begin{aligned} V_\alpha^* &= \frac{2}{3} \left[V_a - \frac{1}{2}(V_b + V_c) \right] \\ V_\beta^* &= \frac{\sqrt{3}}{3} (V_b - V_c) \end{aligned} \quad (4.18)$$

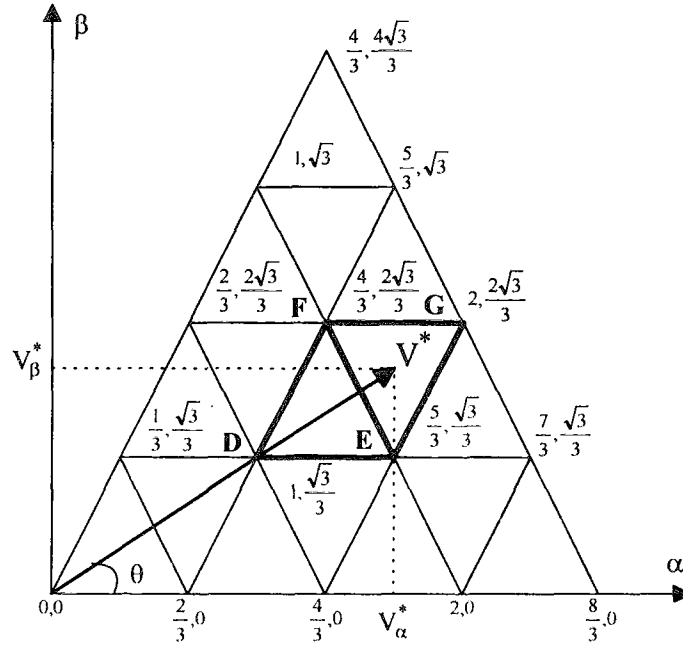


Şekil 4.9. 3-seviyeli ve 5-seviyeli inverterlerin gerilim vektörleri.

Gerilim harmonik bozulmasını azaltmak için referans vektör $\vec{V}^*$, üç komşu vektör tarafından sentezlenmektedir. Eğer referans vektör Şekil 4.10'da gösterildiği gibi $\vec{V}^*$ içerisinde ise;

$$\begin{aligned} \vec{V}_E &= \frac{5}{3} + j\frac{\sqrt{3}}{3} \\ \vec{V}_F &= \frac{4}{3} + j\frac{2\sqrt{3}}{3} \\ \vec{V}_G &= 2 + j\frac{2\sqrt{3}}{3} \end{aligned} \quad (4.19)$$

vektörleri aktif-durum vektörleri olarak belirtilir.



Şekil 4.10. Kartezyen koordinat sistemindeki uzay vektörler (I. sektör).

Kartezyen koordinat sisteminde referans vektörünün bitiş noktasının hangi üçgene düştüğünü saptamak için gerilim uzay vektör diyagramındaki tüm üçgenlerin koordinatlarının bilinmesi gerekir. Bu nedenle de referans vektörün hangi üçgen içine düştüğünü saptamak oldukça sıkıcı olmaktadır. Ayrıca, komşu vektörlerin iletim süreleri hesabı için denklemler kartezyen koordinat sistemindeki referans vektörün içinde olduğu üçgene göre değişmektedir. Başka bir deyişle, komşu vektörlerin iletim süreleri hesabı için her bir üçgen kendi denklemlerine sahiptir.

Yukarıda bahsedilen problemleri çözmek için kartezyen koordinat sistemi bir 60° (hekzagonal) koordinat sistemine dönüştürülmektedir. Bu dönüşüm aşağıda verilen bağıntılar sayesinde gerçekleştirilir [70].

$$V_g^* = \frac{3}{2} V \left[\cos \theta - \frac{1}{\sqrt{3}} \sin \theta \right] \quad (4.20)$$

$$V_h^* = \frac{3}{2} V \left[\cos(60 - \theta) - \frac{1}{\sqrt{3}} \sin(60 - \theta) \right]$$

Şekil 4.11. Hexagonal koordinat sistemindeki uzay vektörler (1. sektör).

Referans Vektörünün Yerinin Hızlı Saptanması

Koordinat dönüşümü sayesinde referans vektör, köşe koordinatları basit hesaplanabilen bir paralel kenar tarafından çevrenilmektedir. Paralel kenarın köşe koordinat değerleri toplamı en küçük olanı D noktası olarak belirtilmektedir ve bu nokta V_D gerilim vektörü olarak alınmaktadır. Buna göre, Şekil 4.11'deki $\vec{V}^*$ referans vektörünü ΔEFG içerisinde olduğunu farz edelim. Referans vektörün yerini saptamak için V_D uzay vektörünün koordinatları, $V_{Dg} = \text{int}(V_g^*)$ ve $V_{Dh} = \text{int}(V_h^*)$ kullanılmaktadır [70]. Burada $\text{int}()$, düşük sınırlı tamsayı fonksiyonudur. Örneğin; $\text{int}(1.6) = 1$ gibi. V_D 'nin koordinatları referans vektörün ΔDEF veya ΔEFG üçgenlerinden birinin içinde olduğunu belirtmektedir. V_D 'ye bağlı olarak $\vec{V}_E, \vec{V}_F$ ve $\vec{V}_G$ uzay vektörlerinin koordinatları ise şu şekilde hesaplanır..

$$\begin{aligned}
(V_{Eg}, V_{Eh}) &= (V_{Dg}, V_{Dh} + 1) \\
(V_{Fg}, V_{Fh}) &= (V_{Dg} + 1, V_{Dh}) \\
(V_{Gg}, V_{Gh}) &= (V_{Dg} + 1, V_{Dh} + 1)
\end{aligned} \tag{4.21}$$

Referans vektörün $\overset{\Delta}{DEF}$ ve $\overset{\Delta}{EFG}$ üçgenlerinden hangisi içerisinde olduğunu saptamak için ise aşağıdaki bağıntı kullanılır.

$$\begin{cases} \vec{V}^* \in \overset{\Delta}{DEF} & (V_g^* + V_h^*) \geq (V_{Eg} + V_{Fh}) \\ \vec{V}^* \in \overset{\Delta}{EFG} & (V_g^* + V_h^*) < (V_{Eg} + V_{Fh}) \end{cases} \tag{4.22}$$

Yukarıdaki algoritma referans vektörünün yerini hızlı bir şekilde ve tam olarak saptar.

Komşu Vektörlerin İletim Sürelerinin Hesaplanması

Referans vektörün yine $\overset{\Delta}{EFG}$ içerisinde olduğunu varsayalım. ÇSİ'lerde aşağıdaki denklem komşu vektörlerin iletim sürelerinin hesabı için kullanılmaktadır [27,70].

$$\begin{aligned}
\vec{V}_E T_E + \vec{V}_F T_F + \vec{V}_G T_G &= \vec{V}^* T_S \\
T_E + T_F + T_G &= T_S
\end{aligned} \tag{4.23}$$

Burada; T_E , T_F ve T_G sırasıyla $\vec{V}_E$, $\vec{V}_F$ ve $\vec{V}_G$ vektörlerinin iletim sürelerini, T_S ise anahtarlama periyodunu belirtmektedir. (4.23) denklemi g ve h-eksen bileşenlerine ayrıştırılırsa;

$$\begin{aligned}
\vec{V}_{Eg} T_E + \vec{V}_{Fg} T_F + \vec{V}_{Gg} T_G &= \vec{V}_g^* T_S \\
\vec{V}_{Eh} T_E + \vec{V}_{Fh} T_F + \vec{V}_{Gh} T_G &= \vec{V}_h^* T_S \\
T_E + T_F + T_G &= T_S
\end{aligned} \tag{4.24}$$

ve (4.24) denklemi içerisinde (4.21) denkleminin yerleştirilmesi ile komşu vektörlerin iletim süreleri şu şekilde hesaplanır.

$$\begin{aligned}
T_1 = T_E &= (V_{Dh} + 1 - V_h^*) T_S \\
T_2 = T_F &= (V_{Dg} + 1 - V_g^*) T_S \\
T_3 = T_G &= T_S - T_E - T_F
\end{aligned} \tag{4.25}$$

Benzer şekilde referans vektör $\vec{V}^*$ içerisinde ise $\vec{V}_E$, $\vec{V}_F$ ve $\vec{V}_D$ vektörlerinin iletim süreleri Denklem (4.26)'den hesaplanır.

$$\begin{aligned} T_1 = T_E &= (V_g^* - V_{Dg})T_S \\ T_2 = T_F &= (V_h^* - V_{Dh})T_S \\ T_3 = T_D &= T_S - T_E - T_F \end{aligned} \quad (4.26)$$

Örnek:

Şekil 4.11'deki referans vektörün genliği $V=3.12$ ve $\theta = 30^\circ$ olduğunu farz edelim. Bu durumda (4.20)-(4.25) denklemleri yardımıyla;

a) $V_g^* = 1.8$ ve $V_h^* = 1.8$

b) $V_{Dg} = \text{int}(1.8) = 1$, $V_{Dh} = \text{int}(1.8) = 1$

c) $(V_g^* + V_h^*) \geq (V_{Eg} + V_{Eh})$ şartına göre $\vec{V}^*$ referans vektörü EFG içerisinde.

d) $\vec{V}_E$, $\vec{V}_F$ ve $\vec{V}_G$ vektörlerinin iletim süreleri;

$$T_E = (V_{Dh} + 1 - V_h^*)T_S = 0.2T_S$$

$$T_F = (V_{Dg} + 1 - V_g^*)T_S = 0.2T_S$$

$$T_G = T_S - T_E - T_F = 0.6T_S$$

Yukarıdaki örnek ile referans vektörün içerisinde olduğu üçgeni saptamak ve komşu vektörlerin iletim sürelerinin hesabının ne kadar basit olduğu görülmektedir. Algoritmanın avantajları şu şekilde sıralanabilir;

- Algoritma geneldir, inverterin gerilim seviyesine bağlı değildir, yüksek seviyeli kaskad bağlı H köprü inverterler için oldukça uygundur.
- Algoritma çok basit ve etkilidir. Referans gerilim vektörünün yeri ve komşu vektörlerin iletim süreleri çok kolaylıkla hesaplanabilir.
- Algoritma sayısal gerçekleştirmeler için oldukça uygundur.

4.3.2. Uzak Vektörler ile Anahtarlama Durumları Arasındaki Genel Bağlılıklar

ÇSİ'lerde bir gerilim uzak vektörü birden daha fazla anahtarlama durumuna sahip olabilmektedir. Örnek olarak; Şekil 4.11'deki hegzagonal koordinat sisteminde (1,0) uzak

vektörüne karşılık gelen $[-1,-2,-2]$, $[0,-1,-1]$, $[1,0,0]$ ve $[2,1,1]$ gibi 4 anahtarlama durumu mevcuttur. Bu anahtarlama durumlarının hepsinde çıkış geriliminin genliği ve faz açısı aynıdır. İnverterin gerilim seviyesindeki artış ile daha fazla anahtarlama durumu oluşacaktır. Çok seviyeli kaskad inverterlerde gerilim uzay vektörlerine karşılık gelen anahtarlama durumlarının tespitini sağlayan genel bir algoritma aşağıda verilmiştir.

Anahtarlama Durumlarının Tespiti

Şekil 4.11'de gösterilen hekzagonal koordinat sisteminde uzay vektörler genellikle (g,h) ile ifade edilir. Burada $g = 0,1,...,2m$ ve $h = 0,1,...,2m$ olmak üzere m sayısı şu şekilde tanımlanır;

$$m = (n - 1) / 2 \quad (4.27)$$

Burada n , inverterin faz-nötr geriliminin seviye sayısıdır ve kaskad H köprü inverterler için daima tek sayı olmaktadır.

Bir ÇSİ'de (g,h) uzay vektörü ile $[V_a, V_b, V_c]$ olarak gösterilen anahtarlama durumları arasındaki bağıntı şu şekilde yazılır [70];

$$\begin{aligned} V_a &= -m, -m + 1, -m + 2, \dots, m \\ V_b &= V_a - g \\ V_c &= -V_a - g - h \end{aligned} \quad (4.28)$$

Hekzagonal koordinat sistemindeki bir (g,h) uzay vektörü için kaç tane anahtarlama durumunun olacağı ise şu şekilde bulunur;

$$n_{sw} = n - (g + h) \quad (4.29)$$

(4.28) ve (4.29) denklemleri kaskad inverterler için kullanılan genel bir bağıntıdır. Şekil 4.11'de verilen bir (g,h) uzay vektörüne karşılık gelen tüm anahtarlama durumlarının tespiti için alternatif bir yaklaşım Tablo 4.1'de gösterilmiştir. Tablo 4.1 hekzagonal koordinat sisteminin I.sektörü için oluşturulmuştur. Diğer sektörlerdeki bir (g,h) uzay vektörüne karşılık gelen anahtarlama durumları I.sektördeki izdüşümleri kullanılarak bulunmektedir. Örnek olarak: II.sektördeki $(-2,3)$ uzay vektörünü ele alalım. Bu uzay vektörün I.sektördeki karşılığı $(2,1)$ uzay vektörüdür. Tüm (g,h) uzay vektörleri için I. sektördeki karşılıkları Tablo 4.2 kullanılarak bulunabilir. Şekil 4.12'de ise tüm sektörler için hekzagonal koordinat sistemindeki (g,h) uzay vektörlerine karşılık $[V_a, V_b, V_c]$ anahtarlama durumları gösterilmiştir. I.sektör dışındaki sektörler için a, b ve c fazlarının anahtarlama durumlarını elde etmek için Tablo 4.1'in $[V_a, V_b, V_c]$ sütunu Tablo 4.2'nin en son sütununda verilen sıralamaya göre yeniden düzenlenir.

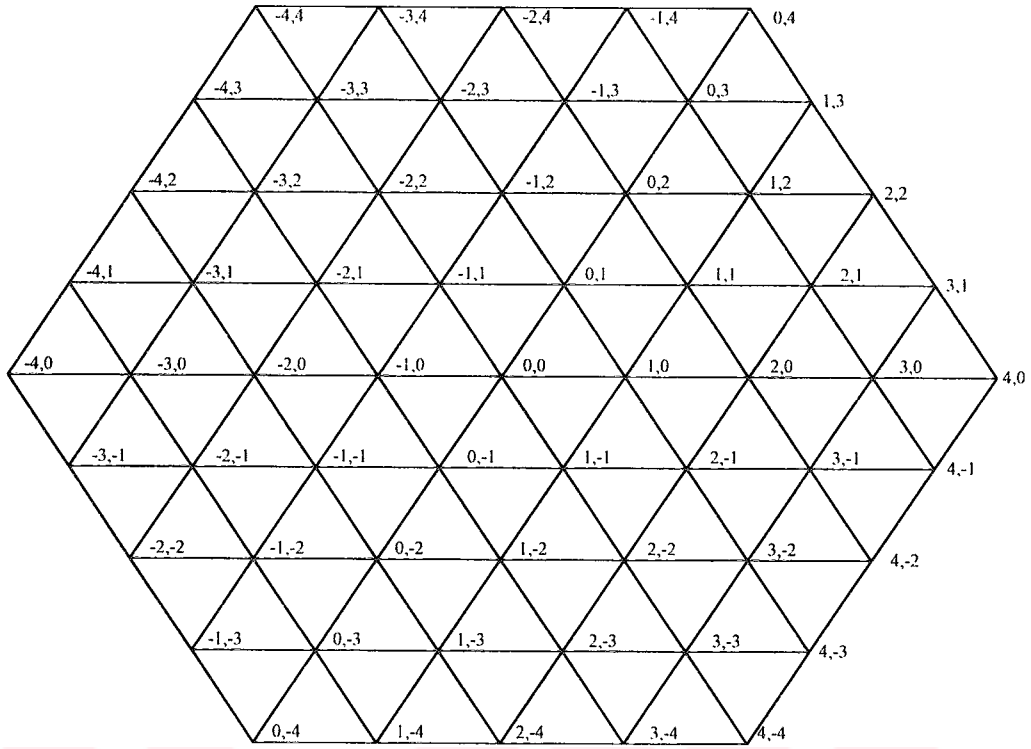
Hekzagonal koordinat sisteminin tüm sektörleri için bir (g,h) uzay vektörüne karşılık gelen anahtarlama durumları EK-5’de verilmiştir.

Tablo 4.1. (g,h) uzay vektörü için karşılık gelen tüm anahtarlama durumları.

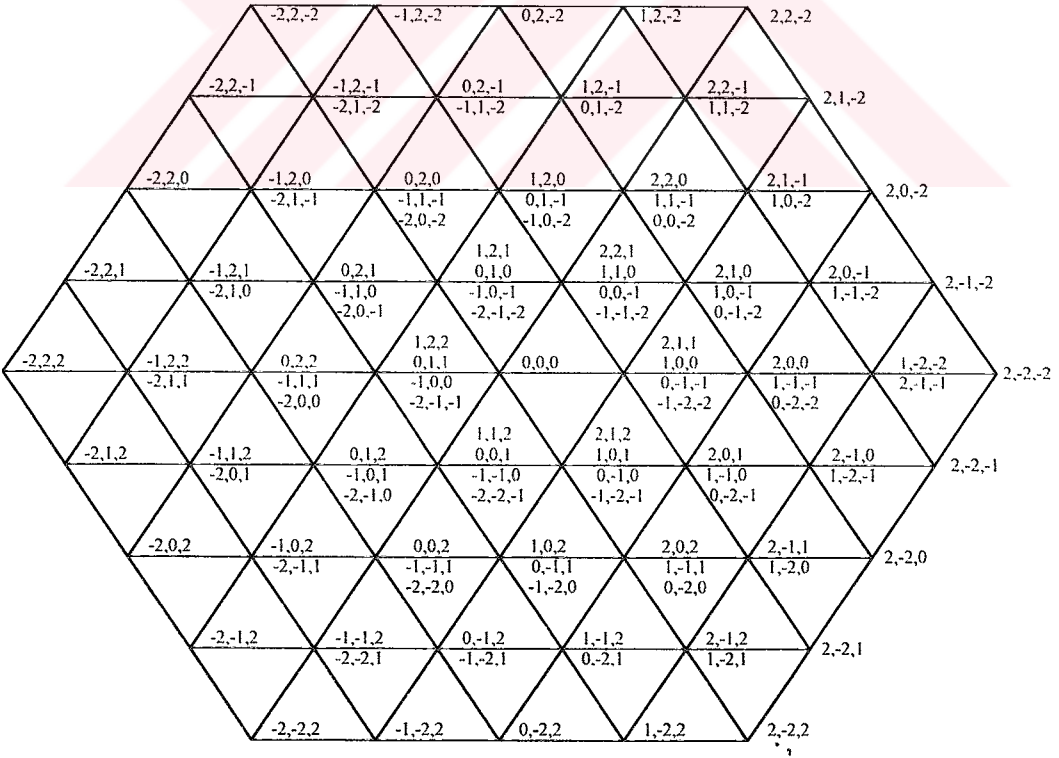
$[V_a,$	$V_b,$	$V_c]$
$[g+h-m,$	$h-m,$	$-m]$
$[g+h-m+1,$	$h-m+1,$	$-m+1]$
$[g+h-m+2,$	$h-m+2,$	$-m+2]$
.....		
$[m$	$m-g$	$m-g-h]$

Tablo 4.2. Farklı sektördeki anahtarlama durumları arasındaki ilişki.

Sektör	(g,h) uzay vektörünün I. sektördeki karşılığı	Anahtarlama durum sayısı, n_{sw}	a, b ve c fazları için anahtarlama durumları
I	(g,h)	$n-(g+h)$	$[V_a, V_b, V_c]$
II	$(-g,(g+h))$	$n-h$	$[V_b, V_a, V_c]$
III	$(h,-(g+h))$	$n+g$	$[V_c, V_a, V_b]$
IV	$(-g,-h)$	$n+(g+h)$	$[-V_a, -V_b, -V_c]$
V	$(g,-(g+h))$	$n+h$	$[-V_b, -V_a, -V_c]$
VI	$(-h,(g+h))$	$n-g$	$[-V_c, -V_a, -V_b]$



$$(g, h) \rightarrow [V_a, V_b, V_c]$$



Şekil 4.12. Tüm sektörler için hekzagonal koordinat sistemindeki (g, h) uzay vektörlerine karşılık $[V_a, V_b, V_c]$ anahtarlama durumlarının gösterimi.

4.3.3. Anahtarlama Durumlarının Seçimi İçin Önerilen Yeni Bir Algoritma

ÇSI'lerde anahtarlama durumları gerilim seviye sayısına bağlı olarak artmaktadır. Örneğin, bir 5 seviyeli inverterlerde sıfır gerilim vektörü için anahtarlama durumlarının sayısı 5 tane ($[-2,-2,-2]$, $[-1,-1,-1]$, $[0,0,0]$, $[1,1,1]$ ve $[2,2,2]$) iken, bir 7 seviyeli inverterde anahtarlama durumlarının sayısı 7 tane ($[-3,-3,-3]$, $[-2,-2,-2]$, $[-1,-1,-1]$, $[0,0,0]$, $[1,1,1]$, $[2,2,2]$, $[3,3,3]$) olmaktadır.

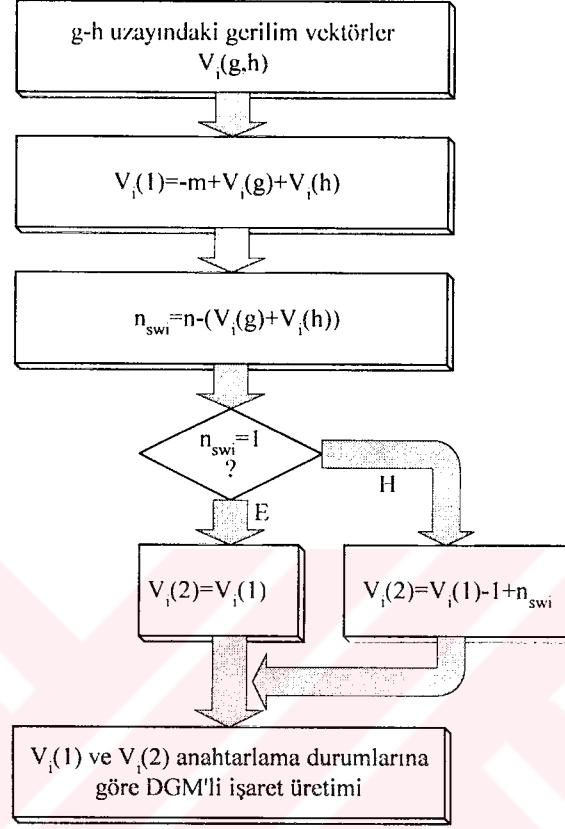
Anahtarlama durumları inverter güç devresindeki hangi anahtarın iletimde ve hangi anahtarın kesimde olacağını belirtmektedir. Hekzagonal koordinat sistemindeki bir (g,h) uzay vektörüne karşılık gelen anahtarlama durumlarının tümünde çıkış gerilimi aynı değerdedir. Bu nedenle hem işlem yoğunluğundan kaçınmak ve hem de gereksiz yere fazladan anahtarlama yapmamak için komşu uzay vektörlerin bir veya iki anahtarlama durumları seçilerek inverter güç devresindeki anahtarlar için gerekli DGM'li işaret üretimi gerçekleştirilir.

Diğer kenetlemeli inverterlerde anahtarlama durumlarının seçimindeki kriter, dc hattaki kondansatör gerilimlerini dengelemek olmaktadır. Kaskad bağlı inverterlerde doğal olarak gerilim dengesizlik problemi oluşmadığı için anahtarlama durumlarının seçiminde, anahtarlama geçişlerinin toplam sayısını minimum yapmak ve çıkış geriliminin harmonik spektrumunun optimizasyonu dikkate alınır [58,70]. Bu maksatla her bir anahtarlama periyodunda komşu uzay vektörlerin anahtarlama durumları faz başına minimum anahtarlama geçişini sağlayacak şekilde seçilmelidir.

Bu tezde, anahtarlama durumlarını seçimi için yeni bir algoritma önerilmiştir. Önerilen algoritma; lineer modülasyon bölgesinin tüm değerleri için oldukça elverişlidir ve minimum anahtarlama geçişini sağlamakla birlikte, basit ve kullanışlıdır.

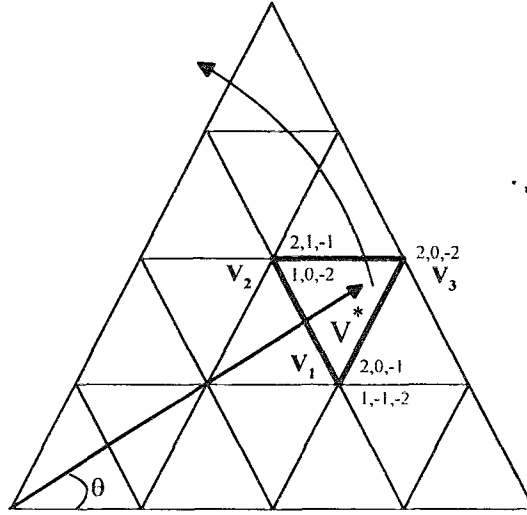
Şekil 4.13'de I.Sektördeki anahtarlama durumlarının seçimi için önerilen algoritmanın akış şeması verilmiştir. Algoritmada, ilk olarak hekzagonal koordinat sistemindeki bir (g,h) gerilim uzay vektörü için kaç tane anahtarlama durumunun olduğu, (4.29) denklemi yardımıyla tespit edilir. Daha sonra, a-fazı esas alınarak bu anahtarlama durumları arasında en küçük ve en büyük (ek-eb) değerlerine göre komşu uzay vektörlerin $V_i(1)$ ve $V_i(2)$ değerleri bulunur. Örneğin; g-h uzayındaki $(1,0)$ gerilim vektörüne karşılık gelen anahtarlama durumları $[-1,-2,-2]$, $[0,-1,-1]$, $[1,0,0]$ ve $[2,1,1]$ olmak üzere 4 tanedir. Bu anahtarlama durumları arasında a fazı esas alındığında, $[-1,-2,-2]$ ve $[2,1,1]$ anahtarlama durumları seçilmektedir. Diğer komşu uzay vektörler içinde anahtarlama durumlarının seçimi aynı şekildedir. Eğer komşu uzay vektörler sadece bir tane anahtarlama durumuna sahip ise, $V_i(1) = V_i(2)$ alınmaktadır ($i = 1,2,3$). Bu şekildeki bir seçim ile, her anahtarlama periyot süresinin yarısında bir komşu uzay vektör için 2 olmak üzere toplam olarak 6 anahtarlama durumu söz konusudur. En son aşamada, komşu uzay vektörler için tespit edilen anahtarlama durumlarına göre DGM'li işaret üretimi

gerçekleştirilir. Diğer sektörler için de algoritma benzerdir. Diğer sektörlerde, verilen bir (g,h) uzay vektörü için anahtarlama durumlarının tespiti Tablo 4.2 kullanılarak yapılır. I-VI sektörleri için ek-eb metoduna göre anahtarlama durumları EK-6'da verilmiştir.

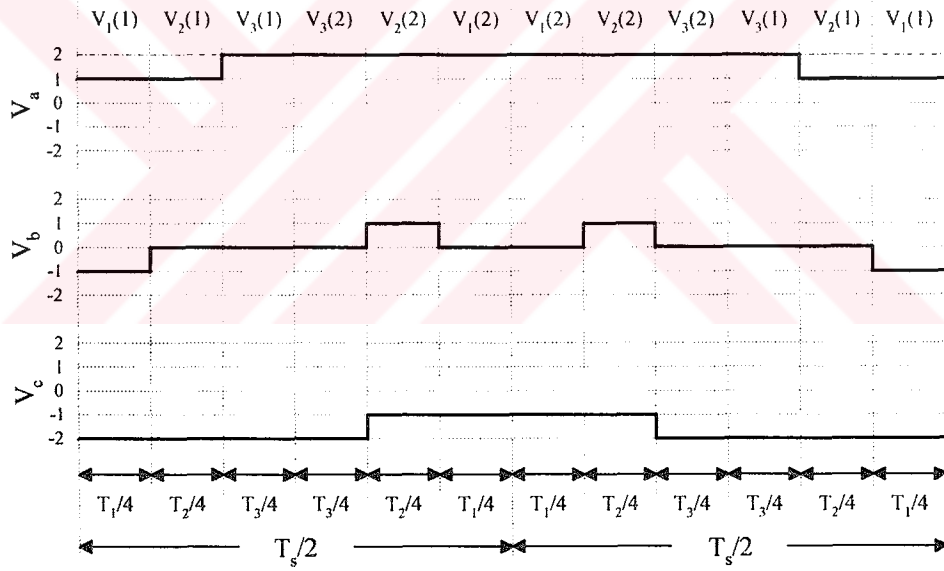


Şekil 4.13. I.Sektörde anahtarlama durumlarının seçimi için önerilen algoritmanın akış şeması (i=1,2,3).

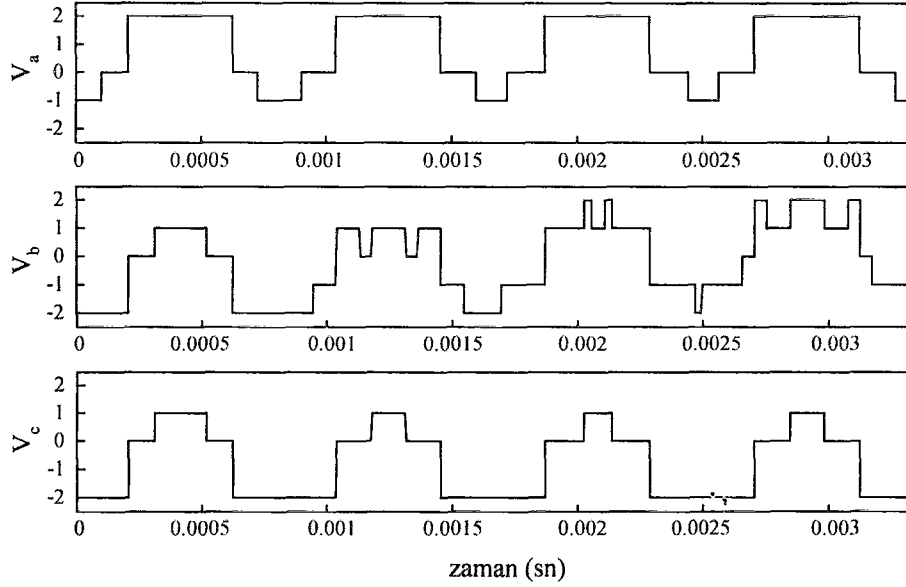
Şekil 4.14'de verilen komşu uzay vektörler için $T_s/2$ simetrisi ile oluşturulmuş V_a , V_b ve V_c fazlarının anahtarlama durumları Şekil 4.15'de görülmektedir. Şekil 4.16 da ise, $M=0.5$ ve $f_s=1.2\text{kHz}$ için I.sektörde önerilen algoritma ile elde edilmiş V_a , V_b ve V_c fazlarının anahtarlama durumları verilmiştir. Bu dalga şekilleri her anahtarlama periyodunda yarım dalga simetrisine sahiptir ve minimum anahtarlama geçişi sağlayacak şekilde oluşturulmuştur. Anahtarlama durumlarının dalga şekilleri inverterin faz-nötr gerilimlerinin dalga şekilleri ile aynıdır, sadece genlikleri farklıdır. Örneğin; bir 5-seviyeli kaskad inverterin tek-faz yapısı için H köprülerin dc giriş gerilimi 75V alındığında ve ilgili fazının anahtarlama durumunun 2 olduğu durumda, inverterin faz-nötr gerilimi 150V olmaktadır. Benzer şekilde, eğer ilgili fazın anahtarlama durumu -1 ise, inverterin faz-nötr gerilimi -75V olacaktır.



Şekil 4.14. I.sektörde belirlenmiş bir üçgendeki komşu uzay vektörleri için anahtarlama durumları.



Şekil 4.15. Şekil 4.14'deki belirlenmiş üçgen için a, b ve c fazlarının anahtarlama durumları.



Şekil 4.16. I.sektördeki anahtarlama durumları ($M=0.5$ ve $f_s=1.2\text{kHz}$).

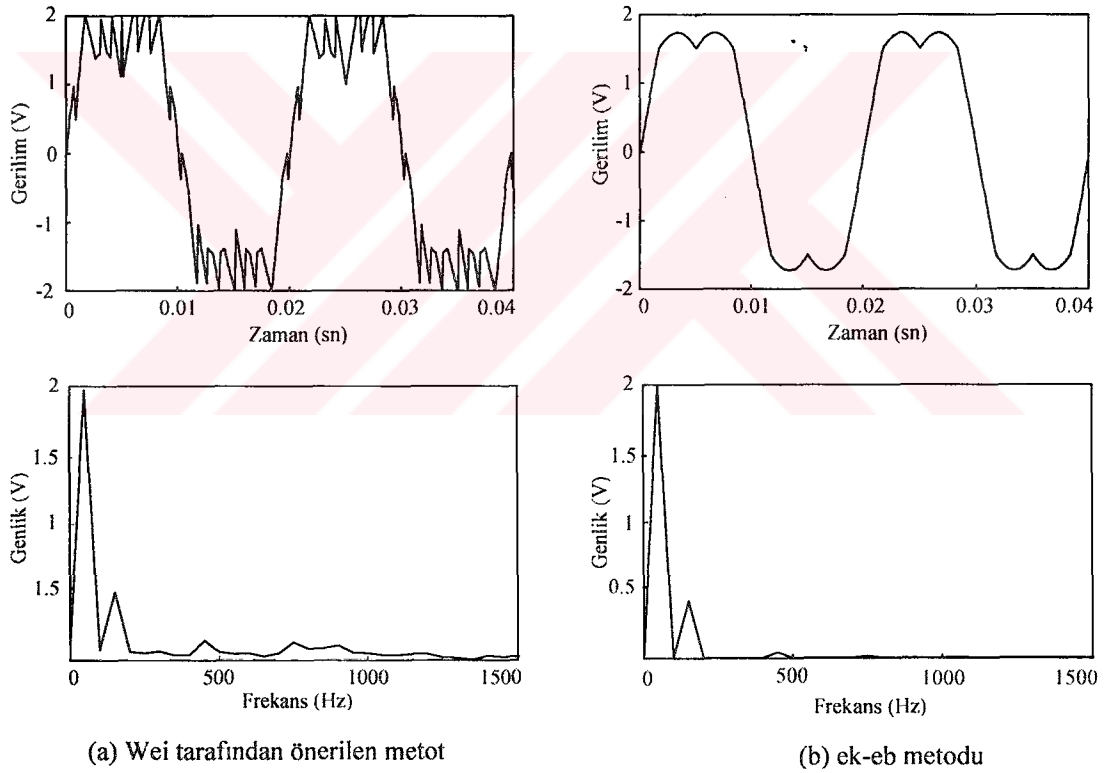
4.3.4. Anahtarlama durumlarından DGM'li işaret üretimi

Anahtarlama durumlarından DGM'li işaret üretimine geçiş için literatürlerde farklı yöntemler mevcuttur. Örneğin; komşu uzay vektörlerin bir tanesi için iki anahtarlama durumu seçilir ve diğer uzay vektörlerin ise sadece bir anahtarlama durumu alınarak yarım dalga simetrisine sahip DGM'li işaret üretilir [20,41,51,57,58]. Burada, iki anahtarlama durumuna sahip olan komşu uzay vektörün bir tanesi ile DGM'li işaret üretimine başlanır ve bu vektörün diğer anahtarlama durumu ile bitirilir. Bu durum, iki-seviyeli inverterler için kullanılan UVDGM algoritmasının sıfır-durum vektörleri ile başlaması ve bitmesine benzerdir. Fakat, ÇSİ'lerde kullanılan UVDGM algoritmaları için komşu uzay vektörlerin tümü aktif-durum vektörleri olmaktadır. Bir başka deyişle, orijin noktası dışındaki uzay vektörlerin tümünde fazlar arası gerilim eşitliği sağlanmaz. Böylece ÇSİ'ler için sıfır-durum vektörü kavramı sadece diyagramın orijin noktası için kullanılabilir. Ayrıca, iki-seviyeli inverterler için kullanılan UVDGM algoritmalarında tek sayılı ve çift sayılı sektörler arasında yapılan düzenlemeler ÇSİ'lerde yapılmamaktadır.

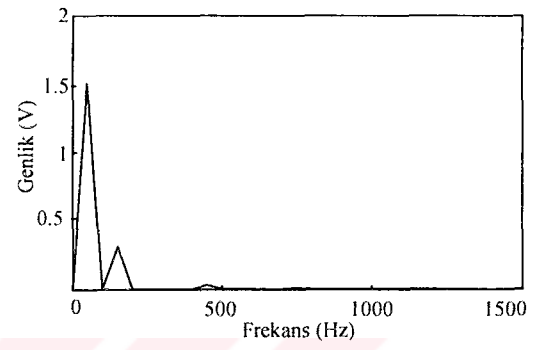
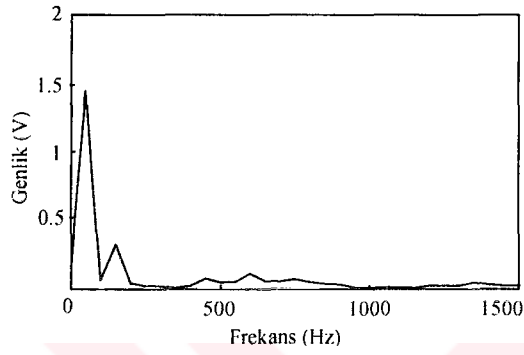
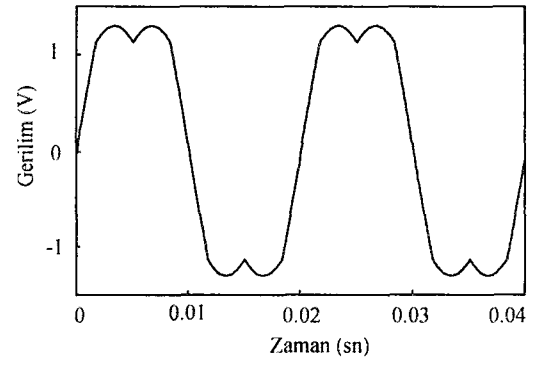
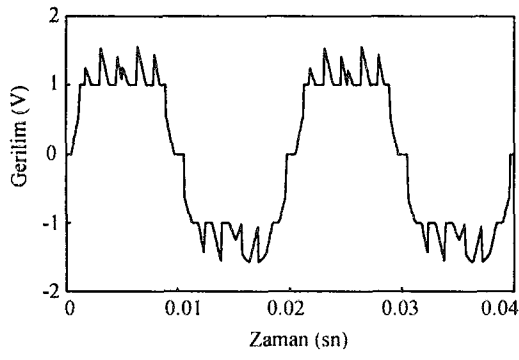
Anahtarlama durumlarından DGM'li işaret üretimine geçiş için bir başka yöntem, komşu uzay vektörlerin sadece birer tane anahtarlama durumları alınarak yapılmasıdır. Burada üretilen DGM'li işaret yine yarım dalga simetrisine sahip olmakla birlikte minimum anahtarlama geçişi de sağlanılmaya çalışılır [68,70]. Wei ve arkadaşları tarafından hegzagonal koordinat sistemindeki bir uzay vektöre karşılık gelen mevcut anahtarlama durumlarının sayısına göre tek ve çift vektör kavramı geliştirilmiş ve bunlar arasından şu şekilde seçim

yapılması önerilmiştir [70]. Eğer anahtarlama durum sayısı tek ise bunlardan orta vektör seçilir (örneğin; $[0,-2,-2]$, $[1,-1,-1]$ ve $[2,0,0]$ olması durumunda $[1,-1,-1]$). Anahtarlama durum sayısı çift ise bunlar arasında orta-küçük veya orta-büyük vektör alınmalıdır (örneğin; $[-1,-2,-2]$, $[0,-1,-1]$, $[1,0,0]$ ve $[2,1,1]$ olması durumunda $[0,-1,-1]$ veya $[1,0,0]$).

Yukarıda bahsedilen DGM 'li işaret üretim tekniklerini kullanan çok seviyeli UVDGM algoritmaları geniş bir modülasyon indeksi gereksinimi için çok elverişli değildirler. Önerilen ek-eb metodu bir anahtarlama periyodu süresince en fazla anahtarlama durumu kullanmasının yanı sıra tüm modülasyon indeksi değerlerinde ($0 < M < 1.15$) oldukça iyi sonuç vermektedir. Şekil 4.17 ve Şekil 4.18'de önerilen ek-eb metodu ve Wei tarafından önerilen algoritma ile elde edilen inverter ortalama çıkış gerilimlerine göre bir karşılaştırma görülmektedir. Her iki yöntemde de belirlenen bir modülasyon indeksi için temel frekansta aynı genlikli gerilim elde edilmesine karşın harmonik profil açısından önerilen ek-eb metodu daha iyi sonuç vermektedir.



Şekil 4.17. $M=1$ ve $f_1=50\text{Hz}$ için inverter ortalama çıkış gerilimleri ve bu gerilimlerin harmonik spektrumları.



(a) Wei tarafından önerilen metot

(b) ek-eb metodu

Şekil 4.18. $M=0.75$ ve $f_1=50\text{Hz}$ için inverter ortalama çıkış gerilimleri ve bu gerilimlerin harmonik spektrumları.

5. GÜÇ DEVRESİ TASARIMI

5.1. Giriş

Bu bölümde, ilk olarak bir 5-seviyeli kaskad inverter devresinin laboratuvar düzeneğinin oluşturulmasından bahsedilecektir. Güç devresinin fiziksel gerçekleştirilmesinde karşılaşılan problemler ve bu problemlere getirilen uygun çözümler sunulmaktadır. Daha sonra, bölüm 5.3’de kullanılan denetleyici kart ve yazılımları kısaca tanıtılmıştır.

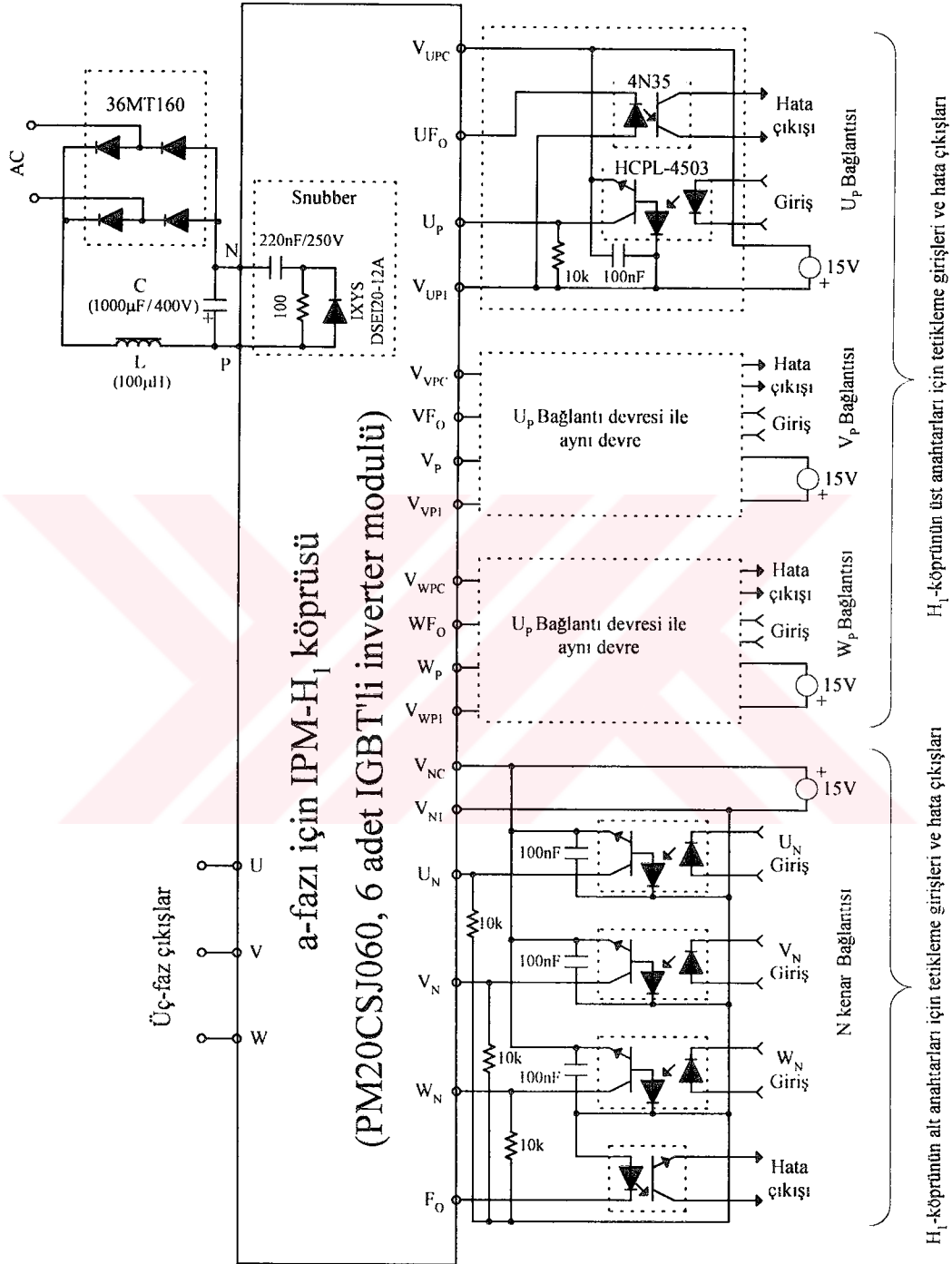
5.2. 5-Seviyeli Kaskad İnverterin Güç Devresinin Tasarımı

Tasarlanan inverterin güç devresi için, 20A-600V akım-gerilim değerlerine sahip PM20CSJ60 IGBT modüller kullanılmıştır. Bu modüllerden, her fazda birbirine seri bağlı 2 adet ve üç-fazlı yapı olarak toplam 6 adet bulunmaktadır. Modüllerin her biri içerisinde sürme devreleri ile birlikte köprü şeklinde bağlanmış 6 adet IGBT güç anahtarı mevcuttur. Ayrıca, kısa devre, aşırı akım, aşırı sıcaklık gibi durumlara karşı korumayı sağlayan hata kod çıkışlarına sahiptir. Akıllı güç modülleri (IPM) olarak da adlandırılan bu modüllerin her biri tek-fazlı H-köprü inverter yapısı olarak kullanılmıştır. Dolayısı ile her modüldeki 6 güç anahtarın sadece 4 tanesi kullanılmıştır, diğer 2 güç anahtarı ise yedek durumundadır. Eğer modül içerisindeki herhangi bir inverter kolundaki anahtarlarda arıza oluşursa, bu yedek anahtarların kullanılması düşünülerek ona göre baskı devre üzerinde gerekli düzenlemeler yapılmıştır. Şekil 5.1’de 5-seviyeli kaskad inverterin a-fazı için H₁ köprüsü çevre birimleri ile bağlantısını gösteren devre şeması görülmektedir. Üç-fazlı konfigürasyon için bu yapıdan 6 adet tasarlanmış ve birbirlerine uygun şekilde bağlanmıştır. Kullanılan IPM ve çevre birimlerinin teknik bilgileri EK-2 kısmında verilmiştir.

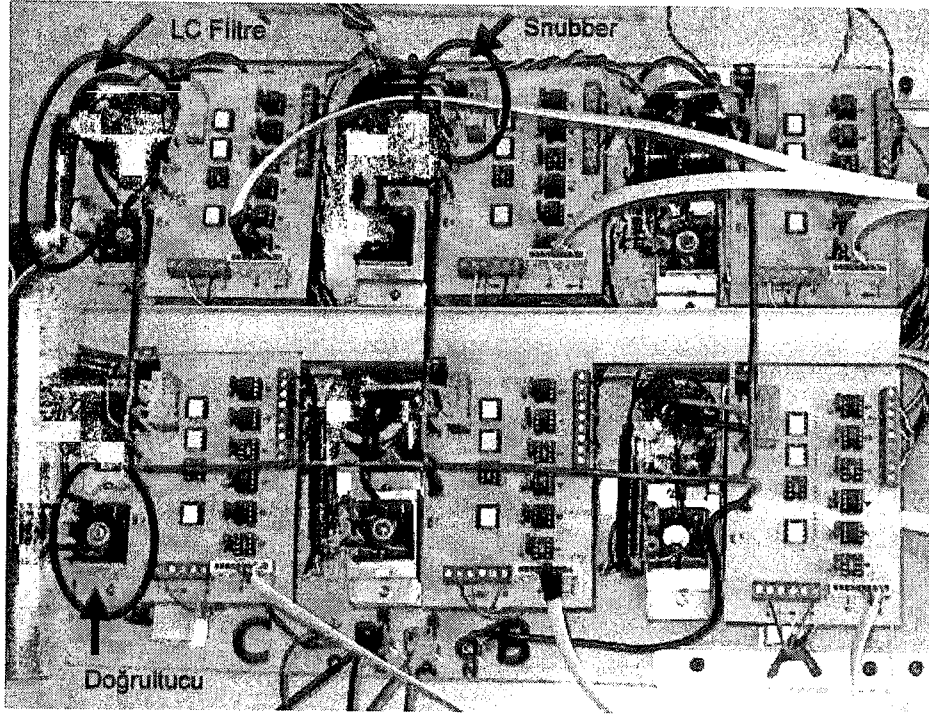
Güç devresi ile denetleyici kart ve bu kartla beraber kullanılan diğer devreler arasında elektriksel yalıtımı HCPL-4503 ve 4N35 optik izolatör entegreleri sağlamaktadır. HCPL-4503 entegresi yüksek hızlı olmasının yanı sıra, IPM’in sürme devrelerini doğrudan sürebilme yeteneğine sahiptir. 4N35 entegresi ile de modüldeki hata durum bilgileri (kısa devre, aşırı akım ve aşırı sıcaklık gibi) değerlendirilerek DGM’li işaretin denetimi yapılmaktadır. Şekil 5.2’de tasarlanan 5-seviyeli kaskad inverterin üç-fazlı güç devresinin fotoğrafı görülmektedir.

Güç devresindeki her bir IPM farklı bir dc kaynaktan beslenmektedir. Bu maksatla, 6 adet farklı dc gerilimi elde etmek için her biri 2x55V sekonder çıkışlı 1kW gücünde 3 adet üç-fazlı güç transformatörü kullanılmıştır. Transformatörlerin çıkışındaki ac gerilimler 35A-

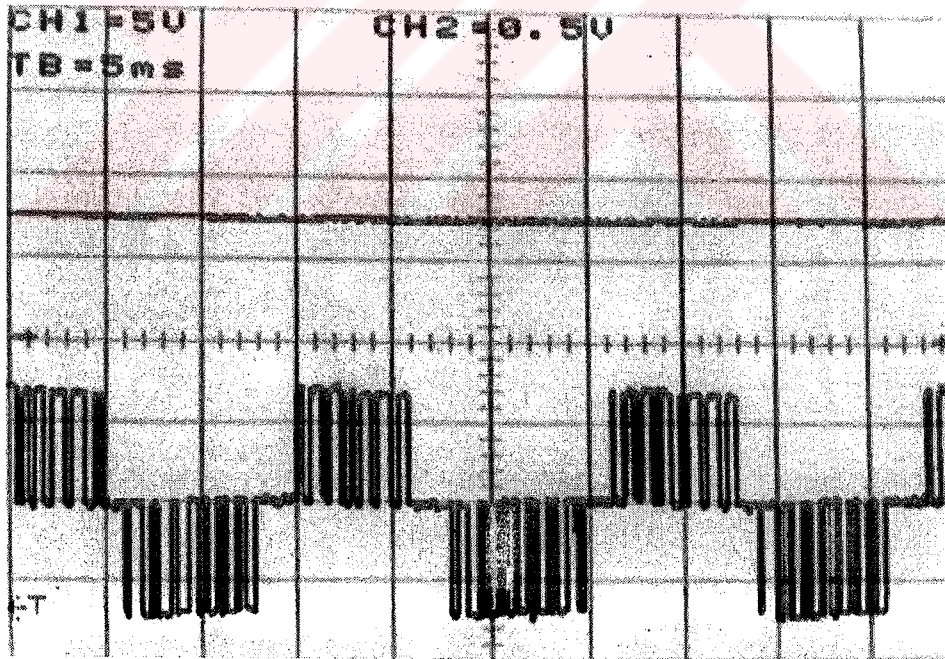
1600V akım-gerilim değerine sahip 36MT160 köprü diyotlar ile doğrultulmaktadır. Sonra, bir L-C filtre devresinden geçirilerek birbirinden izoleli 6 adet 75V'luk dc gerilim elde edilmiştir. Burada L değeri 100 μ H olan ferit nüve üzerine özel olarak sarılmış bobindir.



Şekil 5.1. 5-seviyeli kaskad inverterin a-fazı için H₁ köprüsü ve çevre birimleri ile bağlantısını gösteren devre şeması.



Şekil 5.2. Tasarlanan 5-seviyeli kaskad inverterin üç-fazlı güç devresinin fotoğrafı.



CH1: 1/10 dönüştürme oranına sahip izolasyonlu dc gerilim.

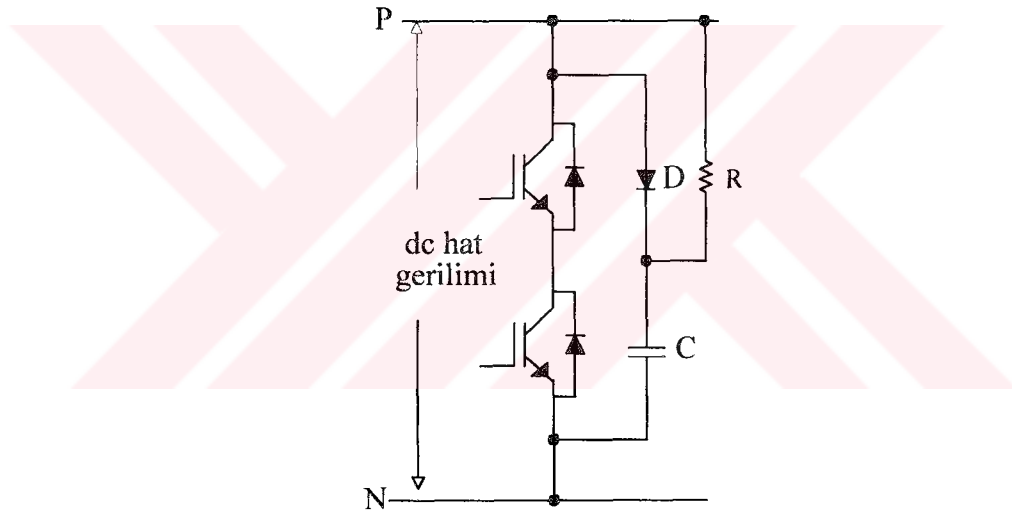
CH2: 1/100 dönüştürme oranına sahip H_1 köprüsünün çıkış gerilimi.

Şekil 5.3. 5-seviyeli kaskad inverterin a-fazı H_1 köprüsü için izolasyonlu dc hat gerilimi ve köprünün çıkış gerilimi.

5.2.1. Snubber Tipinin Seçimi

Snubber devreleri genellikle kesim anındaki darbe gerilimlerini söndürmek için kullanılmaktadır. Bazı uygulamalarda snubber devreleri güç devresindeki anahtarlama kayıplarını azaltmak için de kullanılır. Orta güç değerlerinde IPM'in üreticisi tarafından önerilen snubber devresi Şekil 5.4 de verilmiştir [70]. Bu snubber devresi IPM'lerin her birinde bulunmaktadır.

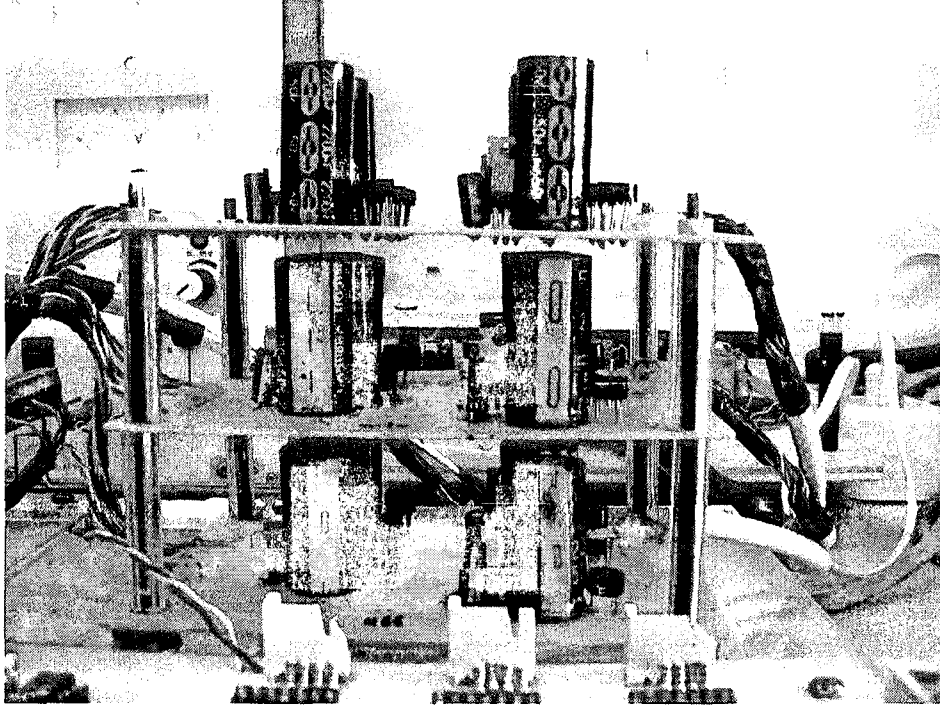
Yapılacak bir uygulama için snubber devresindeki elemanların seçiminde anahtarlama frekansı dikkate alınır. Snubber devresinin RC zaman sabiti yaklaşık olarak anahtarlama periyodunun üçte biri seçilmelidir ($\tau = T_s/3 = 1/3f_s$) [72]. Tasarlanan inverter güç devresinin 15kHz'lik anahtarlama frekanslarına kadar çalıştırılabilmesi amaçlandığından $R=100\Omega$, $C=220nF$ ve diyot olarak da IXYS firmasının DSEI20-12A hızlı diyotu seçilmiştir. Bununla birlikte, optimum bir snubber devresinin seçimi ve gerekli hesaplamalar ayrıca yapılmamıştır.



Şekil 5.4. Güç devresi için önerilen snubber devresi.

5.2.2. Sürme Devreleri İçin İzolasyonlu dc Besleme Kaynakları

IPM'ler içerisindeki sürme devrelerini beslemek için izolasyonlu dc besleme kaynakları gerekmektedir. Bu maksatla, her IPM bir H-köprü inverter yapısı olarak kullanıldığına göre 3 adet ve toplam olarak 18 adet 15V'luk birbirinden izolasyonlu, regülasyonlu dc besleme kaynakları oluşturulmuştur. Şekil 5.5'de oluşturulan bu dc besleme kaynaklarının fotoğrafı verilmiştir. Katların her biri inverterin bir fazı için kullanılmaktadır.



Şekil 5.5. IPM'lerin sürme devreleri için oluşturulan 18 adet 15 V'luk dc besleme kaynakları.

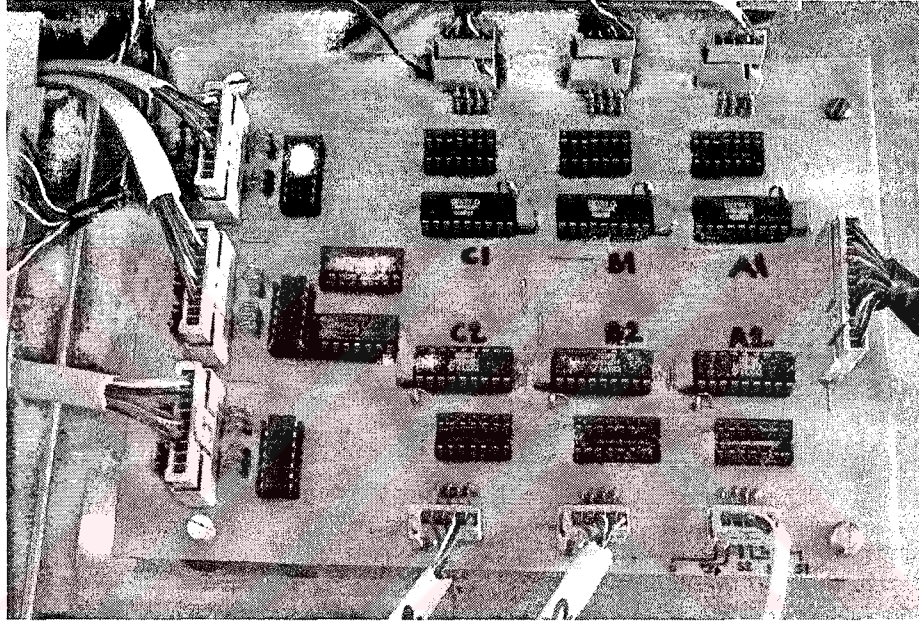
5.2.3. İşaret Tersleme, Ölü-Zaman Ekleme ve Hatalara Karşı Koruma

Normal çalışma altında bir inverter devresindeki aynı kol üzerinde bulunan güç anahtarlarından biri iletimde olduğunda diğer anahtar kesimde tutulur. Bununla birlikte, her bir anahtarın sonlu bir iletime ve kesime geçiş süresi bulunduğundan, bu anahtarların her ikisi kısa bir süre de olsa aynı anda iletimde kalması durumunda, dc kaynak kısa devre olacak ve anahtarlar üzerinden büyük akımlar geçecektir. Bu yüzden aynı inverter kolu üzerinde bulunan anahtardan biri kesime gittiğinde diğer anahtar belirli bir süre geçtikten sonra iletime alınır. Bu süre “ölü-zaman” olarak adlandırılır ve kullanılan anahtarlama elemanı tipine bağlı olarak birkaç mikro-saniye civarında seçilir. Bu şekilde, anahtarlama esnasında eklenen bu ölü-zaman ile güvenli çalışma sağlanmış olunur.

Tasarlanan 5-seviyeli kaskad inverterin güç devresinde toplam olarak 24 adet IGBT güç anahtarı bulunmaktadır. Bu anahtarlar için ölü-zaman değeri anahtarların katalog değerlerinden yararlanılarak $4.5\mu s$ olarak seçilmiştir.

Bu inverter devresini gerçek-zamanda gerçekleştirmek için önerilen UVDGM algoritmasına göre kullanılan denetleyici kartın I/O çıkışından sadece 12 DGM'li işaret üretilmiştir. Bu işaretler ve terslenmiş durumları bir ölü-zaman eklendikten sonra inverter güç devresindeki 24 güç anahtarına uygulanmaktadır. Bu işlemler, IXYS firmasının tek-fazlı ve üç-fazlı sayısal kontrollü güç dönüşüm devrelerini gerçekleştirmek için tasarladığı IXDP630PI

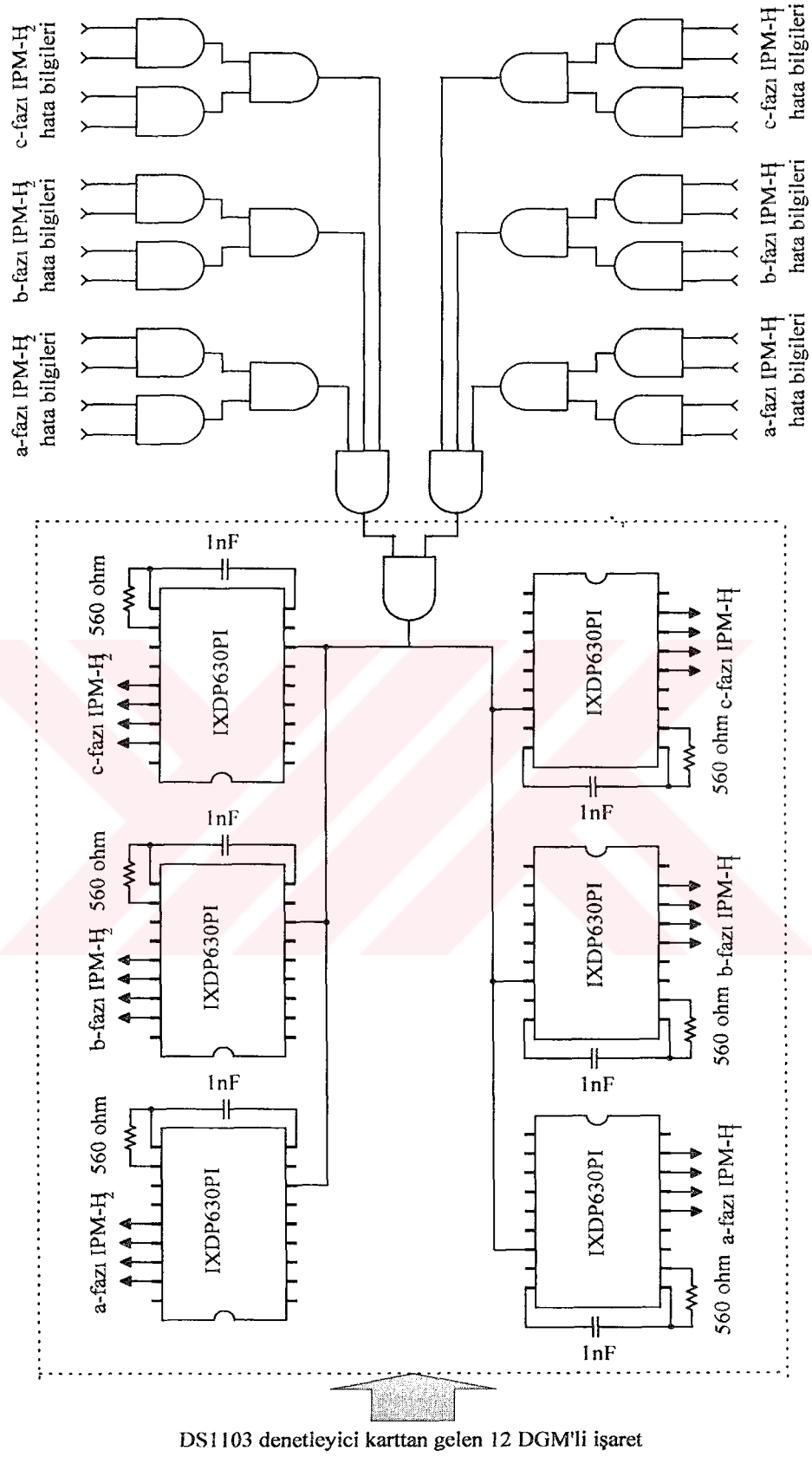
sayısal ölü-zaman entegresi ile donanımla yapılmıştır. Bu entegrelerden her IPM için birer tane kullanılmıştır. Ayrıca bu entegre sayesinde, IPM’de oluşabilecek hata durumlarına karşı inverter devresinin koruması da yapılmaktadır. Bunun için tüm IPM’lerin hata çıkışları AND kapılarından geçirilerek IXDP630PI entegresinin çıkış uçlarını kontrol eden girişine verilerek, herhangi bir hata durumunda tüm çıkışların kesilmesi sağlanmaktadır. Şekil 5.6’da işaret tersleme, ölü-zaman ekleme ve IPM modüldeki oluşacak hatalara karşı koruma işlemlerini yerine getirmesi için tasarlanmış kartın fotoğrafı görülmektedir. Şekil 5.7’de ise tasarlanan bu kartın devre şeması verilmiştir.



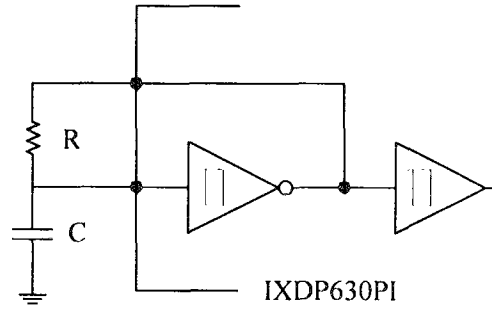
Şekil 5.6. İşaret tersleme, ölü-zaman ekleme ve IPM’lerde oluşacak hatalara karşı koruma işlemlerini yerine getirmesi için tasarlanmış kartın fotoğrafı.

Ölü-zaman ayarı, Şekil 5.8’de gösterildiği gibi harici bağlanan RC osilatör ile sağlanır. Burada, R ve C elemanlarının değerlerine göre osilasyon frekansı (f_{osc}), aşağıdaki bağıntı yardımıyla hesaplanmaktadır [71].

$$f_{osc} = \frac{0.95}{C.R} \quad (5.1)$$

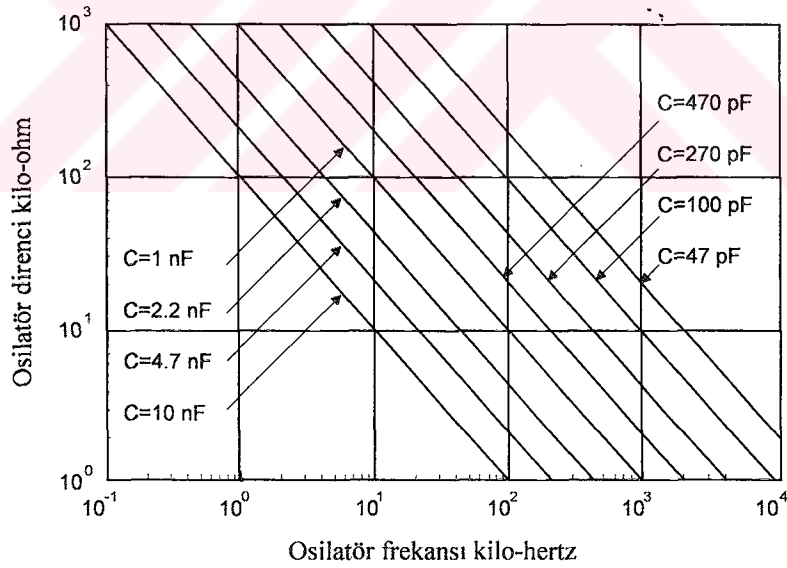


Şekil 5.7. İşaret tersleme, ölü-zaman ekleme ve IPM'lerde oluşacak hatalara karşı koruma işlemlerini yerine getirmesi için tasarlanmış kartın devre şeması.

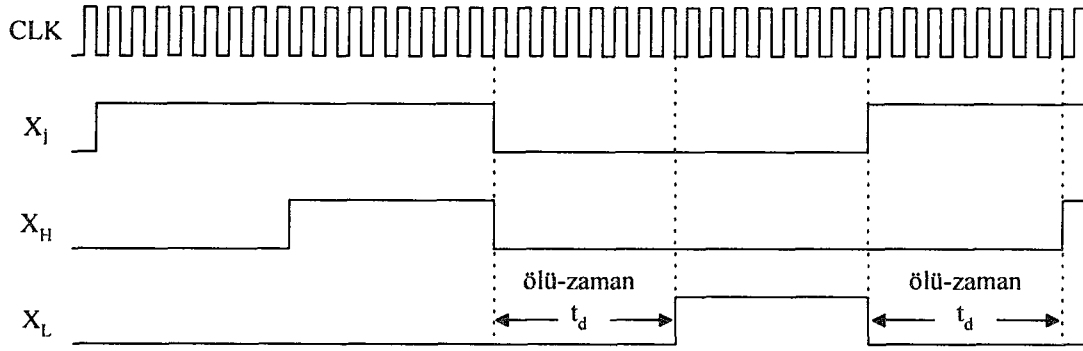


Şekil 5.8. IXDP630PI dahili schmitt-trigger osilatör.

IXDP630PI entegresi 8 clk'luk ölü-zaman süresi oluşturmaktadır ($8 \times 1/f_{osc}$). Çalışmada, $4.5 \mu s$ 'lik bir ölü-zaman süresi $R=560\Omega$ ve $C=1nF$ değerleri ile sağlanmıştır. Osilasyon frekansına bağlı olarak R ve C'nin seçimi, Şekil 5.9'da verilen karakteristikler kullanılarak da bulunabilir. Şekil 5.10'da ise X_I olarak belirtilen giriş işaretine ölü-zaman eklenmiş olarak X_H ve X_L çıkışları görülmektedir. Şekilden de dikkat edileceği üzere ölü-zaman süresi yükselen kenardan itibaren 8 clk'luk süreyi kapsamaktadır.

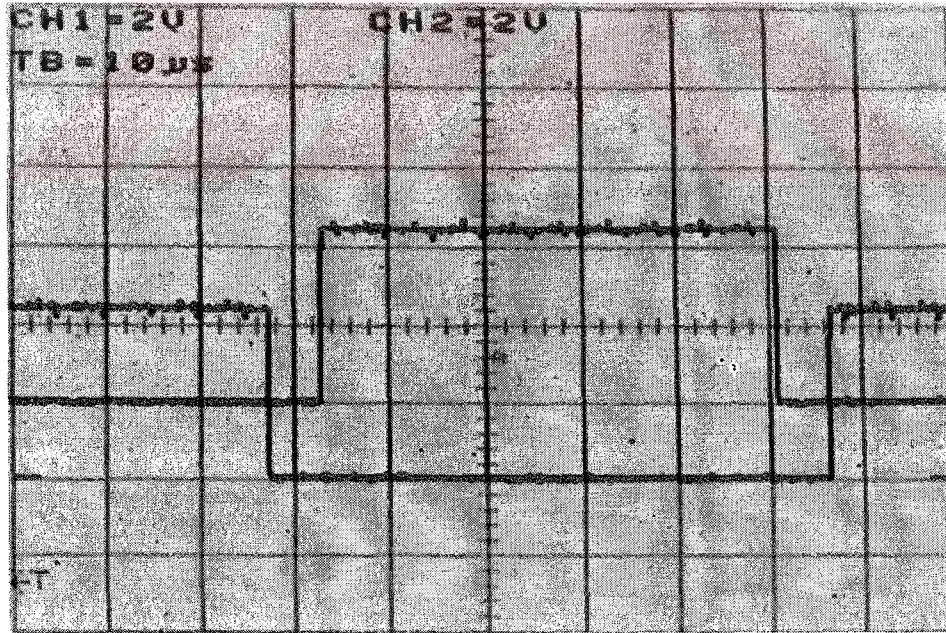


Şekil 5.9. Osilasyon frekansına bağlı olarak R ve C elemanlarının seçimi.

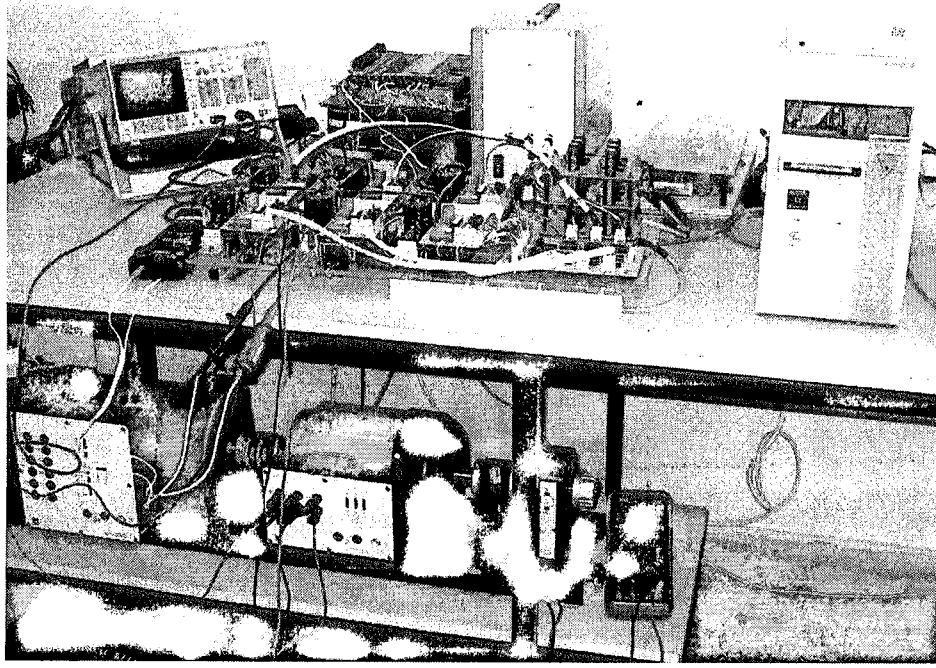


Şekil 5.10. Giriş işareti ve ölü-zaman eklenmiş çıkış işaretleri.

Şekil 5.11’de H-köprü tek faz inverterin aynı kolu üzerindeki anahtarlara gelen DGM’li işaretler görülmektedir. Şekilden de görüleceği üzere bu DGM’li işaretler arasında $4.5 \mu s$ ’lik bir ölü-zaman süresi mevcuttur. Şekil 5.12’de ise tasarlanan 5-seviyeli kaskad inverterin genel görünümünün fotoğrafı verilmiştir. Bu inverter çıkışından alınan üç-fazlı gerilimler ile parametreleri EK-1’de verilen 1kW gücünde bir AC motor beslenilmiştir. Burada açık çevrim olarak, AC motorun statoruna uygulanan gerilimin genlik ve frekans kontrolü yapılmaktadır. Benzetim ve deneysel sonuçlar Bölüm 6’da ayrıca verilmiştir.



Şekil 5.11. İnverterin aynı kolu üzerindeki anahtarlar için üretilen DGM’li işaretlere bir örnek.

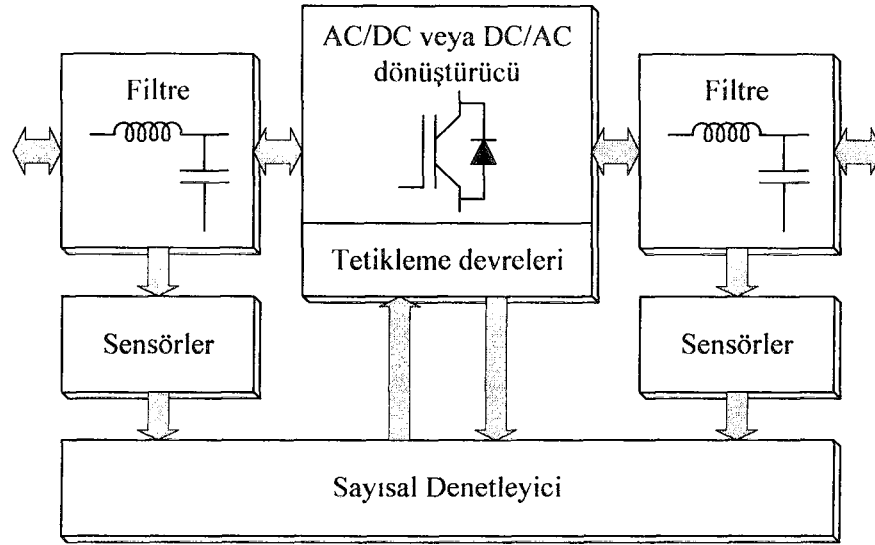


Şekil 5.12. Tasarlanan 5-seviyeli kaskad inverterin genel görünümünün fotoğrafı.

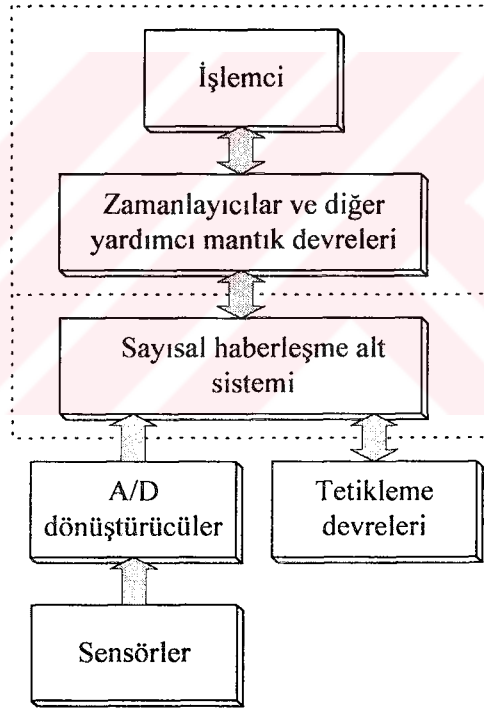
5.3. Denetleyici Kart ve Kullanılan Yazılımların Özellikleri

Son yıllarda, mikroişlemci teknolojisindeki ilerlemeler ile çok yönlü modern mikroişlemciler ortaya çıkmış ve karmaşık kontrol algoritmalarını gerçekleştirmek olanaklı hale gelmiştir. Bu mikroişlemciler tüm dönüştürücü tiplerin kontrolü için kullanılabilmekte ve farklı modülasyon algoritmasının gerçekleştirilmesine imkan sağlamaktadır. Ses ve görüntü uygulamaları ile karşımıza çıkan sayısal işaret işlemciler (DSP) kontrol sistemlerine yeni bir bakış açısı getirmiştir. İşlem yapma kapasiteleri, üstün matematik işlem hacmi ve en önemlisi işleme hızı (TMS320F240 için 50ns), DSP'nin kullanım alanının hızla genişlemesini sağlamıştır. İşlem güçlerinin artması ile komutlar çok kısa zamanda yürütülebilmekte, bunun sonucu olarak da sistemin örnekleme zamanı azalmaktadır.

Güç akışının yönü ve topolojik farklılıklar dikkate alınmadığı takdirde, bir güç elektroniği sisteminde birkaç ana elemandan bahsedilebilir. Bunlar; hem girişteki ve hem de çıkıştaki filtre elemanları, güç elektroniği dönüştürücü, güç terminalleri ve sayısal denetleyici sistemidir. Bu bloklar Şekil 5.13'de görülmektedir. Benzer olarak, bir modern sayısal denetleyicinin mimarisi Şekil 5.14.'de gösterildiği gibi alt bloklar şeklinde verilebilir. Burada merkezi eleman işlemcidir (veya birkaç işlemcinin birleşimi) ve genellikle DGM'yi gerçekleştirmek için birkaç çeşit programlanabilir mantık devresi ile çevrelenmiştir.



Şekil 5.13. Güç elektroniği dönüştürücü sisteminin genel yapısı.

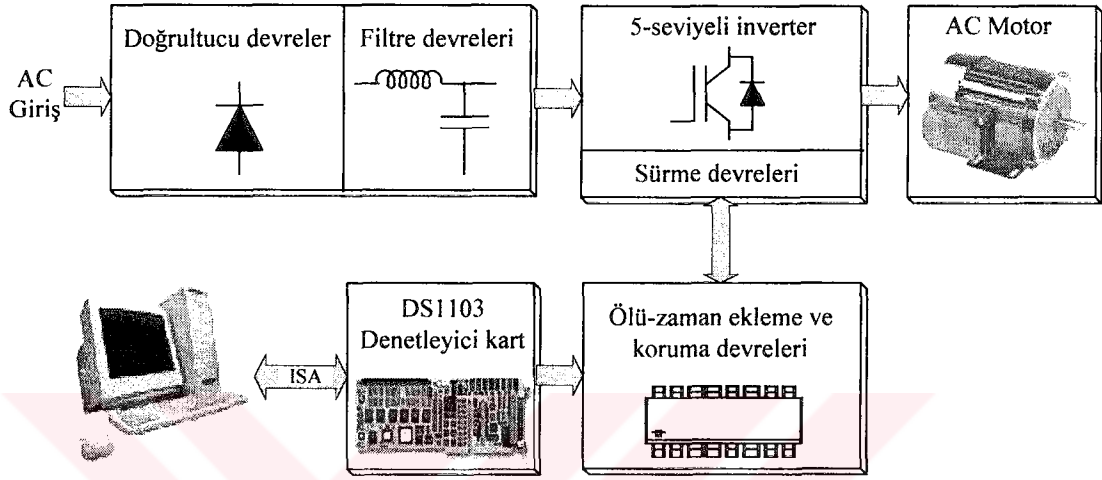


Şekil 5.14. Sayısal denetleyicilerin mimarisi.

Bölüm 5.1’de bir 5-seviyeli inverterin güç devresinin tasarımı açıklanmıştır. Bu güç devresi üzerine dayanan bir yüksek performanslı motor sürücüsü geliştirmek için güçlü bir sayısal denetleyici gerekmektedir. Bu tez çalışmasında, denetleyici olarak DS1103 dSPACE GmbH kartı kullanılmıştır. Bu kart üzerinde ana işlemci PowerPC 604e/400MHz ve Texas

Instruments TMS320F240/20MHz uydu işlemci bulunmaktadır. DS1103 denetleyici kartı IBM uyumlu bir bilgisayarın ISA yuvasına takılmaktadır. Şekil 5.15’de 5-seviyeli bir inverterden beslenen sayısal işaret işlemcili deney düzeneğinin blok şeması verilmiştir. Blok şema açık çevrim yapısıdır. Bu nedenle hız, gerilim ve akım ölçümleri blok şemada belirtilmemiştir.

DS1103 denetleyici kartın teknik özellikleri, mimarisi ve fonksiyonel birimlerin görünüşü EK-3’de verilmiştir.



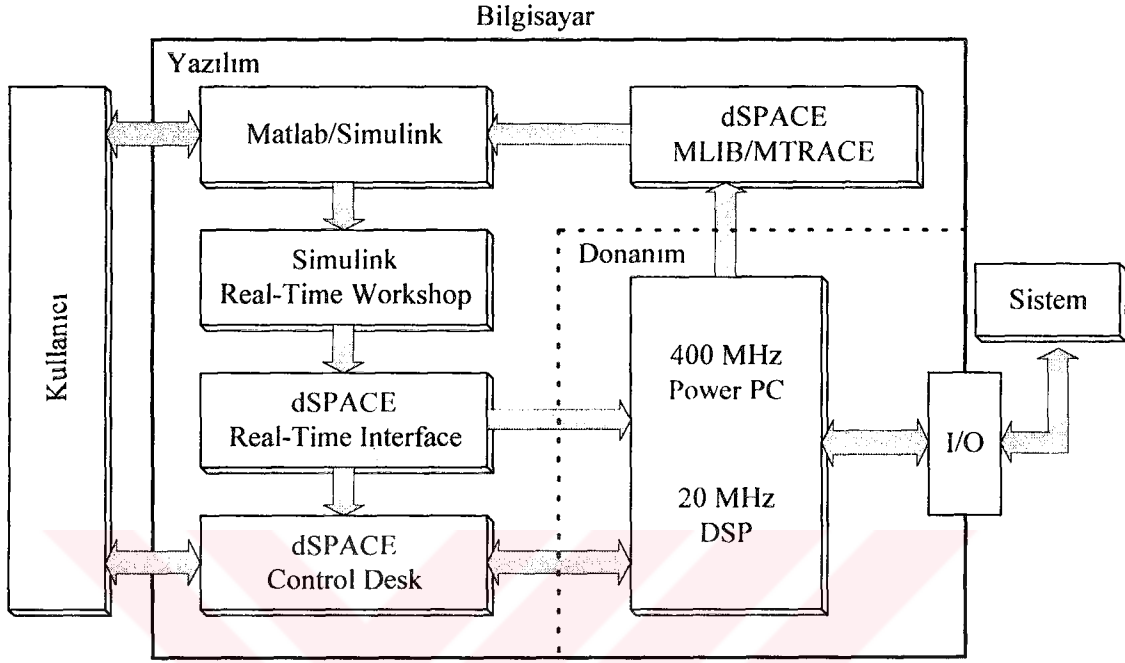
Şekil 5.15. Deney düzeneğinin blok diyagramı.

Bölüm 4.2’de bahsedilen UVDGM algoritması oluşturmak için MathWorks firmasının Matlab/Simulink yazılımı kullanılmıştır. Matlab/Simulink ortamında modeller oluşturulduktan sonra, *Simulink Real-Time Workshop* ve dSPACE’in *Real-Time Interface* yazılımları sayesinde gerçek-zamanlı koda dönüştürülerek DS1103 PPC denetleyici kartın program hafızasına yüklenir. Real-Time Interface yazılımı simulink blok kütüphanesine dSPACE’in bloklarını eklemektedir. Bu ek bloklar sayesinde simulink ile gerçek-zaman donanımı arasında link oluşturulmaktadır. Real-Time Interface yazılımı, PowerPC 604e ana işlemci ve TMS320F240 uydu işlemciye hizmet eden I/O blokları içeren iki farklı alt kütüphaneden oluşmaktadır. Bu blok kütüphaneleri Ek-4’de verilmiştir.

dSPACE tarafından geliştirilen *Control Desk developer* yazılımı ile değişkenlerin gerçek-zamanda kontrolü ve gözlemlemesini etkileşimli olarak sağlamaktadır. Gerçek-zamanlı donanım çalışıyor iken bir osiloskop ve bir dijital display gibi modelden data alımı sağlar.

Ek olarak, dSPACE GmbH’nin *MLIB/MTRACE* kütüphaneleri kullanılarak gerçek-zamanlı sistemden data alımı ve Matlab’a transferi sağlanmaktadır. Alınan datalar Matlab’ta *.MAT dosyası olarak kaydedilerek, sonradan işlemek ve doküman olarak değerlendirmek mümkün olmaktadır.

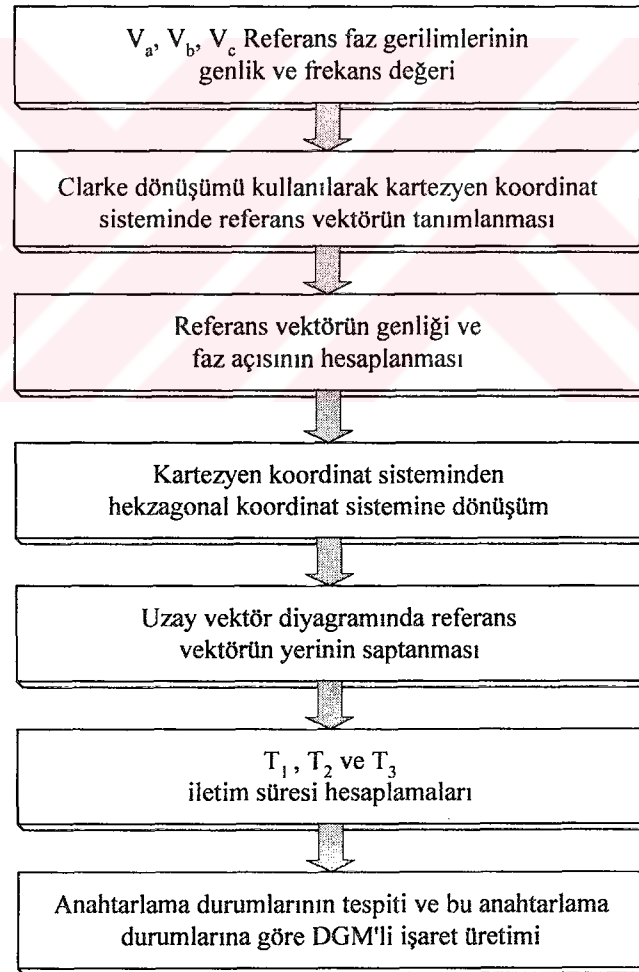
Şekil 5.16’da kullanıcı tarafından Matlab/Simulink ortamında bir model oluşturulduktan sonra gerçek-zamanlı sisteme DGM’li işaret üretimi için kullanılan yazılımların işleyiş diyagramı bloklar halinde verilmiştir.



Şekil 5.16. Kullanılan yazılımların işleyiş diyagramı.

6. BENZETİM VE DENEYSEL SONUÇLAR

Bölüm 4’de detaylı bir şekilde açıklanan UVDGM algoritmasının geçerliliğini test etmek için Matlab/simulink kullanılarak benzetimler yapılmış olup deneysel sonuçlar ile doğrulanmıştır. Önerilen UVDGM algoritmasının genel bir akış şeması Şekil 6.1’de verilmiştir. Bu akış şeması bölüm 4’de bahsedilen denklemleri kullanmaktadır. Algoritmanın işleyişi şu şekildedir; ilk olarak referans faz gerilimleri Clarke dönüşümü kullanılarak kartezyen koordinat sisteminde tanımlanır. Daha sonra, referans vektörünün yerinin hızlı saptanması ve komşu vektörlerin iletim sürelerinin hesabı için kartezyen koordinat sisteminden hekzagonal koordinat sistemine dönüşüm yapılmaktadır. En son aşamada, anahtarlama durumlarının tespiti ve bu anahtarlama durumlarına göre DGM’li işaretlerin üretimi gerçekleştirilir. Bu akış şema ileride detaylı bir şekilde açıklanacaktır.



Şekil 6.1. Önerilen UVDGM algoritmasının akış şeması.

Önerilen UVDGM algoritması ile inverter çıkışında istenilen genlik ve frekansta ac gerilimler minimum harmonik bozulma ile sağlanmaktadır. İnverter anahtarlama durumlarının seçiminde bölüm 4’de önerilen ek-eb metodunun kullanılması ile inverter çıkış gerilimi ve frekansının geniş bir modülasyon indeksi aralığında kontrolü rahatlıkla sağlanabilmektedir. Koordinat dönüşümü ile kartezyen koordinat sistemindeki referans gerilim uzay vektörünün yerinin tespiti hızlı bir şekilde bulunabilmektedir. Referans vektörün içinde bulunduğu üçgenin koordinatları kullanılarak komşu uzay vektörler için iletim sürelerinin hesabı basit denklemler yardımıyla yapılmaktadır.

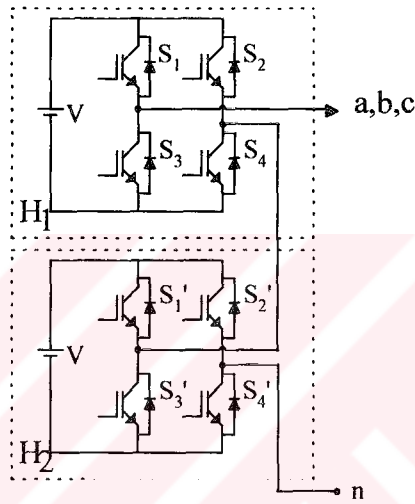
Matlab/Simulink ortamı içerisine Matlab/Power System Blockset’indeki blokların yerleştirilmesi ile güç elektroniği devrelerinin benzetimi çok daha kolay olmaktadır. Şekil 6.1’deki akış şemasına göre elde edilen üç-fazlı gerilimler Matlab/Power System Blockset’inde d-q rotor referans çatısında modellenen bir üç-fazlı AC motor modeline uygulanmıştır. Benzetim ve deneysel çalışmalarda kullanılan motorun parametreleri EK-1’de verilmiştir.

Benzetimler ve deneysel çalışmalar için sabit çözüm adımlı euler integral metodu kullanılmıştır.

Belirlenen bir anahtarlama durumuna karşılık inverter devresindeki güç anahtarları için DGM’li işaret üretiminde Tablo 6.1’de verilen anahtarlama şeması esas alınarak yapılmıştır. Tablodaki H_1 ve H_2 köprülerdeki anahtarlar için 1 durumu ilgili anahtarın iletimde olduğunu ve 0 durumu ise yine ilgili anahtarın kesimde olduğunu belirtmektedir. Buradaki S_1 - S_4 ve S_1' - S_4' anahtarları Şekil 6.2’de verilen 5-seviyeli kaskad inverterin tek faz yapısı üzerinde görülmektedir. Örneğin, Tablo 6.1’de verilen 1 anahtarlama durumu ele alındığında; S_1 , S_4 , S_3' ve S_4' güç anahtarları iletimde ve diğer anahtarlar kesimde olmaktadır. 5-seviyeli kaskad inverterde bölüm 2’de bahsedildiği gibi 2 ve -2 anahtarlama durumları için sadece bir tek anahtarlama kombinasyonu varken, 1, 0 ve -1 anahtarlama durumları için birden daha fazla anahtarlama kombinasyonu mevcuttur. Tablo 6.1’e dikkat edilirse; 1, 0 ve -1 anahtarlama durumları arasındaki geçişlerde H_2 köprüsündeki anahtarlar konum değiştirmemektedir. Böylelikle, bu anahtarlama durumlarında H_2 köprüsünün çıkış gerilimi 0V olmaktadır. Bu şekildeki bir seçim ile anahtarlama geçişlerinin minimum yapılması amaçlanmıştır. İnverterin tüm fazları için aynı tablo kullanılmıştır.

Tablo 6.1. Anahtarlama durumlarına karşılık güç anahtarlarının iletim/kesim durumları.

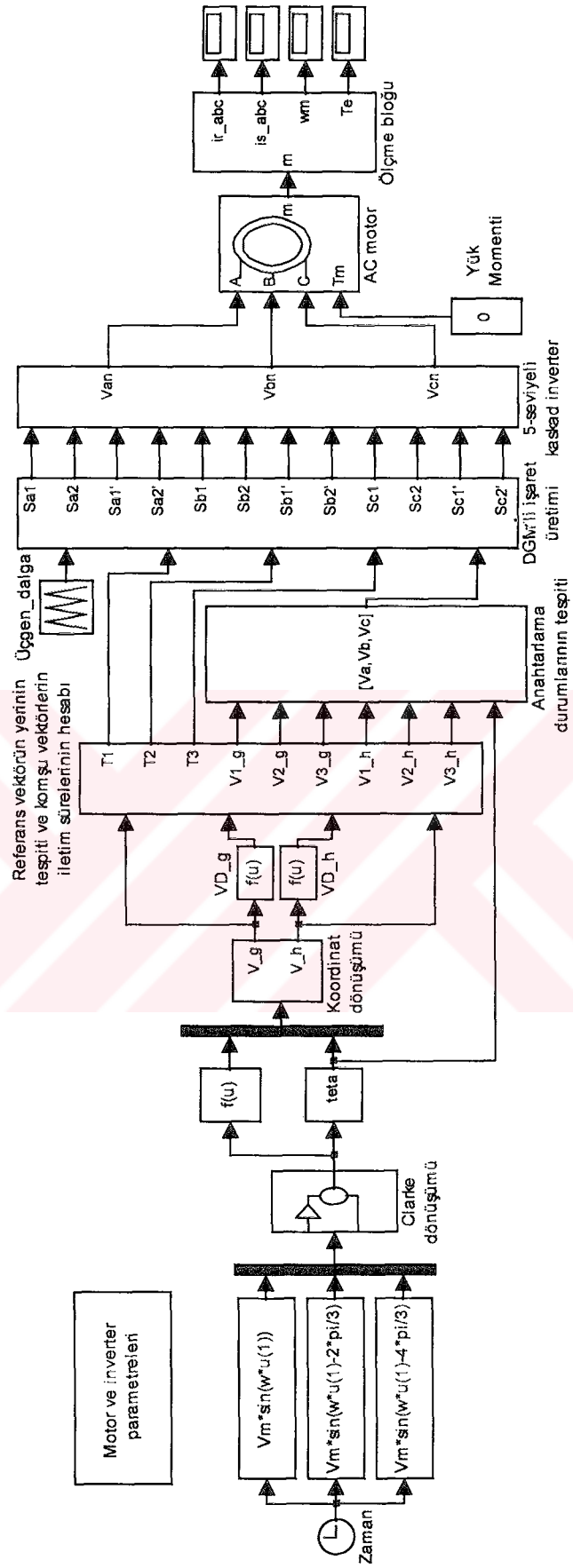
a,b,c fazları için anahtarlama durumu	H ₁ köprü				H ₂ köprü			
	S ₁	S ₂	S ₃	S ₄	S ₁ '	S ₂ '	S ₃ '	S ₄ '
2	1	0	0	1	1	0	0	1
1	1	0	0	1	0	0	1	1
0	0	0	1	1	0	0	1	1
-1	0	1	1	0	0	0	1	1
-2	0	1	1	0	0	1	1	0



Şekil 6.2. 5-seviyeli kaskad inverterin tek-faz yapısı.

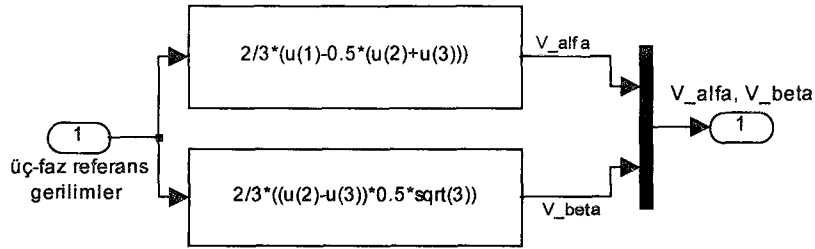
5-seviyeli kaskad inverterin güç devresinde her fazda 8 güç anahtarı olmak üzere toplam olarak 24 adet güç anahtarı bulunmaktadır. İnverterin aynı kolu üzerindeki anahtarlar eşlenik olarak çalıştığından 12 adet DGM işaretinin üretilmesi yeterlidir. Benzetim çalışmasında bu 12 DGM işareti ve terslenmiş durumları alınarak inverter devresindeki anahtarların kontrolü sağlanır. Deneysel çalışmada ise bu 12 DGM işareti DS1103 kartının I/O çıkışından alındıktan sonra 24 DGM'lu işarete çoğaltılması IXDP630PI entegresi yardımıyla donanımla sağlanmıştır.

Bu tezde önerilen uzay vektör algoritması açık-çevrim olarak çalışmaktadır. Sistemin benzetim çalışmaları için oluşturulan bloklar Şekil 6.3'de görülmektedir. Benzetim blok şeması alt bloklar şeklinde oluşturulmuş olup aşağıda her blokta yapılan işlemlerden kısaca bahsedilmiştir.

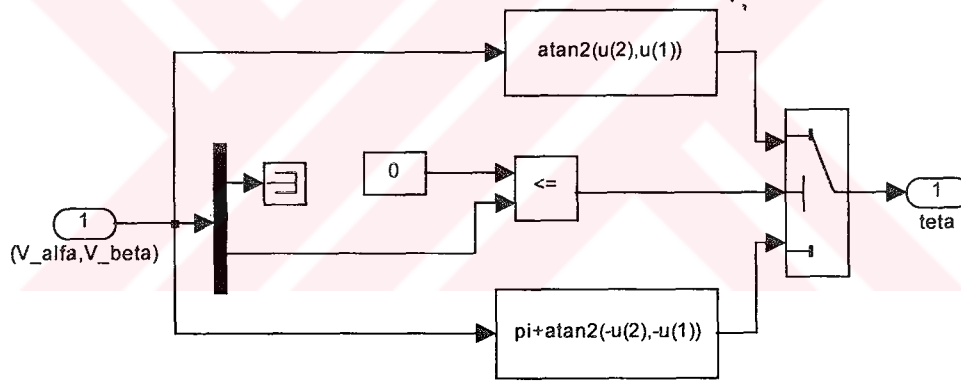


Şekil 6.3. Önerilen UVDGM algoritmasının benzetim çalışması için oluşturulan bloklar.

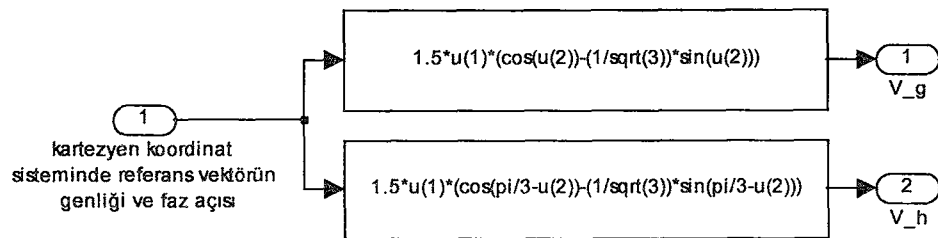
Üç-faz referans giriş sinyalleri zamana bağlı olarak tanımlandıktan sonra Clarke dönüşümü kullanılarak kartezyen koordinat sisteminde bir uzay vektör olarak . Şekil 6.4’de bu dönüşümü sağlayan Matlab/simulink blokları görülmektedir. Burada V_m ve ω değerleri ile birlikte motor ve inverter parametreleri bir matlab m-dosyasından alınmaktadır. Kartezyen koordinat sistemindeki referans vektörün faz açısının bulunması için oluşturulan bloklar Şekil 6.5’de ve bu faz açısı kullanılarak hekzagonal koordinat sistemine dönüşümü sağlayan bloklar ise Şekil 6.6’da verilmiştir.



Şekil 6.4. Clarke dönüşümü için oluşturulmuş bloklar.



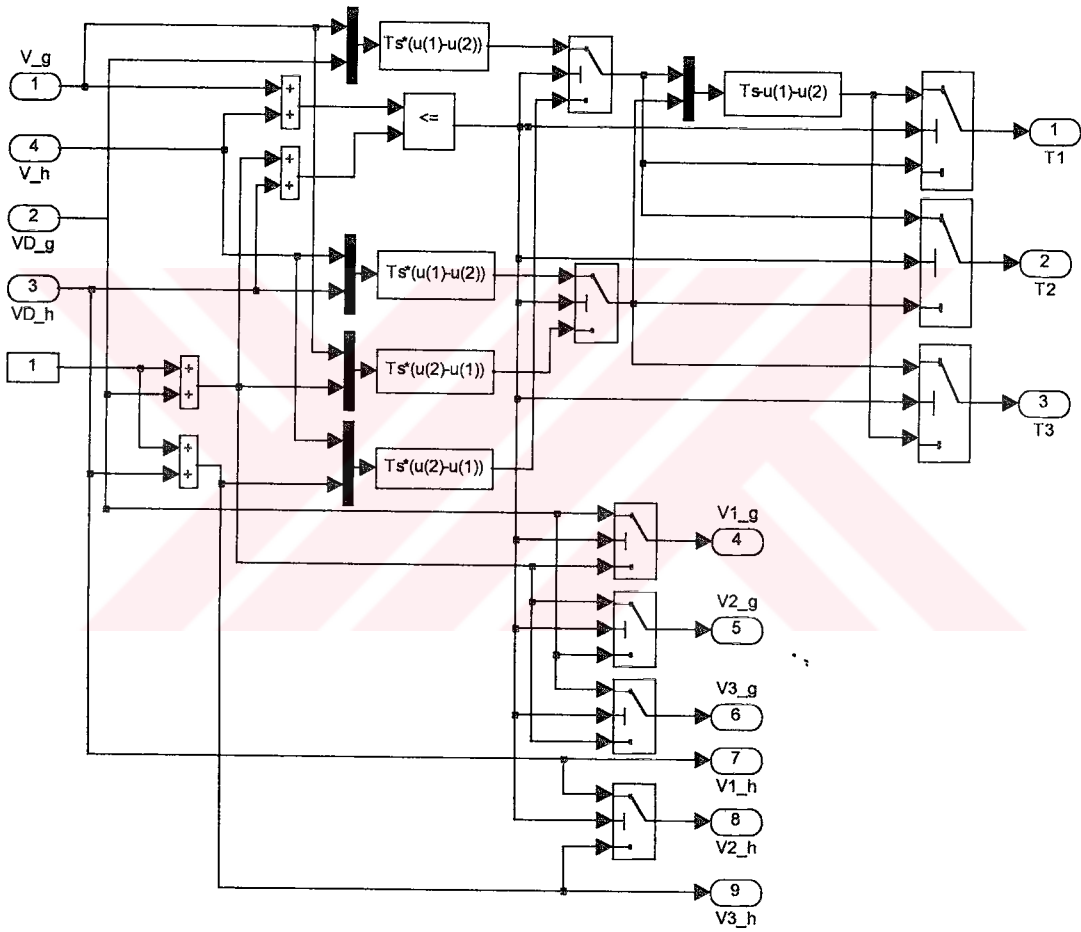
Şekil 6.5. Faz açısı θ 'nın hesaplanması için oluşturulmuş bloklar.



Şekil 6.6. Kartezyen koordinat sisteminden hekzagonal koordinat sistemine dönüşümü sağlayan bloklar.

Referans vektörün içine düştüğü üçgenin komşu uzay vektörlerinin tespiti ve bu uzay vektörlerin hegzagonal koordinat sistemindeki koordinatları kullanılarak yapılan iletim sürelerinin hesabı Şekil 6.7’de verilen bloklar ile gerçekleştirilmektedir. Burada, komşu uzay vektörler V_1 , V_2 ve V_3 olarak belirtilmiştir. T_1 , T_2 ve T_3 ile ifade edilen çıkışlar ise bu komşu uzay vektörlerin iletim süreleridir ($T_s = T_1 + T_2 + T_3$).

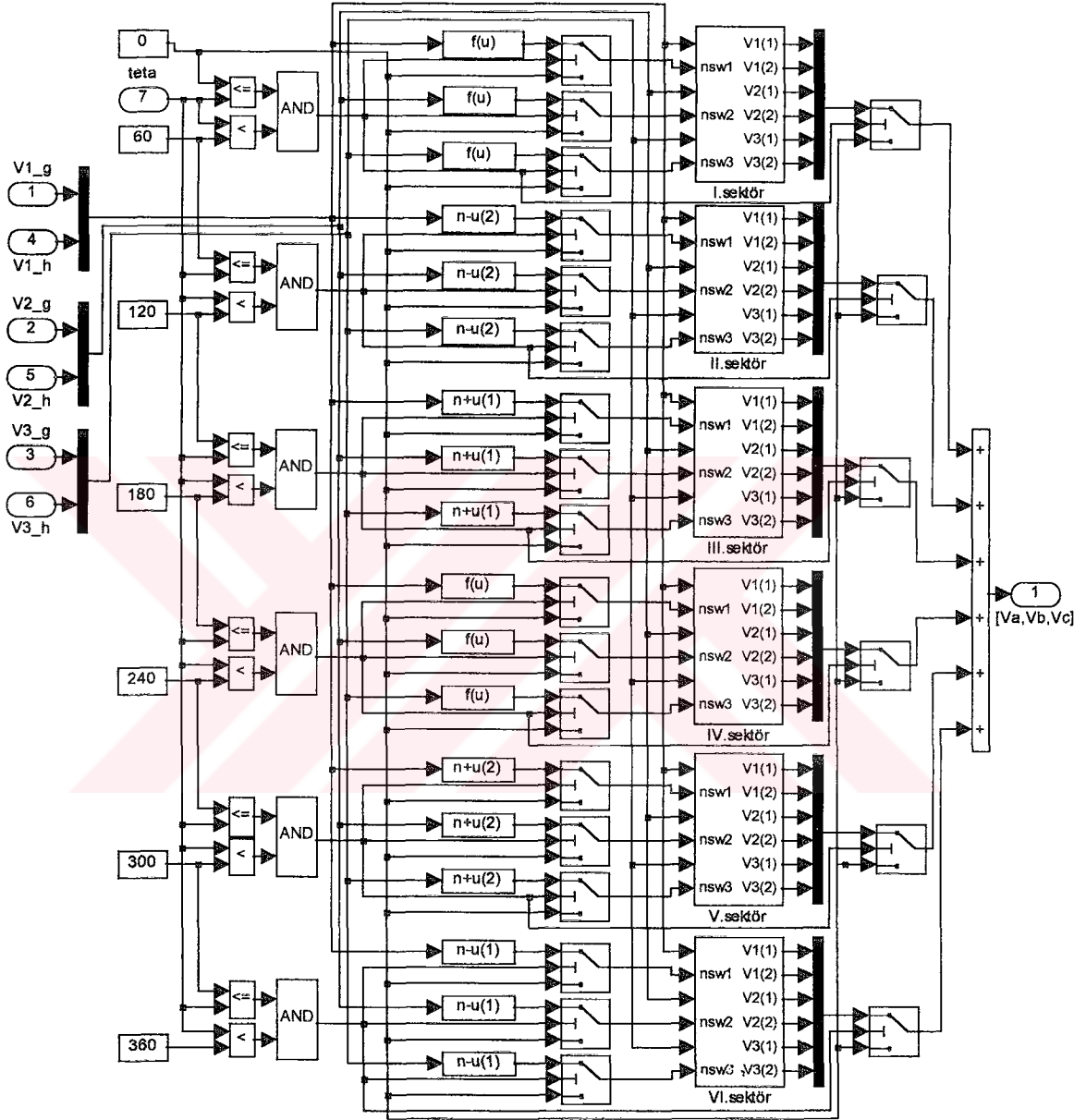
Hekzagonal koordinat sistemi tam sayı değerlerden oluştuğu için gerek komşu uzay vektörlerin tespiti ve gerekse bu vektörlerin iletim sürelerinin hesabı basit denklemlerden ibarettir.



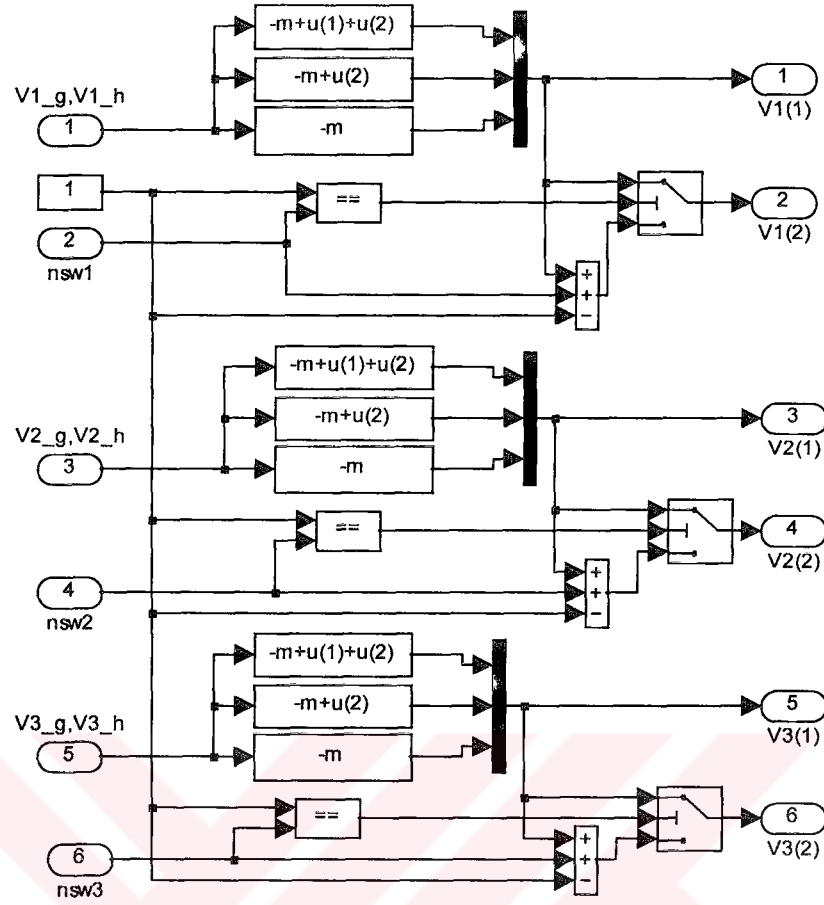
Şekil 6.7. Referans vektörün yerinin tespiti ve komşu vektörlerin iletim sürelerinin hesabı için oluşturulan bloklar.

Hekzagonal koordinat sistemindeki bir uzay vektör 1’den daha fazla anahtarlama durumuna sahip olabilmektedir. Bu tezde, anahtarlama durumlarının seçimi için ek-eb olarak adlandırılan bir metot önerilmiştir. Şekil 6.8 ve Şekil 6.9’da bu metodun uygulanması için oluşturulan bloklar görülmektedir. Burada, ilk olarak referans vektörün içinde bulunduğu sektör

tespit edilip, daha sonra g-h uzayındaki ilgili uzay vektör için anahtarlama durumlarının sayısı belirlenmektedir. Önerilen ek-eb metodu ile mevcut anahtarlama durumları arasında a-fazı esas alınarak bir seçim yapılır. Bu metodun uygulanışı bölüm 4’de detaylı olarak verilmiştir.

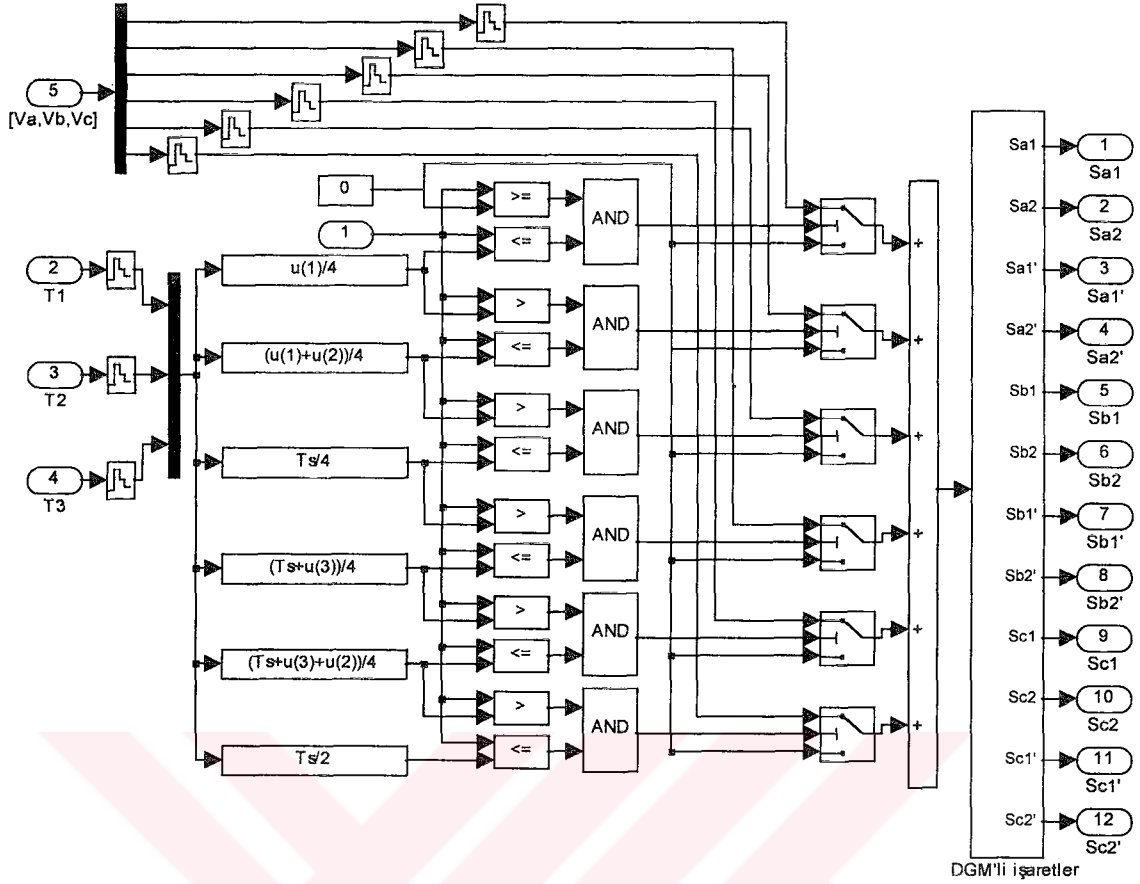


Şekil 6.8. Anahtarlama durumlarının tespiti için oluşturulmuş bloklar.



Şekil 6.9. I.Sektör için anahtarlama durumları.

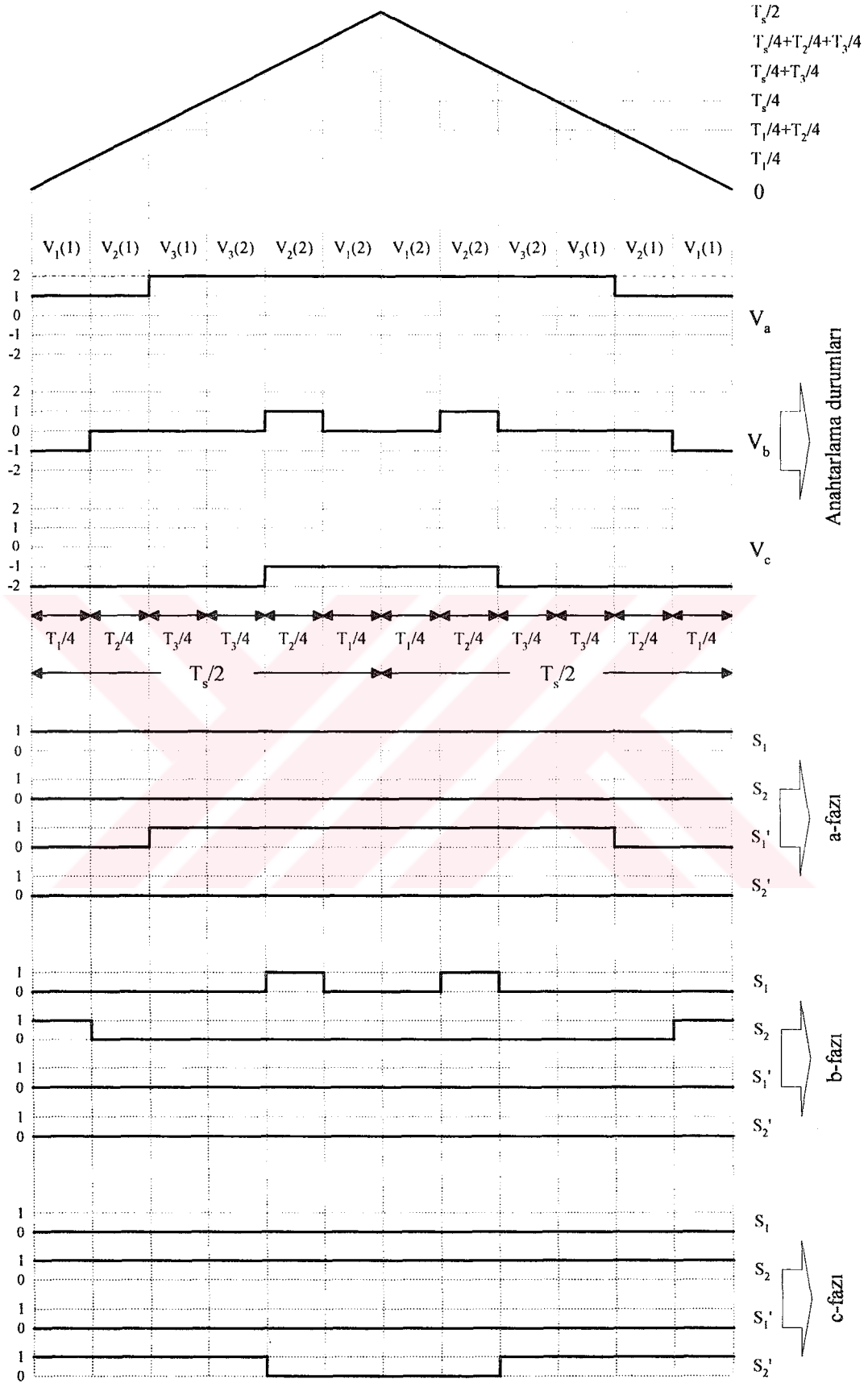
Şekil 6.10'da giriş olarak gelen anahtarlama durumlarına göre inverter güç devresindeki anahtarları kontrol eden DGM işaretinin üretimini sağlayan bloklar görülmektedir. Burada, Tablo 6.1'de verilen anahtarlama şeması kullanılarak DGM'li işaret üretimi gerçekleştirilmektedir.



Şekil 6.10. DGM'li işaret üretimi için oluşturulmuş blokları.

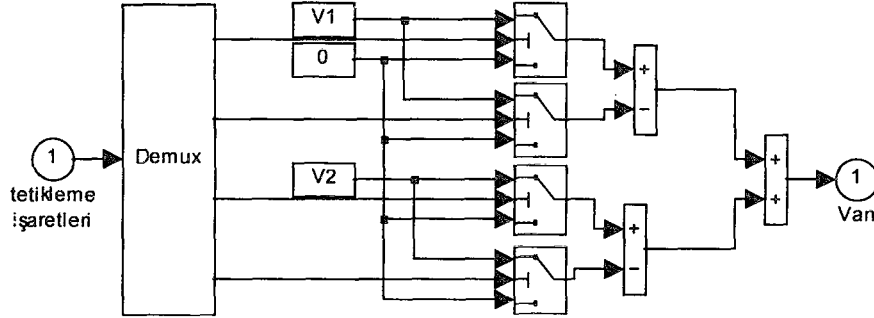
Bir anahtarlama periyodu süresinde DGM'li işaret üretimi için izlenen yol Şekil 6.11'de verilmiştir. Burada, komşu uzay vektörlerin anahtarlama durumları örnek olarak: $V_1(1)=[1,-1,-2]$, $V_1(2)=[2,0,-1]$, $V_2(1)=[1,0,-2]$, $V_2(2)=[2,1,-1]$, $V_3(1)=V_3(2)=[2,0,-2]$ şeklinde olsun. Seçilen bu anahtarlama durumlarına göre inverter güç devresindeki iletimde olan anahtarların durumu 1 ile ifade edilmiştir. Tek-fazlı H-köprü inverterde aynı kol üzerindeki anahtarlar eşlenik çalıştırıldığından bu bloklar ile sadece 12 DGM işareti üretilmiştir. Oluşturulan tüm DGM'li işaretler yarım dalga simetrisine sahiptir. Bunun için, periyodu ve genliği anahtarlama frekansı tarafından belirlenen bir üçgen dalga kullanılmıştır.

DGM'li işaret üretiminde inverterin aynı kolu üzerindeki anahtarlar için gerekli olan ölü-zaman dikkate alınmamıştır. Deneysel çalışmalarda ölü-zaman gereksinimi bölüm 5'de bahsedildiği gibi donanımla gerçekleştirilmiştir.



Şekil 6.11. İnverterin güç devresindeki anahtarlar için DGM'li işaretin üretilmesinde izlenen yol.

Matlab/Simulink ortamında yapılan benzetimlerde 5-seviyeli kaskad inverter devresi için ideal anahtar modeli kullanılmıştır. Şekil 6.12’de 5-seviyeli kaskad inverterin a-fazı için oluşturulan model görülmektedir.



Şekil 6.12. İdeal anahtarlı çok seviyeli inverterin a-fazı için oluşturulan model.

Önerilen uzay vektör kontrol algoritmasının gerçek-zamanlı uygulaması için Matlab/Simulink ortamında deneysel modeller oluşturulmuştur. Bu modeller Simulink’in Real-Time Workshop ve dSPACE’in Real-Time Interface yazılımları sayesinde gerçek-zamanlı koda dönüştürülmektedir. Real-Time Interface yazılımı simulink blok kütüphanesine dSPACE’in bloklarını eklemektedir. Bu ek bloklar sayesinde Simulink ile gerçek-zaman donanımı arasında link oluşturulmaktadır.

Benzetim ve deneysel blokların tek farkı; benzetim çalışmasındaki inverter ve AC motor modeli kaldırılarak dSPACE’in digital I/O bloklarının yerleştirilmesidir. Şekil 6.13’de bu uzay vektör algoritmasının deneysel çalışma için oluşturulan blokları görülmektedir.

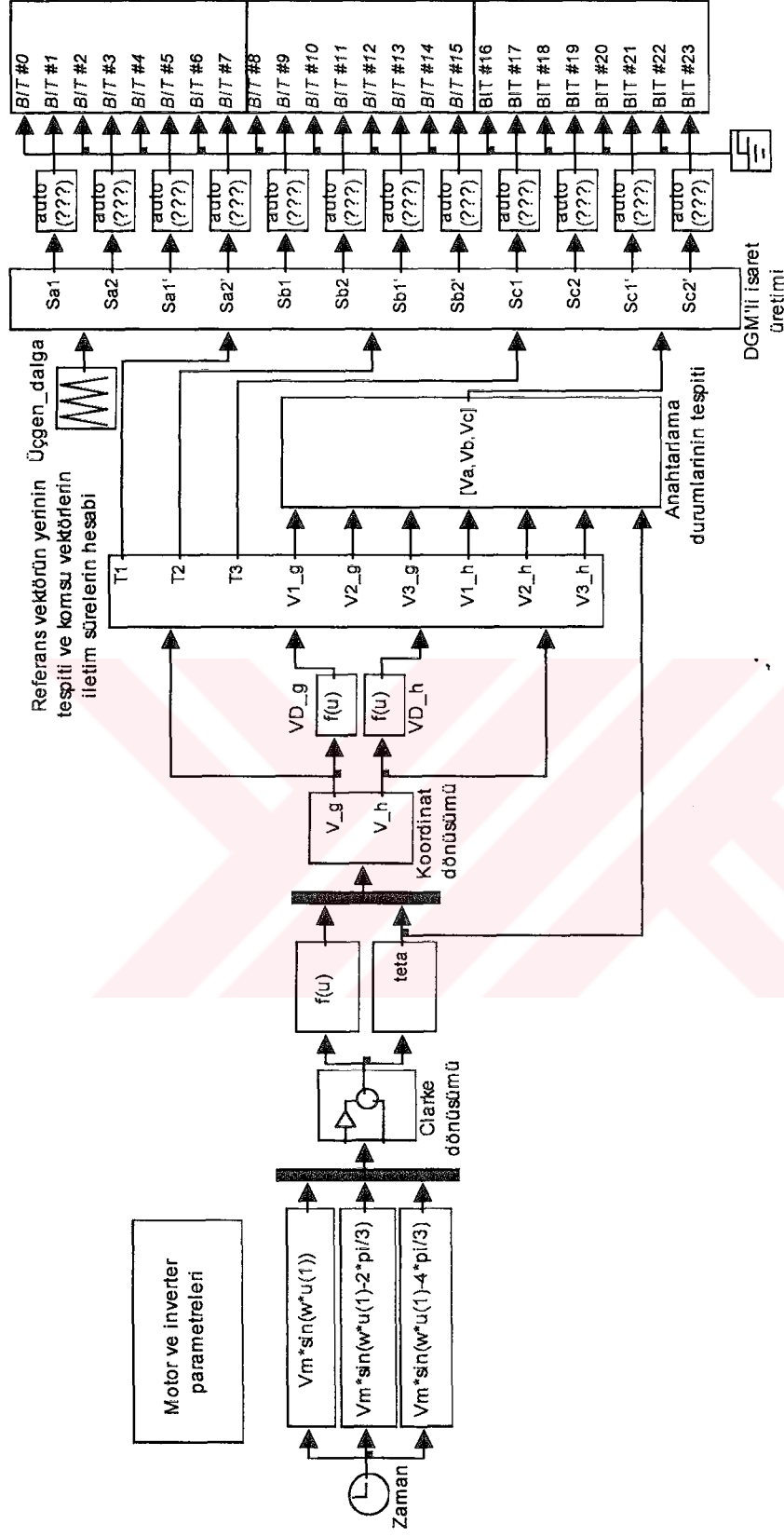
Şekil 6.14-6.21’de benzetim ve deneysel sonuçlar karşılaştırmalı olarak verilmiştir. Burada, H-köprülerini besleyen tüm dc hat gerilimleri 75V’dur. 5-seviyeli kaskad inverterin çıkışındaki faz-nötr ve faz-faz gerilimlerinin osiloskop ortamına aktarılması için 1/100 dönüştürme oranına sahip bir diferansiyel prob kullanılmıştır. Akım-gerilim büyüklüklerinin deneysel dataları bir hafızalı osiloskobun RS423 portundan bilgisayar ortamına aktarılmış olup, harmonik analizleri MATLAB ortamında gerçekleştirilmiştir.

Şekil 6.14’de $M=1$, $f_1=50\text{Hz}$ ve $f_s=1000\text{Hz}$ değerleri için tasarlanan inverterin a-fazının H_1 ve H_2 köprü çıkış gerilimleri görülmektedir. Şekle dikkat edileceği üzere, H_2 köprüsündeki daha az anahtarlama gerçekleşmektedir. Bu durum, Tablo 6.1’de verilen anahtarlama durumlarına göre yapılmıştır. Her iki köprüdeki 50Hz’lik harmonik bileşenlerin toplamı 150V’luk bir faz-nötr gerilimine karşılık gelir. Temel bileşen dışındaki harmonikler 1000Hz’lik anahtarlama frekansının yan bantlarında kümelenmiştir.

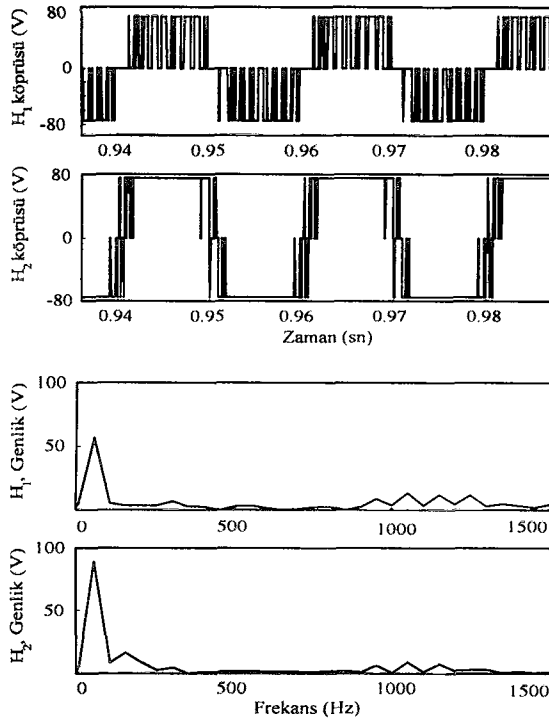
Şekil 6.15’de $M=1$, $f_1=50\text{Hz}$ ve $f_s=1500\text{Hz}$ değerleri için inverterin faz-faz gerilimi ve faz-nötr gerilimleri ile birlikte bu gerilimlerin harmonik spektrumları verilmiştir. Harmonik spektrumlarından istenen genlik ve frekansta gerilim değerleri elde edilmiş olduğu görülmektedir. UVDGM tekniğinin özelliği olarak faz-nötr geriliminde 3.harmonik bileşen olarak 29V’luk bir harmonik bileşen gözükmemektedir. Ancak, bu 3.harmonik bileşen Bölüm 3’de bahsedildiği gibi faz-faz geriliminde oluşmamaktadır.

Benzer şekilde, Şekil 6.16-6.21’de farklı kriterlere göre inverterden elde edilen faz-faz, faz-nötr gerilimleri ve faz akımları ile birlikte harmonik spektrumları görülmektedir. Şekil 6.16’da $M=0.5$, $f_1=10\text{Hz}$ ve $f_s=500\text{Hz}$ değerleri için, Şekil 6.17’de $M=0.75$, $f_1=30\text{Hz}$ ve $f_s=1000\text{Hz}$ değerleri için, Şekil 6.18’de $M=0.75$, $f_1=30\text{Hz}$ ve $f_s=1500\text{Hz}$ değerleri için, Şekil 6.19’da $M=1$, $f_1=50\text{Hz}$ ve $f_s=500\text{Hz}$ değerleri için, Şekil 6.20’de $M=1$, $f_1=50\text{Hz}$ ve $f_s=1000\text{Hz}$ değerleri için ve Şekil 6.21’de $M=1$, $f_1=60\text{Hz}$ ve $f_s=1500\text{Hz}$ değerleri için benzetim ve deneysel sonuçlar verilmiştir. Örnek olarak, $M=1$ değeri inverterin faz-nötr çıkış geriliminin tepe değerinin 150V olduğunu belirtmektedir.

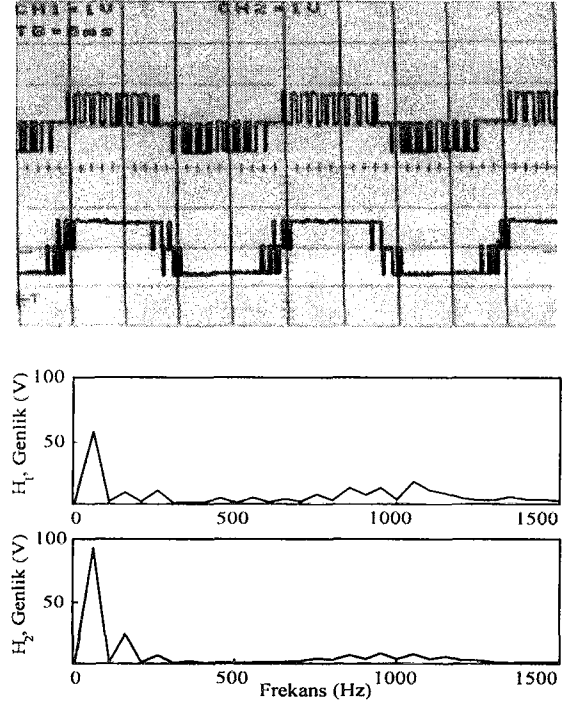
Benzetim ve deneysel çalışmalarda istenen genlik ve frekansta üç-fazlı gerilimler elde edilmiş olup, benzetim ve deneysel sonuçlar birbirlerine oldukça yakın değerdendirler.



Şekil 6.13. Deneyisel çalışmalar için oluşturulan bloklar.

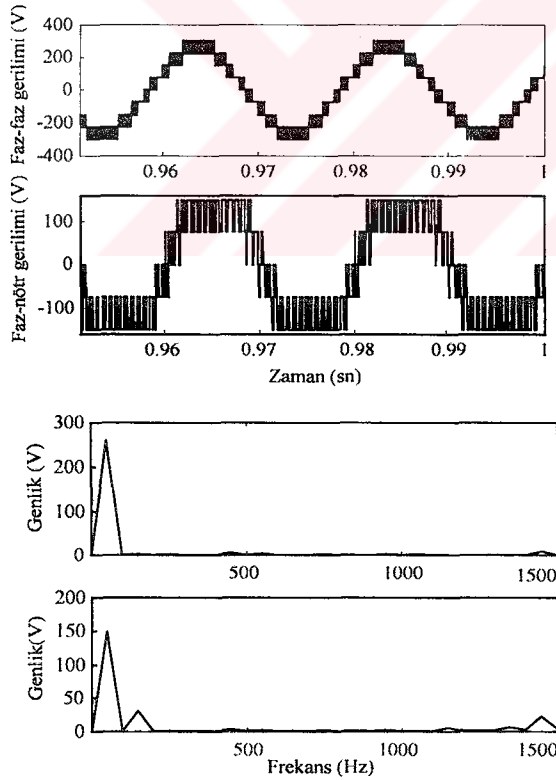


(a) Benzetim sonuçları

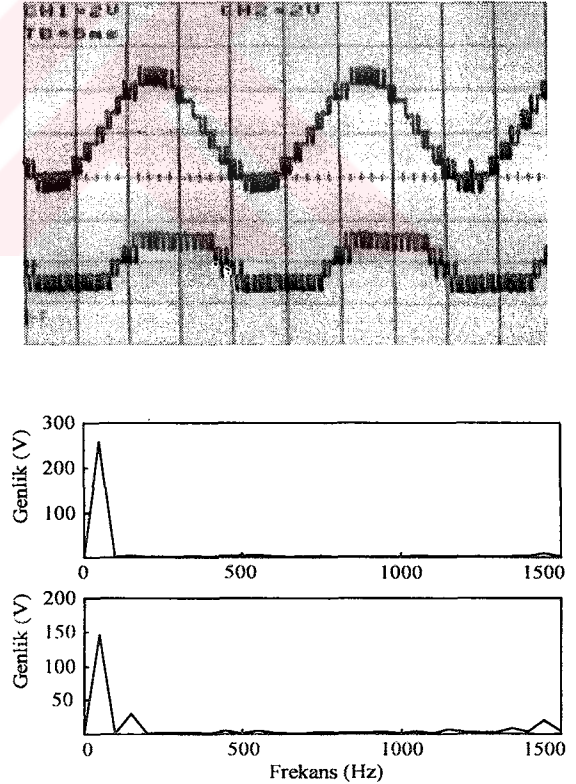


(b) Deneysel sonuçlar

Şekil 6.14. H_1 ve H_2 köprülerinin çıkış gerilimleri ve harmonik spektrumları ($M=1$, $f_1=50\text{Hz}$, $f_s=1000\text{Hz}$)

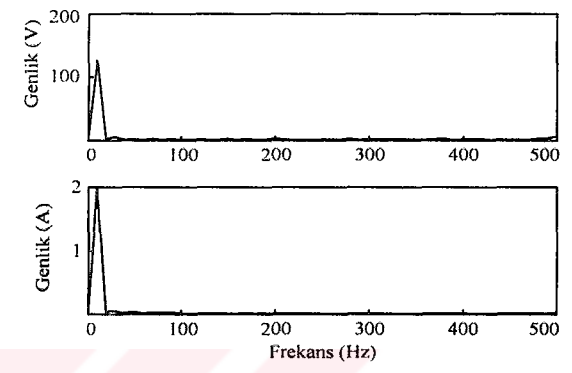
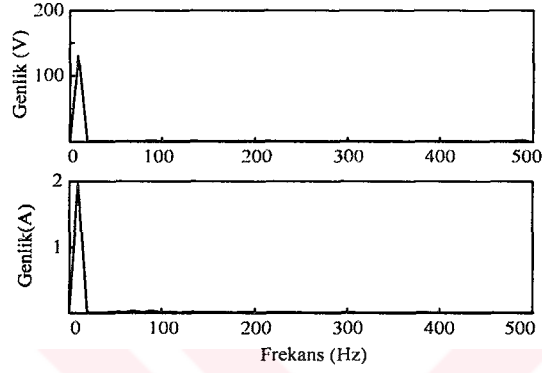
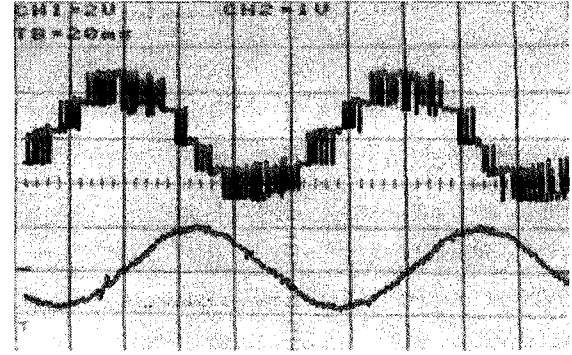
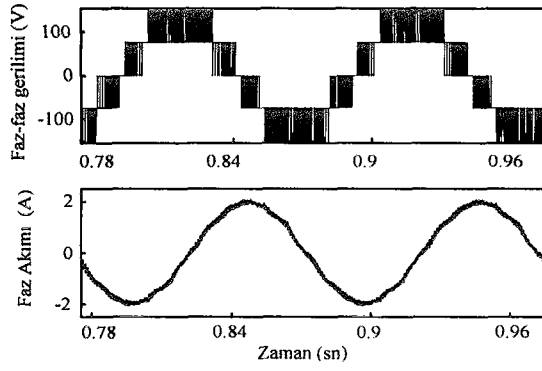


(a) Benzetim sonuçları



(b) Deneysel sonuçlar

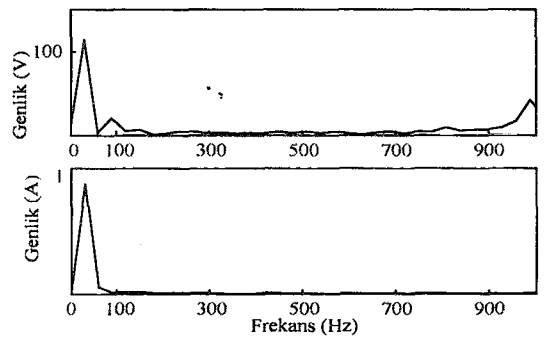
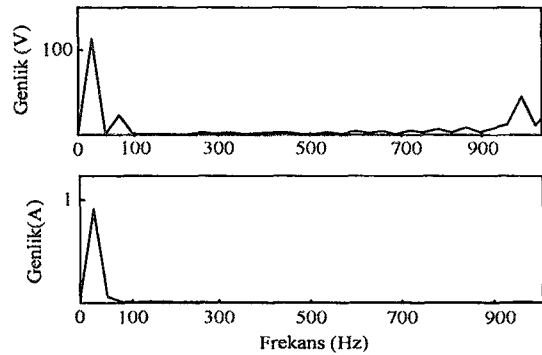
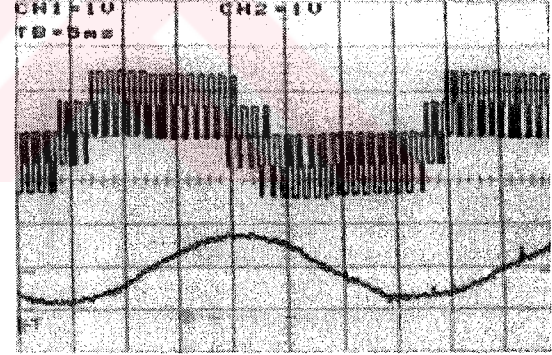
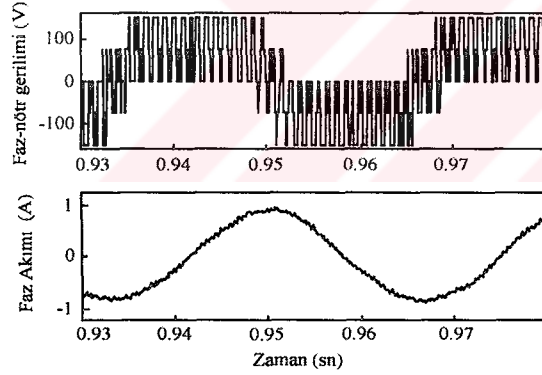
Şekil 6.15. İnverterin faz-faz, faz-nötr gerilimleri ve harmonik spektrumları ($M=1$, $f_1=50\text{Hz}$, $f_s=1500\text{Hz}$)



(a) Benzetim sonuçları

(b) Deneysel sonuçlar

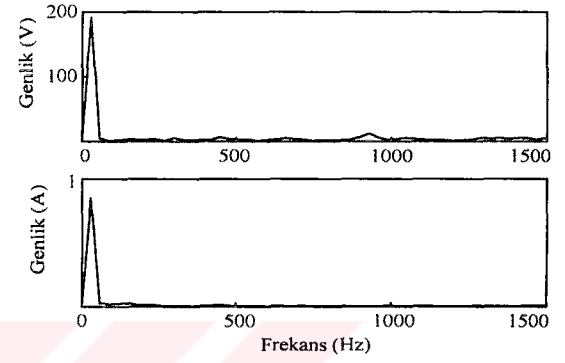
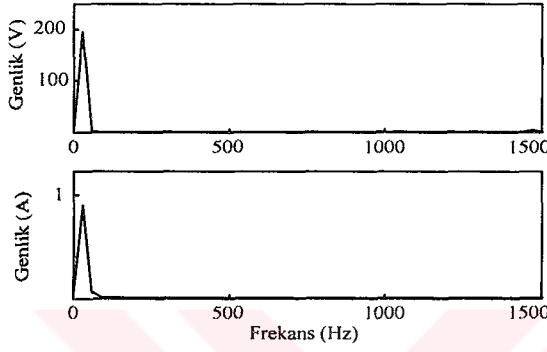
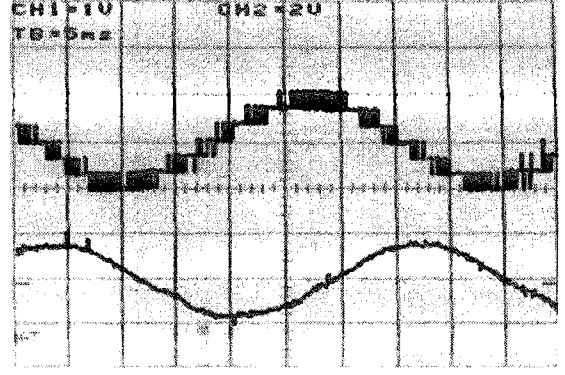
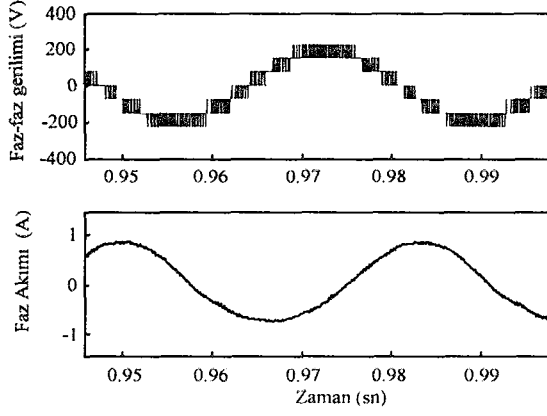
Şekil 6.16. İnverterin faz-faz gerilimi, faz akımı ve harmonik spektrumları ($M=0.5$, $f_1=10\text{Hz}$, $f_s=500\text{Hz}$)



(a) Benzetim sonuçları

(b) Deneysel sonuçlar

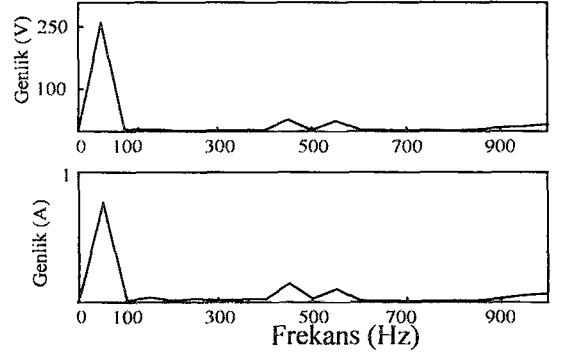
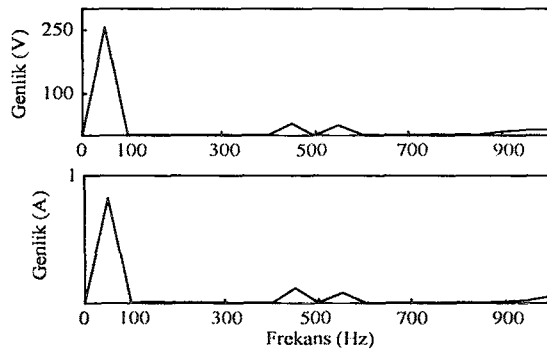
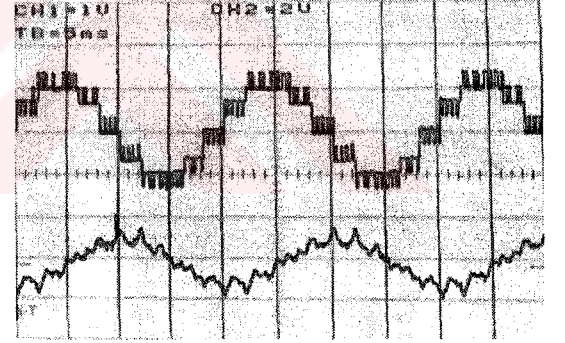
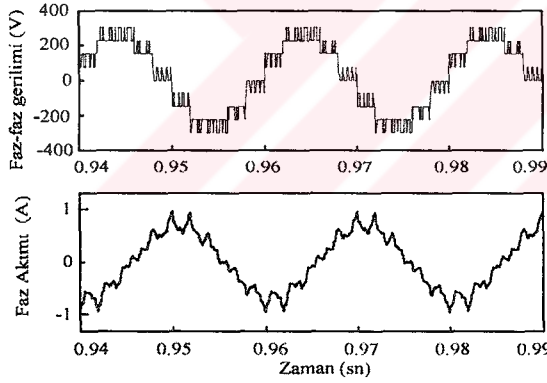
Şekil 6.17. İnverterin faz-nötr gerilimi, faz akımı ve harmonik spektrumları ($M=0.75$, $f_1=30\text{Hz}$, $f_s=1000\text{Hz}$)



(a) Benzetim sonuçları

(b) Deneysel sonuçlar

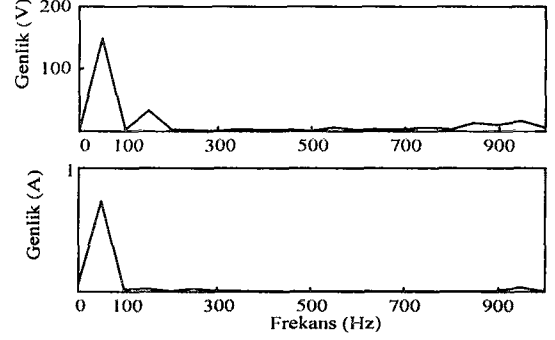
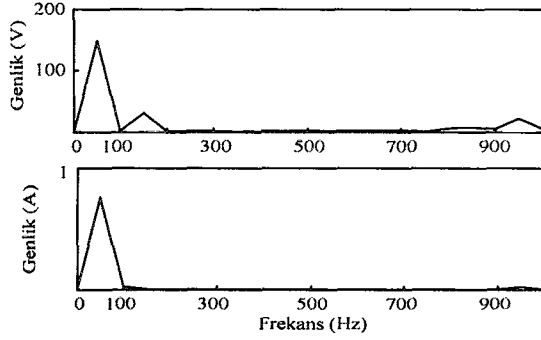
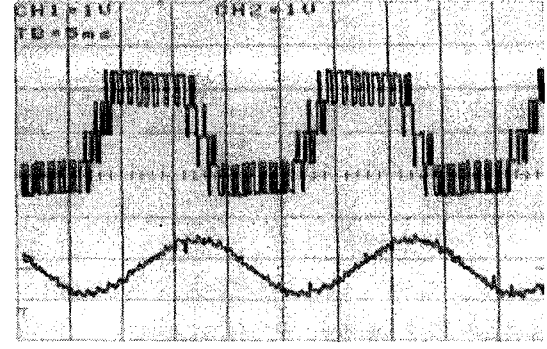
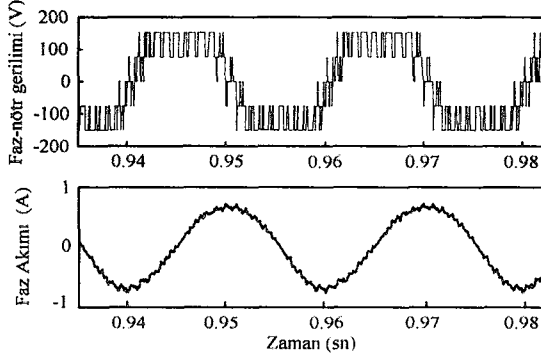
Şekil 6.18. İnverterin faz-faz gerilimi, faz akımı ve harmonik spektrumları ($M=0.75$, $f_1=30\text{Hz}$, $f_s=1500\text{Hz}$)



(a) Benzetim sonuçları

(b) Deneysel sonuçlar

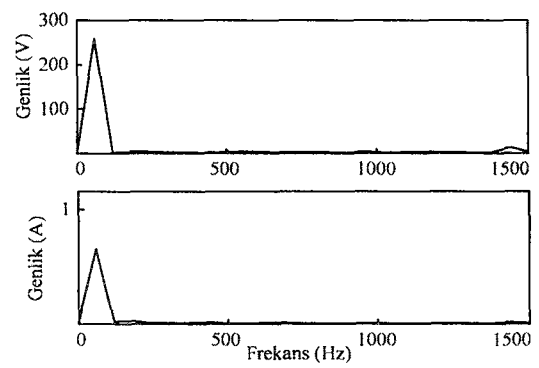
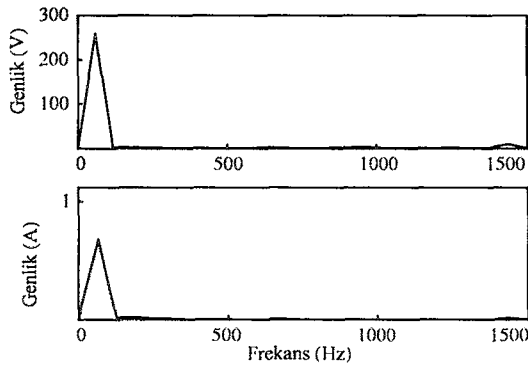
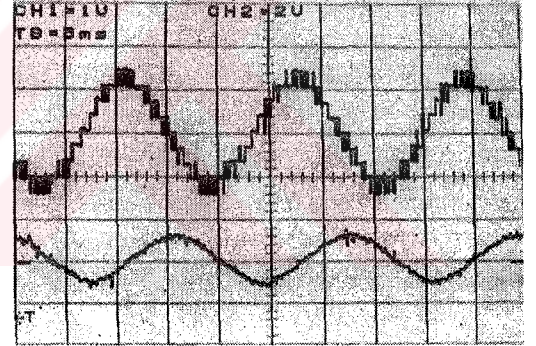
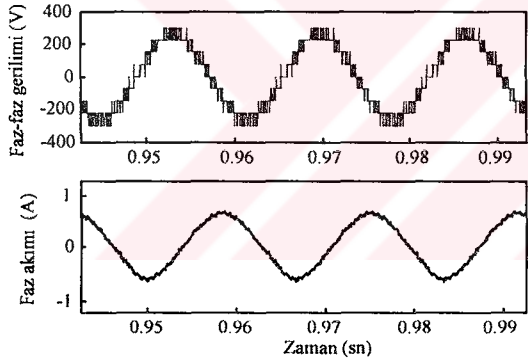
Şekil 6.19. İnverterin faz-faz gerilimi, faz akımı ve harmonik spektrumları ($M=1$, $f_1=50\text{Hz}$, $f_s=500\text{Hz}$)



(a) Benzetim sonuçları

(b) Deneyisel sonuçlar

Şekil 6.20. İnverterin faz-nötr gerilimi, faz akımı ve harmonik spektrumları ($M=1$, $f_1=50\text{Hz}$, $f_s=1000\text{Hz}$)



(a) Benzetim sonuçları

(b) Deneyisel sonuçlar

Şekil 6.21. İnverterin faz-faz gerilimi, faz akımı ve harmonik spektrumları ($M=1$, $f_1=60\text{Hz}$, $f_s=1500\text{Hz}$)

7. SONUÇ

Bu tezde, çok seviyeli inverterler için çok hızlı ve gerçekleştirmesi oldukça kolay olan bir UVDGM algoritması tanıtılmıştır. Bunun için, ilk olarak çok seviyeli inverter topolojileri ve bu topolojilerde kullanılan farklı DGM tekniklerinin kullanımı hakkında bilgilere yer verilmiştir. Daha sonra, bir 5-seviyeli kaskad inverterin laboratuvar düzeneği oluşturularak önerilen uzay vektör algoritmasına göre inverter çıkışındaki gerilimin genlik ve frekansının kontrolü gerçekleştirilmiştir. Elde edilen bu gerilimler ile bir üç-fazlı AC motor beslenerek benzetim ve deneysel sonuçlar karşılaştırmalı olarak verilmiştir.

İki ve çok seviyeli dönüştürücüler için şu anda en popüler modülasyon tekniklerinden biri UVDGM tekniğidir. UVDGM teknikleri; dc giriş geriliminin optimum kullanımı, düşük akım dalgalanması ve doğrudan programlama tekniği olduğundan bir DSP ile donanım olarak gerçekleştirmesinin kolay olması gibi avantajlara sahiptir.

Bu tezde, bir koordinat dönüşüm matrisi kullanılarak referans vektörün yerini hızlı bir şekilde saptayan ve komşu vektörlerin iletim sürelerini basit denklemler ile hesaplayan genel bir UVDGM algoritması sunulmuştur. Ayrıca, inverter anahtarlama durumlarının seçimi için ek-eb metodu olarak adlandırılan yeni bir algoritma da önerilmiştir. Bu şekildeki bir UVDGM algoritması aşağıdaki özelliklere sahip olmaktadır.

- İnverter çıkışında istenilen genlik ve frekansta ac gerilimler minimum harmonik bozulma ile elde edilmektedir.
- Önerilen bu algoritma genel, basit ve hızlıdır.
- Lineer modülasyon bölgesinin tüm değerleri için oldukça elverişlidir.
- Minimum anahtarlama geçişi sağlamaktadır.
- Koordinat dönüşümü sayesinde, kartezyen koordinat sistemindeki referans gerilim uzay vektörünün yerinin tespiti hızlı bir şekilde bulunabilmektedir.
- Referans vektörün içinde bulunduğu üçgenin koordinatları kullanılarak komşu uzay vektörlerin iletim sürelerinin hesabı basit denklemler yardımıyla yapılmaktadır.
- Önerilen algoritma sayısal gerçekleştirmeler için oldukça uygundur.

Önerilen UVDGM algoritmasının tutarlılığı Matlab/Simulink ortamında oluşturulan benzetim ve deneysel modeller ile test edilmiştir. Algoritma, eğer C dilinde veya MATLAB ortamında bir C-MEX dosyası olarak gerçekleştirilirse çevrim zamanı çok daha kısa olacaktır.

Tasarlanan inverterde izolasyonlu dc hat gerilimlerini elde etmek için 1000 μ F'lık kondansatörlerden 6 adet kullanılmıştır. Bunun sonucu olarak, doğrultucudan önceki ac giriş

tarafındaki akımda harmonikler mevcuttur. Aktif güç katsayısı düzeltme devreleri kullanılarak bu akım harmonikleri düşürülebilir.

Çok seviyeli inverterler için bugüne kadar gerçekleştirilen çalışmaların çoğu, inverter güç devresinin iyileştirilmesi ve yeni kontrol algoritmalarının türetilmesi üzerinedir. Çok sayıda güç anahtarı kullanılmasının bir sonucu olarak koruma, tetikleme devreleri ile birlikte karmaşık kontrol algoritmaları gerektirmektedirler. Yarı iletken teknolojisindeki gelişmeler ve yeni kontrol algoritmalarının türetilmesi ile gelecekte bu inverter yapıları adından çokça söz ettirecektir.



KAYNAKLAR

1. Manjrekar, M.D.; Steimer, P.K.; Lipo, T.A., 2000, Hybrid multilevel power conversion system: a competitive solution for high-power applications, IEEE Transactions on Industry Applications, Vol. 36, 834–841.
2. Wu H., He X., 2000, Research on PWM control of a cascade multilevel converter, Power Electronics and Motion Control Conference, Proceedings. PIEMC 2000. The Third International, Vol. 3, 15-18 August, 1099–1103.
3. Lai J.S., Peng F.Z., 1996, Multilevel converters-a new breed of power converters, IEEE Transactions on Industry Applications, Vol. 32, 509–517.
4. Rodriguez, J., Lai J.S., Peng F.Z., 2002, Multilevel inverters: a survey of topologies, controls, and applications, IEEE Transactions on Industrial Electronics, Vol. 49, 724–738.
5. Nabae A., Takahashi I., Akagi H., 1981, A New Neutral-Point-Clamped PWM Inverter, IEEE Transactions on Industry Applications, Vol. IA-17 No 5, 518-523.
6. Lee D.H., Lee S.R., Lee F.C., 1998, An Analysis of Midpoint Balance for the Neutral-Point-Clamped Three-Level VSI IEEE Power Electronics Specialist Conference, March 1998.
7. Suh J.H., Choi C.H., Hyun D.S., 2001, A New Simplified Space-Vector PWM Method for Three-Level Inverters, IEEE Transactions on Power Electronics, Vol.16, No.4, 545-550
8. Teodorescu R., Baabjerg F., Pedersen J.K., Cengerci E., Woo B.O., Enjeti P.N., 1999, Multilevel Converters- A Survey, Processing EPE'99.
9. Meynard T.A., Foch H., 1992, Multilevel-Level Conversion: High Voltage Choppers and Voltage-Source Inverters, IEEE PESC Conference Record, 397-403.
10. Lewis E.A., Shakweh Y., 1999, Assessment of Medium Voltage PWM VSI Topologies For Multi-Megawatt Variable Speed Drive Applications, IEEE 30th Annual Conference on Power Electronics Specialist, PESC'99. Vol. 2, 27 June, 965-971.
11. Martins C.A., Meynard T.A., Roboan X., Carvalho A.S., 1999, A predictive Sampling scale model for direct torque control of the induction machine fed by multilevel voltage-source inverters, The European Physical Journal Applied Physics, 51-61.
12. Lee S.G., Kang D.W., Lee Y.H., Hyun D.S., 2001, The Carrier-based PWM Method for Voltage Balance of Flying Capacitor Multilevel Inverters, IEEE 32nd Annual Power Electronics Specialist Conference, PESC 2001, Vol. 1, 17-21 June, 126-131.
13. Celanovic N., 2000, Space Vector Modulation and Control of Multilevel Converters, Doctor of Philosophy, Faculty of the Virginia Polytechnic Institute and State University, September, 151p.
14. Kieferndorf, R.; Venkataramanan, G.; Manjrekar, M.D., 2000, A power electronic transformer (PET) fed nine-level H-bridge inverter for large induction motor drives, Industry Applications Conference. Conference Record of the 2000 IEEE , Vol. 4, 8-12 October, 2489–2495.

15. Lai Y.S., Shyu F.S., 2002, Topology for hybrid multilevel inverter, Electric Power Applications, IEE Proceedings, Vol:149, 449-458.
16. Kou X., Corzine K.A., Wielebski M.W., 2003, Over-Distention operation on Cascaded Multilevel Inverters, IEEE International Electric Machines and Drives Conference, IEMDC'03. Vol. 3, June, 1535-1542.
17. Bircenas E., Ramirez S., Cardenas V., Echavarria R., 2002, Cascade Multilevel Inverter with Only One DC Source, CIEP 2002, 20-24 October 2002, VIII IEEE International Power Electronics Congress, CIEP 2002, 20-24 October, 171-176
18. Schippli N.P., Nguyen T., Rufer A., 1998, A Three-Phase Multilevel Converter for High-Power Induction Motors, IEEE Transactions on Power Electronics, Vol. 13, No.5, 978-986.
19. Tenconi S.M., Carpita M., Bacigalupo C., Cali R., 1995, Multilevel Voltage Source Converters for Medium Voltage Adjustable Speed Drives, IEEE International Symposium on Industrial Electrnics, ISIE'95, Vol.1, 10-14 July, 91-98.
20. Teodorescu R., Baabjerg F., Pedersen J.K., Cengerci E., Enjeti P.N., 2002, Multilevel inverter by cascading Industrial VSI, IEEE Transactions on Industrial Electronics, Vol. 49 No.4, 832-838.
21. Lin B.R., Chien Y.P., Lu H.H., 1999, Multilevel Inverter with Series Connection of H-Bridge Cells, IEEE International Conference on Power Electronics and Drive Systems, PEDS'99, July, 859-864.
22. Tolbert L.M., Peng F.Z., 2000, Multilevel Converters as a Utility Interface for Renewable Energy Systems, IEEE Power Engineering Society Summer Meeting, Vol.2, 16-20 July, 1271-1274
23. Lund R., Manjrekar M.D., Steimer P., Lipo T.A., 1999, Control Strategies for a Hiybrid Seven-level Inverter, EPE, Lausanne, Switzerland, September.
24. Manguelle J.S., Mariethoz S., Veenstra M., Rufer A., 2001, A Generalized Design Principle of a Uniform Step Asymmetrical Multilevel Converter For High Power Conversion, EPE 2001: European Conference on Power Electronics and Applications, 27-29 August,
25. Manguelle J.S., Rufer A., 2001, Asymmetrical Multilevel Inverter For Large Induction Machine Drives, Electrical Drives and Power Electronics International Conference, Slovakia, 3-5 October, 101-107.
26. Wang F., 2002, Sine-Triangle versus Space-Vector Modulation for Three-Level PWM Voltage-Source Inverters, IEEE Transactions on Industry Applications, Vol. 38 No.2, 1026-1034.
27. Corzine K.A., Baker J.R., 2002, Multilevel Voltage-Source Duty-Cycle Modulation: Analysis and Implementation, IEEE Transactions on Industrial Electronics, Vol. 49 No.5, 1009-1016.
28. Irwin J.D., 2002, *The Power Electronics Handbook*, CRC Press, New York,

29. Marchesoni, M., Mazzucchelli, M. 1993, Multilevel converters for high power AC drives: a review, *Industrial Electronics*, 1993. Conference Proceedings, ISIE'93 - Budapest., IEEE International Symposium, 1-3 June, 38-43.
30. Zhou K., Wang D., 2002, Relationship Between Space-Vector Modulation and Three-Phase Carrier-Based PWM: A Comprehensive Analysis, *IEEE Transactions on Industrial Electronics*, Vol. 49, No.1, 186-196.
31. Kang D.W., Lee Y.H., Suh B.S., Choi C.H., Hyun D.S., 2000, An Improved Carrierwave-based SVPWM Method Using Phase Voltage Redundancies for Generalized Cascaded Multilevel Inverter Topology, *Applied Power Electronics Conference and Exposition. APEC 2000. Fifteenth Annual IEEE*, Vol. 1, February, 542-548.
32. Carrara, G., Gardella, S., Marchesoni, M., Salutari, R., Sciutto, G., 1992, A new multilevel PWM method: a theoretical analysis, *IEEE Transactions on Industry Applications*, Vol. 7, 497-505.
33. Rendusara, D.A.; Cengelci, E.; Enjeti, P.N.; Stefanovic, V.R.; Gray, J.W., 2000, Analysis of common mode voltage-“neutral shift” in medium voltage PWM adjustable speed drive (MV-ASD) systems, *IEEE Transactions on Power Electronics*, Vol. 15, 1124-1133.
34. Mwinyiwiwa, B.; Wolanski, Z.; Yiqiang Chen; Boon-Teck Ooi, 1997, Multimodular multilevel converters with input/output linearity, *IEEE Transactions on Industry Applications*, Vol. 33, No. 5, 1214-1219.
35. Agelidis, V.G.; Calais, M., 1998, Application specific harmonic performance evaluation of multicarrier PWM techniques, *Power Electronics Specialists Conference. PESC 98 Record. 29th Annual IEEE*, Vol. 1, 17-22 May, 172-178.
36. Walker, G.; Ledwich, G., 1999, Bandwidth considerations for multilevel converters *IEEE Transactions on Power Electronics*, Vol. 14 No. 1, 74-81.
37. Matsui, K.; Kawata, Y.; Ueda, F., 2000, Application of parallel connected NPC-PWM inverters with multilevel modulation for AC motor drive, *IEEE Transactions on Power Electronics*, Vol. 15 No.5, 901-907
38. Tolbert L.M., Habetler T.G., 1999, Novel Multilevel Inverter Carrier-Based PWM Method, *IEEE Transactions on Industry Applications*, Vol. 36 No. 35, 1098-1107.
39. Baiju M.R., Gopakumar K., Mohapatra K.K., Somasekhar V.T., Umanand L., 2003, Five-level inverter voltage-space phasor generation for an open-end winding induction motor drive, *Electric Power Applications, IEE proceedings*, Vol.150, 531-538.
40. Loh P.C., Holmes D.G., Fukuta Y., Lipo T.A., 2003, Reduced Common Mode Carrier-Based Modulation Strategies for Cascaded Multilevel Inverters, *Applied Power Electronics Conference and Exposition, 2003. APEC '03. Eighteenth Annual IEEE*, Vol.1 February 576-582
41. Wu H., Deng Y., He X., 2002, A New Clew For Research on PWM Methods of Multilevel Inverters: Principle and Applications, *Proceeding of the Power Conversion Conference, PCC Osaka 2002*, Vol.3, 2-5 April 2002, 1251-1256.

42. Massoud A.M., Finney S.J., Williams B.W., 2003, Control Techniques for Multilevel Voltage Source Inverters, IEEE 34th Annual Conference on Power Electronics Specialist, PESC'2003. Vol. 1, 15-19 June, 171-176.
43. Fukuda S., Suzuki K., 1997, Using Harmonic Distortion Determining Factor for Harmonic Evaluation of Carrier-Based PWM Methods, Industry Applications Conference, Thity-Second IAS Annual Meeting, IAS'97., Conference Record of the 1997 IEEE, Vol. 2., 5-9 October, 1534-1541.
44. Patel H.S., Hoft R.G., 1973, Generalized Techniques of Harmonic Elimination and Voltage Control in Thyristor Inverters: Part I-Harmonic Elimination, IEEE Transactions on Industry Applications, Vol.IA-9, No.3,
45. Sirisukprasert, S.; Jih-Sheng Lai; Tian-Hua Liu, 2000, Optimum harmonic reduction with a wide range of modulation indexes for multilevel converters, Industry Applications Conference. Conference Record of the 2000 IEEE, Vol. 4, 8-12 October, 2094 –2099
46. Jiang Q., Lipo T.A., 1999, Switching Angles and DC Link Voltages Optimization for Multilevel Cascade Inverters, Electric Machines and Power Systems Conference.
47. Li L., Czarkowski D., Liu Y., and Pillay P., 2000, Multilevel Selective Harmonic Elimination PWM Technique in Series-Connected Voltage Inverters, IEEE Transactions on Industry Applications, Vol. 36 No. 1, 160-170.
48. Tolbert L.M., Peng F.Z., 1998, Multilevel Converters for Large Electric Drives, Power Electronics in Transportation, 22-23 October, 79-84.
49. Bloh J.V., Kashani O.F., Doncker R.W.D., 2000, Optimization of Multilevel voltage Source Converters for Medium-Voltage DC Transmission Systems, IEEE International Symposium on Industrial Electronics, ISIE 2000, Vol. 2, 4-8 December, 488-494.
50. Tuncer S., Tatar Y., 2002, Harmonic Optimization Method for Cascade Multilevel Inverters, 2nd FAE International Symposium", 457-460.
51. Zhang H., Jouanne A.V., Dai S., Wallace, A.K., Wang F., 2000, Multilevel inverter modulation schemes to eliminate common-mode voltages, IEEE Transactions on Industry Applications, Vol. 36 No. 6, 1645 –1653.
52. Li, L., Czarkowski, D., Liu Y., Pillay P., 2000, Multilevel Space Vector PWM Technique Based on Phase-Shift Harmonic Suppression, Applied Power Electronics Conference and Exposition. APEC 2000. Fifteenth Annual IEEE, Vol.1, February 2000, 535-541.
53. Hava A.M., Kerkman R.J., Lipo T.A., 1999, Simple analytical and graphical methods for Carrier based PWM-VSI drives, IEEE Transactions on Power Electronics, Vol. 14, 49-61.
54. Can H., 2003, Asenkron Motorların Düşük Hızlarda Duyargasız Vektör Kontrolü, Doktora Tezi, Fırat Üniversitesi Fen Bilimleri Enstitüsü, 99s.
55. Lin B.R., Lu H.H., 1999, Multilevel AC/DC/AC converter for AC drives, Electric Power Applications, IEE proceedings, Vol. 146, 397-406.
56. Lin B.R., Nam C., Lu H.H., 1999, Multilevel AC/DC/AC converter by Using Three-Level Boost Rectifier and Five-Level Diode Clamped Inverter, Power Electronics and Drive

Systems. PEDS'99. Proceedings of the IEEE 1999 International Conference on, Vol.1, July 1999, 444-449.

57. Seo J.H., Choi C.H., Hyun D.S., 2001, A New Simplified Space-Vector PWM Method for Three-Level Inverters, IEEE Transactions on Power Electronics, Vol. 16 No.4 July 2001. pp. 545-550
58. McGrath B.P., Holmes D.G., Lipo T.A., Optimised Space Vector Switching Sequences for Multilevel Inverters, IEEE Transactions on Power Electronics, Vol. 18, No.6, 1293-1301.
59. Somesekhar V.T., Baiju M.R., Mohopatra K.K., Gopakumar K., 2002, A Multilevel Inverter System for an Induction Motor with Open-end Windings, IECON 02, Industrial Electronics Society, IEEE 2002 28th Annual Conference, Vol.2, November 2002, 973-978.
60. Teodorescu R., Blaabjerg F., Pedersen J.K., Enjeti P., Cengcelci E., 1999, Space Vector Modulation Applied to Modular Multilevel Converters, 20-th PCIM'99, Nuremberg, Conference Proceedings, Intelligent Motion, 363-368.
61. Loh P.C., Holmes D.G., 2002, Flux Modulation for Multilevel Inverters, IEEE Transactions on Industry Applications, Vol. 38, No.5, 1389-1399.
62. Prats M.M., Carrasco J.M., Franguelo L.G., 2002, Effective Space-Vector Modulation Algorithm for Multilevel Converters, IECON 02, Industrial Electronic Society, IEEE 2002 28th Annual Conference, Vol. 4, November 2002, 3129-3133.
63. Peng D., Lee F.C., Boroyevich D., 2002, A Novel SVM Algorithm for Multilevel Three-Phase Converters, Power Electronics Specialists Conference. PESC 02. 2002 IEEE 33rd Annual Vol.2, June, 509-513.
64. Somasekhar V.T., Gopakumar K., 2003, Three-level inverter configuration cascading two two-level inverters, Electric Power Applications, IEE Proceedings Vol. 150, 245-254.
65. Pou J., Boroyevich D., Pindado R., 2002, New Feedforward Space-Vector PWM Method to obtain Balanced AC Output Voltages in a Three-Level Neutral-Point-Clamped Converter, IEEE Transactions on Industrial Electronics, Vol. 49 No.5, 1026-1034.
66. Wei S., Wu B., Li F., Sun X., 2003, Control Method for Cascaded H-Bridge Multilevel Inverter with Faulty Power Cells, Applied Power Electronics Conference and Exposition. APEC'03. Eighteenth Annual IEEE, Vol.1, February 2003, 261-267.
67. Celanovic, N.; Boroyevich, D., 2001, A fast space-vector modulation algorithm for multilevel three-phase converters, IEEE Transactions on Industry Applications, Vol. 37, No.2, 637-641.
68. Wei S., Wu B., Li F., Liu C., 2003, A general Space Vector PWM Control Algorithm for Multilevel Inverters, Applied Power Electronics Conference and Exposition. APEC'03. Eighteenth Annual IEEE, Vol. 1. February, 562-568.
69. Implementing Space Vector Modulation with the ADMC40 1, Analog devices inc., January 2000.
70. General Considerations for IGBT and Intelligent Power Modules, Powerex inc.,

71. Inverter Interface and Digital Dead time Generator for 3-Phase PWM Controls, IXYS inc., 1998.
72. Walker G.R., 1999, Modulation and Control of Multilevel Converters, Doctor of Philosophy, Department of Computer Science and Electrical Engineering, University of Queensland, November, pp.202
73. Tolbert L.M., Peng F.Z., Cunnyingham T., Chiasson J.N., 2002, Charge Balance Control Schemes for Cascade Multilevel Converter in Hybrid Electric Vehicles, IEEE Transactions on Industry Electronics, Vol. 49 No.5, 1058-1064.
74. Tatar Y., 1994, Sayısal İşaret İşlemci temelli darbe genişlik Modülasyonlu Frekans Eviricisi ile Sincap kafesli Asenkron Motor Kontrolü İçin İşaret Üretimi, Doktora Tezi, Fırat Üniversitesi, Fen Bilimleri Enstitüsü.



ÖZGEÇMİŞ

Servet TUNCER

Fırat Üniversitesi
Teknik Eğitim Fakültesi
Elektronik-Bilgisayar Eğitimi Bölümü
23119, Elazığ

Tel: 424-2370000- 6294

stuncer@firat.edu.tr

- 1972** Elazığ 'da doğdu.
- 1989-1993** Fırat Üniversitesi Mühendislik Fakültesi Elektrik-Elektronik Mühendisliği Bölümünden mezun oldu.
- 1995-1999** Fırat Üniversitesi, Fen Bilimleri Enstitüsü, Elektrik-Elektronik Mühendisliği Anabilim Dalında “Değişken Hızlı Sürücü Sistemleri İçin Fuzzy Denetleyicili Yeni Bir Algoritmanın Geliştirilmesi ve Uygulaması” konusunda yaptığı tez çalışması ile Yüksek Mühendis derecesini aldı.
- 1996-** Fırat Üniversitesi Teknik Eğitim Fakültesi, Elektronik-Bilgisayar Eğitimi Bölümünde öğretim görevlisi olarak çalışmaktadır.

EKLER

EK-1. Benzetim ve deneysel çalışmalarda kullanılan AC motorun parametreleri

Nominal Güç	:1 kw
Faz-faz gerilimi	:380V
Frekans, f	:50Hz
Stator direnci, R_s	:9.655 Ω
Rotor direnci, R_r	:6.490 Ω
Stator indüktansı, L_s	:25.88mH
Rotor indüktansı, L_r	:25.88mH
Ortak inductance, L_m	:515mH
Atalet momenti, j	:0.00055 kgm ²
Kutup sayısı, p	:2



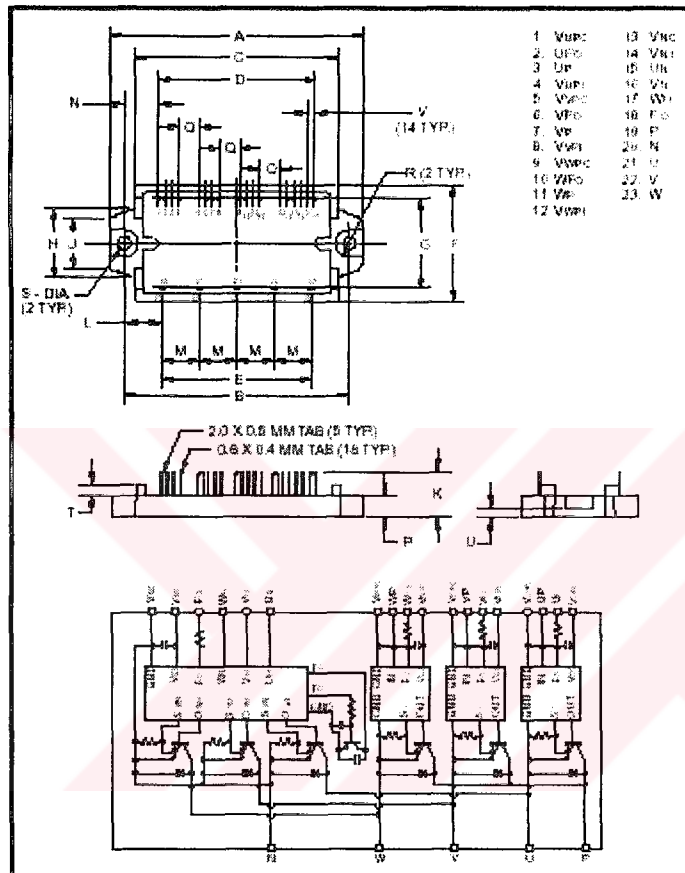
EK-2. IPM ve çevre birimlerinin teknik özellikleri

EK-2.1. PM20CSJ060 IPM

MITSUBISHI INTELLIGENT POWER MODULES

PM20CSJ060

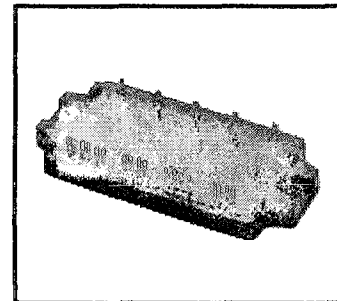
FLAT-BASE TYPE
INSULATED PACKAGE



Outline Drawing and Circuit Diagram

Dimensions	Inches	Millimeters
A	3.72±0.04	94.5±1.0
B	3.33±0.02	84.5±0.5
C	2.99	76.0
D	2.300±0.02	58.42±0.5
E	2.20±0.02	56.0±0.5
F	1.73±0.04	44.0±1.0
G	1.32±0.03	33.6±0.8
H	1.01	25.7
J	0.75	19.0
K	0.71±0.04	18.0±1.0

Dimensions	Inches	Millimeters
L	0.581	14.25
M	0.55±0.01	14.0±0.25
N	0.513	13.04
P	0.31±0.02	8.0±0.5
Q	0.300	7.62
R	0.20 Rad	Rad. 5.0
S	0.18 Dia.	Dia. 4.5
T	0.14	3.5
U	0.13±0.02	3.2±0.5
V	0.100±0.01	2.54±0.25



Description:

Mitsubishi Intelligent Power Modules are isolated base modules designed for power switching applications operating at frequencies to 20kHz. Built-in control circuits provide optimum gate drive and protection for the IGBT and free-wheel diode power devices.

Features:

- ☐ Complete Output Power Circuit
- ☐ Gate Drive Circuit
- ☐ Protection Logic
 - Short Circuit
 - Over Current
 - Over Temperature
 - Under Voltage

Applications:

- ☐ Inverters
- ☐ UPS
- ☐ Motion/Servo Control
- ☐ Power Supplies

Ordering Information:

Example: Select the complete part number from the table below
i.e. PM20CSJ060 is a 600V, 20 Ampere Intelligent Power Module.

Type	Current Rating Amperes	$V_{CE(s)}$ Volts (x 10)
PM	20	60

Sep.2000



PM20CSJ060

 FLAT-BASE TYPE
 INSULATED PACKAGE

 Absolute Maximum Ratings. $T_j = 25^{\circ}\text{C}$ unless otherwise specified

	Symbol	Ratings	Units
Power Device Junction Temperature	T_j	-20 to 150	$^{\circ}\text{C}$
Storage Temperature	T_{stg}	-40 to 125	$^{\circ}\text{C}$
Case Operating Temperature	T_C	-20 to 100	$^{\circ}\text{C}$
Mounting Torque, M4 Mounting Screws	—	0.98 ~ 1.47	N · m
Module Weight (Typical)	—	60	Grams
Supply Voltage Protected by OC and SC ($V_D = 13.5 \sim 16.5\text{V}$, Inverter Part)	$V_{CC(\text{prot.})}$	400	Volts
Isolation Voltage (Main Terminal to Baseplate, AC 1 min.)	V_{iso}	2500	Vrms

Control Sector

Supply Voltage (Applied between $V_{UP1} \sim V_{UPC}$, $V_{UP1} \sim V_{UPC}$, $V_{WP1} \sim V_{WPC}$, $V_{NT} \sim V_{NC}$)	V_D	20	Volts
Input Voltage (Applied between $U_P \sim V_{UPC}$, $V_P \sim V_{WPC}$, $W_P \sim V_{WPC}$, $U_N \sim V_N$, $W_N \sim V_{NC}$)	V_{OH}	20	Volts
Fault Output Supply Voltage (Applied between $U_{FO} \sim V_{UPC}$, $V_{FO} \sim V_{WPC}$, $W_{FO} \sim V_{WPC}$, $F_O \sim V_{NC}$)	V_{FO}	20	Volts
Fault Output Current (Sink Current of U_{FO} , V_{FO} , W_{FO} and F_O Terminal)	I_{FO}	20	mA

IGBT Inverter Sector

Collector-Emitter Voltage ($V_D = 15\text{V}$, $V_{OH} = 15\text{V}$)	V_{CES}	600	Volts
Collector Current, ($T_C = 25^{\circ}\text{C}$)	I_C	20	Ampere
Peak Collector Current, ($T_C = 25^{\circ}\text{C}$)	I_{CP}	40	Ampere
Supply voltage (Applied between P - N)	V_{OC}	450	Volts
Supply Voltage, Surge (Applied between P - N)	$V_{CC(\text{surge})}$	500	Volts
Collector Dissipation	P_C	50	Watts



Inverter Interface and Digital Deadtime Generator for 3-Phase PWM Controls

Type	Package	Configuration	Temp. Range
IXDP630 PI	18-Pin Plastic DIP	RC Oscillator	-40 C to +85 C
IXDP631 PI	18-Pin Plastic DIP	Crystal Oscillator	-40 C to +85 C

This 5 V HCMOS integrated circuit is intended primarily for application in three-phase, sinusoidally commutated brushless motor, induction motor, AC servomotor or UPS PWM modulator control systems. It injects the required deadtime to convert a single phase leg PWM command into the two separate logic signals required to drive the upper and lower semiconductor switches in a PWM inverter. It also provides facilities for output disable and fast overcurrent and fault condition shutdown.

In the IXDP630, deadtime programming is achieved by an internal RC oscillator. In the IXDP631, programming is achieved by use of a crystal oscillator. An alternative for both the IXDP630/631 is with an external clock signal. Because of its flexibility, the IXDP630/631 is easily utilized in a variety of brushed DC, trapezoidally commutated brushless DC, hybrid and variable reluctance step and other more exotic PWM motor drive power and control circuit designs.

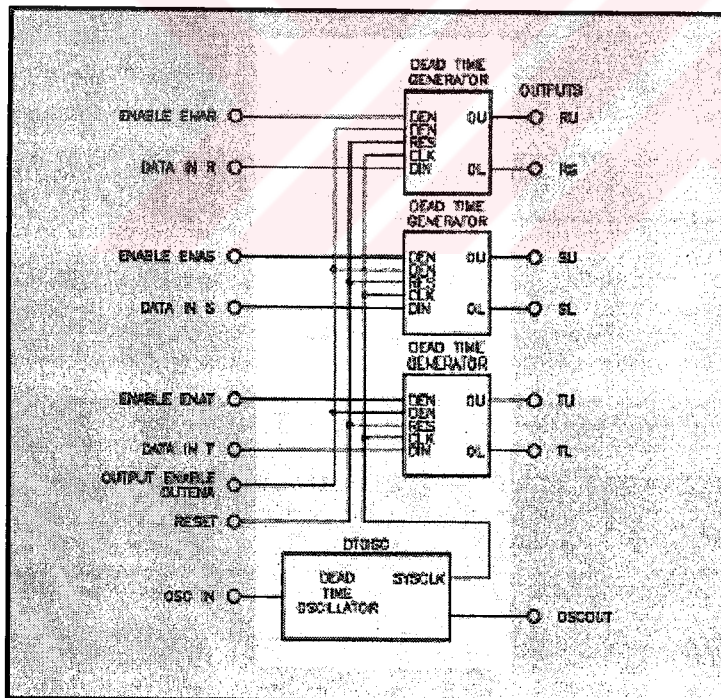
Features

- 5 V HCMOS logic implementation maintains low power at high speed
- Schmitt trigger inputs and CMOS logic levels improve noise immunity
- Simultaneously injects equal deadtime in up to three output phases
- Replaces 10-12 standard SS/MSI logic devices
- Allows a wide range of PWM modulation strategies
- Directly drives high speed optocouplers

Applications

- 1- and 3- Phase Motion Controls
- 1- and 3- Phase UPS Systems
- General Power Conversion Circuits
- Pulse Timing and Waveform Generation
- General Purpose Delay and Filter
- General Purpose Three Channel "One Shot"

Block Diagram IXDP 630/IXDP 631



IXYS reserves the right to change limits, test conditions and dimensions

EK-2.3. Köprü Doğrultucu

26MT../36MT.. Series

Bulletin I2771 rev. D 08/97

International
IOR Rectifier

ELECTRICAL SPECIFICATIONS

Voltage Ratings

Typenumber	Voltage Code	V_{RRM} , maximum repetitive peak reverse voltage V	V_{RSM} , maximum non-repetitive peak rev. voltage V	I_{RRM} max. @ T_J max. mA
26MT../36MT..	5	50	75	2
	10	100	150	
	20	200	275	
	40	400	500	
	60	600	725	
	80	800	900	
	100	1000	1100	
	120	1200	1300	
	140	1400	1500	
	160	1600	1700	

Forward Conduction

Parameters	26MT	36MT	Units	Conditions
I_O Maximum DC output current @ T_c	25 70	35 60	A °C	120° Rect Conduction angle
I_{FSM} Maximum peak, one-cycle non-repetitive forward current Initial $T_J = T_J$ max.	360 375 300 314	475 500 400 420	A	$t = 10ms$ No voltage $t = 8.3ms$ reapplied $t = 10ms$ 100% V_{RRM} $t = 8.3ms$ reapplied
I^2t Maximum I^2t for fusing Initial $T_J = T_J$ max.	635 580 450 410	1130 1030 800 730	A ² s	$t = 10ms$ No voltage $t = 8.3ms$ reapplied $t = 10ms$ 100% V_{RRM} $t = 8.3ms$ reapplied
$I^2\sqrt{t}$ Maximum $I^2\sqrt{t}$ for fusing	6360	11300	A ² √s	I^2t for time $t_x = I^2t_x / I_x^2$; $0.1 \leq t_x \leq 10ms$, $V_{RRM} = 0V$
$V_{F(TO)1}$ Low-level of threshold voltage	0.88	0.86	V	$(16.7\% \times \pi \times I_{FAV}) < I < \pi \times I_{FAV}$, @ T_J max.
$V_{F(TO)2}$ High-level of threshold voltage	1.13	1.03		$(I > \pi \times I_{FAV})$, @ T_J max.
r_{f1} Low-level forward slope resistance	7.9	6.3	mΩ	$(16.7\% \times \pi \times I_{FAV}) < I < \pi \times I_{FAV}$, @ T_J max.
r_{f2} High-level forward slope resistance	5.2	5.0		$(I > \pi \times I_{FAV})$, @ T_J max.
V_{FM} Maximum forward voltage drop	1.26	1.19	V	$T_J = 25^\circ C$, $I_{FM} = 40A_{pk}$ - Per single Junction
I_{RRM} Max. DC reverse current	100		μA	$T_J = 25^\circ C$, per Junction at rated V_{RRM}
V_{INS} RMS isolation voltage	2700		V	$T_J = 25^\circ C$, All terminal shorted $f = 50Hz$, $t = 1s$



Single Channel, High Speed Optocouplers

Technical Data

6N135/6
HCNW135/6
HCNW4502/3
HCPL-0452/3
HCPL-0500/1
HCPL-4502/3

Features

- 15 kV/ μ s Minimum Common Mode Transient Immunity at $V_{CM} = 1500$ V (4503/0453)
- High Speed: 1 Mb/s
- TTL Compatible
- Available in 8-Pin DIP, SO-8, Widebody Packages
- Open Collector Output
- Guaranteed Performance from Temperature: 0°C to 70°C
- Safety Approval
UL Recognized – 2500 V rms for 1 minute (5000 V rms for 1 minute for HCNW and Option 020 devices) per UL1577

CSA Approved

- VDE 0884 Approved
– $V_{DSM} = 630$ V peak for HCPL-4503#000
– $V_{DSM} = 1414$ V peak for HCNW devices
BSI Certified (HCNW devices only)

- Dual Channel Version Available (253X/4534/053X/0534)

- MIL-STD-1772 Version Available (65XX/65XX/4N65)

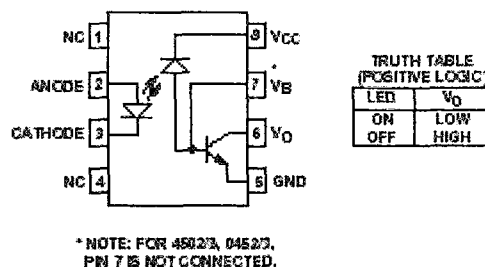
Applications

- High Voltage Insulation
- Video Signal Isolation
- Power Transistor Isolation in Motor Drives
- Line Receivers
- Feedback Element in Switched Mode Power Supplies
- High Speed Logic Ground Isolation – TTL/TTL, TTL/CMOS, TTL/LSTTL
- Replaces Pulse Transformers
- Replaces Slow Phototransistor Isolators
- Analog Signal Ground Isolation

Description

These diode-transistor optocouplers use an insulating layer between a LED and an integrated photodetector to provide electrical insulation between input and output. Separate connections for the photodiode bias and output-transistor collector increase the speed up to a hundred times that of a conventional phototransistor coupler by reducing the base-collector capacitance.

Functional Diagram



A 0.1 μ F bypass capacitor must be connected between pins 5 and 8.

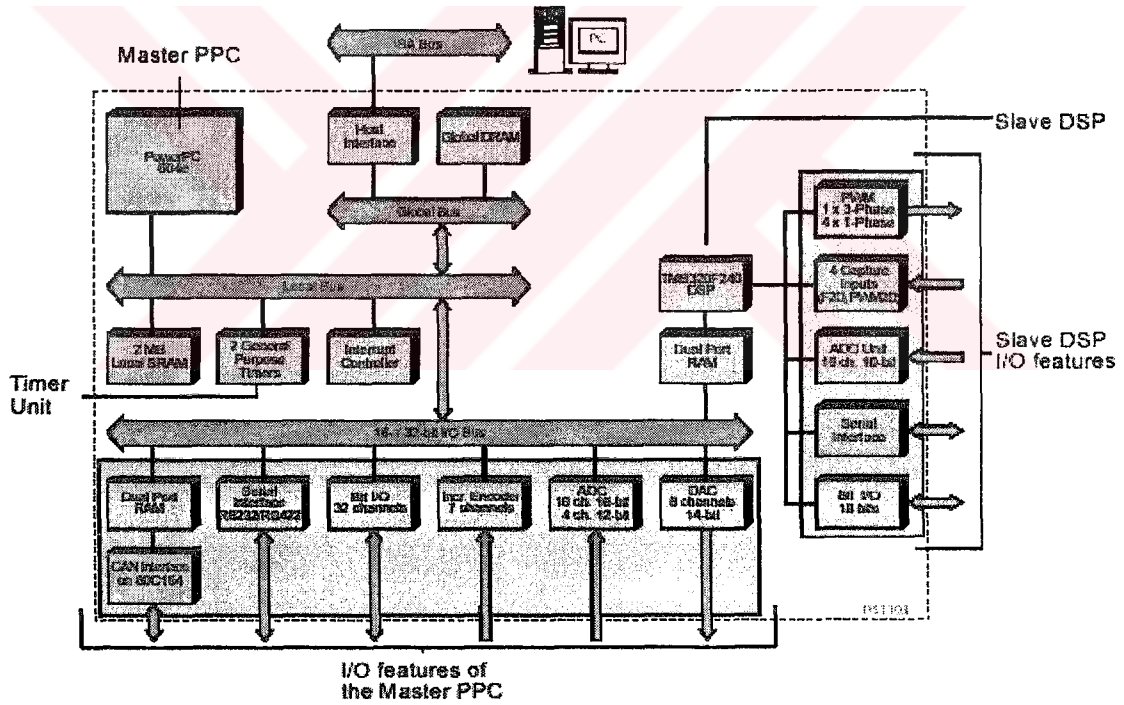
CAUTION: It is advised that normal static precautions be taken in handling and assembly of this component to prevent damage and/or degradation which may be induced by ESD.

EK-3. dSPACE DS1103 Denetleyici Kartın Özellikleri

EK-3.1. DS1103 PPC denetleyici kartın teknik özellikleri

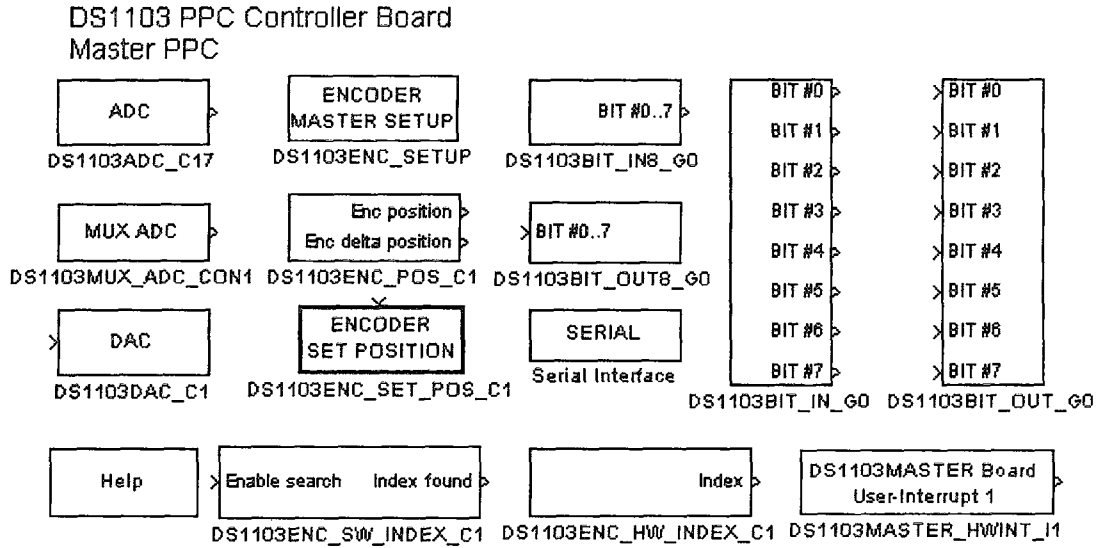
- Motorola PowerPC 604e / 333 MHz
- Slave DSP Texas Instruments TMS320F240 Subsystem
- 2 general purpose timers
- 2 MB local SRAM
- 32 MB global DRAM
- 4 ADC units 16 bit, multiplexed (4 channels each), 4 μ s sampling time *
- 4 ADC channels 12 bit, 800 ns sampling time *
- 8 DA channels, 14 bit, 5 μ s settling time
- Incremental encoder interface (6 digital inputs and 1 analog input)
- 4 channels with 8 bits of digital I/O
- Serial interface
- CAN interface
- Three-phase PWM outputs plus 4 single PWM outputs

EK-3.2. DS1103 mimarisi ve fonksiyonel birimleri

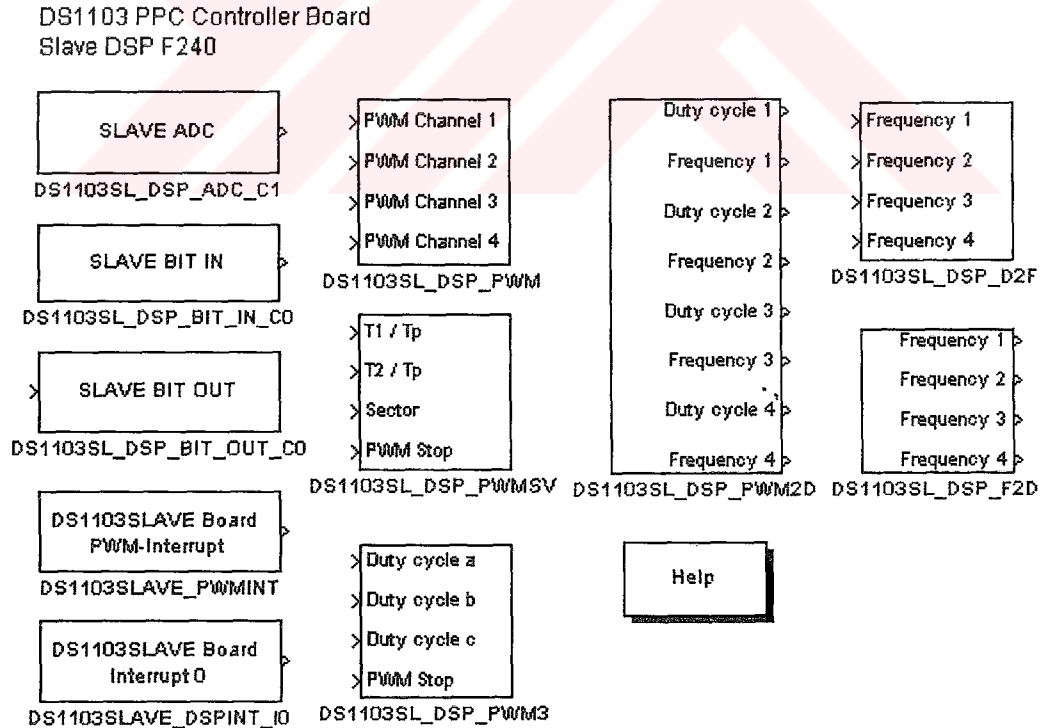


EK-4. RTI blokları

EK-4.1. DS1103'ün Master PPC'si için RTI blokları



Ek-4.2. DS1103'ün Slave DSP'si için RTI blokları



EK-5. I-VI sektörleri için tüm anahtarlama durumları

I.Sektörde (g,h) uzay vektörü için karşılık gelen tüm anahtarlama durumları.

$[V_a,$	$V_b,$	$V_c]$
$[g+h-m,$	$h-m,$	$-m]$
$[g+h-m+1,$	$h-m+1,$	$-m+1]$
$[g+h-m+2,$	$h-m+2,$	$-m+2]$
.....		
$[m$	$m-g$	$m-g-h]$

II.Sektörde (g,h) uzay vektörü için karşılık gelen tüm anahtarlama durumları.

$[V_a,$	$V_b,$	$V_c]$
$[h-m,$	$g+h-m,$	$-m]$
$[h-m+1,$	$g+h-m+1,$	$-m+1]$
$[h-m+2,$	$g+h-m+2,$	$-m+2]$
.....		
$[m-g,$	$m,$	$m-g-h]$

III.Sektörde (g,h) uzay vektörü için karşılık gelen tüm anahtarlama durumları.

$[V_a,$	$V_b,$	$V_c]$
$[-m$	$g+h-m,$	$h-m]$
$[-m+1$	$g+h-m+1,$	$h-m+1]$
$[-m+2$	$g+h-m+2,$	$h-m+2]$
.....		
$[m-g-h$	m	$m-g]$

IV. Sektörde (g,h) uzay vektörü için karşılık gelen tüm anahtarlama durumları.

$[V_a,$	$V_b,$	$V_c]$
$[-g-h+m,$	$-h+m,$	$m]$
$[-g-h+m-1,$	$-h+m-1,$	$m-1]$
$[-g-h+m-2,$	$-h+m-2,$	$m-2]$
.....		
$[-m$	$-m+g$	$-m+g+h]$

V.Sektörde (g,h) uzay vektörü için karşılık gelen tüm anahtarlama durumları.

$[V_a,$	$V_b,$	$V_c]$
$[-h+m,$	$-g-h+m,$	$m]$
$[-h+m-1,$	$-g-h+m-1,$	$m-1]$
$[-h+m-2,$	$-g-h+m-2,$	$m-2]$
.....		
$[-m+g,$	$-m,$	$-m+g+h]$

VI.Sektörde (g,h) uzay vektörü için karşılık gelen tüm anahtarlama durumları.

$[V_a,$	$V_b,$	$V_c]$
$[m$	$-g-h+m,$	$-h+m]$
$[m-1$	$-g-h+m-1,$	$-h+m-1]$
$[m-2$	$-g-h+m-2,$	$-h+m-2]$
.....		
$[-m+g+h$	$-m$	$-m+g]$

EK-6. I-VI sektörleri için ek-eb metoduna göre anahtarlama durumları.

I. Sektör		
$V_1(1)=[g+h-m, h-m, -m]$	$V_2(1)=[g+h-m, h-m, -m]$	$V_3(1)=[g+h-m, h-m, -m]$
$V_1(2)=V_1(1)+n_{sw1}-1, (n_{sw1} \neq 1)$	$V_2(2)=V_2(1)+n_{sw2}-1, (n_{sw2} \neq 1)$	$V_3(2)=V_3(1)+n_{sw3}-1, (n_{sw3} \neq 1)$
$V_1(2)=V_1(1), (n_{sw1}=1)$	$V_2(2)=V_2(1), (n_{sw2}=1)$	$V_3(2)=V_3(1), (n_{sw3}=1)$

II. Sektör		
$V_1(1)=[g+h-m, h-m, -m]$	$V_2(1)=[g+h-m, h-m, -m]$	$V_3(1)=[g+h-m, h-m, -m]$
$V_1(2)=V_1(1)+n_{sw1}-1, (n_{sw1} \neq 1)$	$V_2(2)=V_2(1)+n_{sw2}-1, (n_{sw2} \neq 1)$	$V_3(2)=V_3(1)+n_{sw3}-1, (n_{sw3} \neq 1)$
$V_1(2)=V_1(1), (n_{sw1}=1)$	$V_2(2)=V_2(1), (n_{sw2}=1)$	$V_3(2)=V_3(1), (n_{sw3}=1)$

III. Sektör		
$V_1(1)=[-m, g-m, -g-h-m]$	$V_2(1)=[-m, g-m, -g-h-m]$	$V_3(1)=[-m, g-m, -g-h-m]$
$V_1(2)=V_1(1)+n_{sw1}-1, (n_{sw1} \neq 1)$	$V_2(2)=V_2(1)+n_{sw2}-1, (n_{sw2} \neq 1)$	$V_3(2)=V_3(1)+n_{sw3}-1, (n_{sw3} \neq 1)$
$V_1(2)=V_1(1), (n_{sw1}=1)$	$V_2(2)=V_2(1), (n_{sw2}=1)$	$V_3(2)=V_3(1), (n_{sw3}=1)$

IV. Sektör		
$V_1(1)=[g+h+m, h+m, m]$	$V_2(1)=[g+h+m, h+m, m]$	$V_3(1)=[g+h+m, h+m, m]$
$V_1(2)=V_1(1)-n_{sw1}+1, (n_{sw1} \neq 1)$	$V_2(2)=V_2(1)-n_{sw2}+1, (n_{sw2} \neq 1)$	$V_3(2)=V_3(1)-n_{sw3}+1, (n_{sw3} \neq 1)$
$V_1(2)=V_1(1), (n_{sw1}=1)$	$V_2(2)=V_2(1), (n_{sw2}=1)$	$V_3(2)=V_3(1), (n_{sw3}=1)$

V. Sektör		
$V_1(1)=[g+h+m, h+m, m]$	$V_2(1)=[g+h+m, h+m, m]$	$V_3(1)=[g+h+m, h+m, m]$
$V_1(2)=V_1(1)-n_{sw1}+1, (n_{sw1} \neq 1)$	$V_2(2)=V_2(1)-n_{sw2}+1, (n_{sw2} \neq 1)$	$V_3(2)=V_3(1)-n_{sw3}+1, (n_{sw3} \neq 1)$
$V_1(2)=V_1(1), (n_{sw1}=1)$	$V_2(2)=V_2(1), (n_{sw2}=1)$	$V_3(2)=V_3(1), (n_{sw3}=1)$

VI. Sektör		
$V_1(1)=[m, -h+m, -g-h+m]$	$V_2(1)=[m, -h+m, -g-h+m]$	$V_3(1)=[m, -h+m, -g-h+m]$
$V_1(2)=V_1(1)-n_{sw1}+1, (n_{sw1} \neq 1)$	$V_2(2)=V_2(1)-n_{sw2}+1, (n_{sw2} \neq 1)$	$V_3(2)=V_3(1)-n_{sw3}+1, (n_{sw3} \neq 1)$
$V_1(2)=V_1(1), (n_{sw1}=1)$	$V_2(2)=V_2(1), (n_{sw2}=1)$	$V_3(2)=V_3(1), (n_{sw3}=1)$