

**BÖLGE VE SEKTÖR TESPİTİNDE YAPAY SINIR AĞLARI KULLANAN UZAY
VEKTÖR DARBE GENİŞLİK MODÜLASYON KONTROLLÜ KASKAT BAĞLI ÜÇ
SEVİYELİ EVİRİCİ TASARIMI**

Yük. Müh. Ayşe KOCALMIŞ BİLHAN

Doktora Tezi

Elektrik Elektronik Mühendisliği Anabilim Dalı

Danışman: Prof. Dr. Sedat SÜNTER

NİSAN 2012

**T.C
FIRAT ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

**BÖLGE VE SEKTÖR TESPİTİNDE YAPAY SİNİR AĞLARI KULLANAN UZAY
VEKTÖR DARBE GENİŞLİK MODÜLASYON KONTROLLÜ KASKAT BAĞLI ÜÇ
SEVİYELİ EVİRİCİ TASARIMI**

DOKTORA TEZİ

Yük. Müh. Ayşe KOCALMIŞ BİLHAN

(05131203)

**Tezin Enstitüye Verildiği Tarih: 20 Mart 2012
Tezin Savunulduğu Tarih: 09 Nisan 2012**

Tez Danışmanı: Prof. Dr. Sedat SÜNTER (F.Ü.)

Diğer Jüri Üyeleri : Doç. Dr. M. Timur AYDEMİR (G.Ü.)

Doç. Dr. Yetkin TATAR (F.Ü.)

Doç. Dr. Hüseyin ALTUN (F.Ü.)

Yrd. Doç. Dr. Mehmet ÖZDEMİR (F.Ü.)

NİSAN-2012

**T.C
FIRAT ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

**BÖLGE VE SEKTÖR TESPİTİNDE YAPAY SİNİR AĞLARI KULLANAN UZAY
VEKTÖR DARBE GENİŞLİK MODÜLASYON KONTROLLÜ KASKAT BAĞLI ÜÇ
SEVİYELİ EVİRİCİ TASARIMI**

DOKTORA TEZİ

Yük. Müh. Ayşe KOCALMIŞ BİLHAN

(05131203)

Anabilim Dalı: Elektrik Elektronik Mühendisliği

Programı: Elektrik Makineleri

Danışman: Prof. Dr. Sedat SÜNTER

Tezin Enstitüye Verildiği Tarih: 20 Mart 2012

NİSAN-2012

ÖNSÖZ

Tez çalışmamın her aşamasında, değerli katkılarını ve engin hoşgörülerini esirgemeyen danışman hocam Sayın Prof. Dr. Sedat SÜNTER'e saygı ve şükranlarımı sunarım.

Türkiye Bilimsel ve Teknolojik Araştırma Kurumuna (TÜBİTAK)-108E151 numaralı proje kapsamında vermiş oldukları destekten dolayı teşekkür ederim.

Tez çalışmalarım sırasında desteklerini esirgemeyen Arş. Gör. Dr. Abuzer ÇALIŞKAN'a, Yrd. Doç. Dr. Sencer ÜNAL'a ve Yrd. Doç. Dr. Ömür AYDOĞMUŞ'a, ve teşekkürlerimi sunarım.

Özellikle, tez çalışmalarım sırasında benden manevi desteğini esirgemeyen eşim Ömer BİLHAN'a, varlığıyla hayatıma ayrı bir anlam katan oğlum Ömer Aras BİLHAN'a ve hayatımın her aşamasında desteklerini hissettiğim anneme, babama ve kardeşime göstermiş oldukları sabır ve anlayıştan dolayı sonsuz sevgilerimi ve teşekkürlerimi sunarım.

Ayşe KOCALMIŞ BİLHAN

Elazığ – 2012

İÇİNDEKİLER

Sayfa No

İÇİNDEKİLER.....	III
ÖZET	VII
SUMMARY	VI
ŞEKİLLER LİSTESİ	VII
TABLolar LİSTESİ	XIVII
SEMBOLLER LİSTESİ	XV
KISALTMALAR LİSTESİ	XVI
1. GİRİŞ.....	1
1.1 Genel Bakış	1
1.2 Tezin Amacı	4
1.3 Tezin Yapısı.....	4
2. EVİRİCİLER.....	6
2.1 Giriş	6
2.2 Akım Kaynaklı Eviriciler	7
2.3 Gerilim Kaynaklı Eviriciler	7
2.4 Çok Seviyeli Eviriciler	8
2.4.1 Diyot Kenetlemeli Çok Seviyeli Evirici.....	9
2.4.2 Kapasite Kenetlemeli Çok Seviyeli Evirici.....	11
2.4.3 Kaskat Bağlı Çok Seviyeli Evirici.....	14
2.5 Bölüm Sonuçları	16
3. ÜÇ SEVİYELİ KASKAT BAĞLI EVİRİCİ VE UZAY VEKTÖR DARBE	
GENİŞLİK MODÜLASYON TEKNİĞİ.....	17
3.1 Giriş	17
3.2 Üç Seviyeli Kaskat Bağlı Evirici.....	19
3.3 Uzay Vektör Darbe Genişlik Modülasyon (UVDGM) Tekniği	21
3.3.1 İki Seviyeli Uzay Vektör Darbe Genişlik Modülasyon Tekniği	23
3.3.2 Üç Seviyeli Uzay Vektör Darbe Genişlik Modülasyon Tekniği	27
3.4 Bölüm Sonuçları	34
4. YAPAY ZEKÂ HESAPLAMA YÖNTEMİNİN ÜÇ SEVİYELİ KASKAT	
BAĞLI EVİRİCİYE UYGULANMASI	35
4.1 Giriş	35
4.2 Yapay Sinir Ağları (YSA) Tanımı ve Özellikleri.....	37
4.3 Yapay Sinir Ağlarında Öğrenme Algoritmaları	45
4.3.1 Hebb Öğrenme Kuralı	45
4.3.2 Widrow-Hoff Öğrenme Kuralı	45

4.3.3 Hopfield Öğrenme Kuralı	46
4.3.4 Kohonen Öğrenme Kuralı	46
4.3.5 Levenberg Marquardt Öğrenme Kuralı.....	46
4.4 Yapay Sinir Ağlarının Öğrenme Alanları	47
4.5 Yapay Sinir Ağlarını Kullanarak Üç Seviyeli Eviriciler İçin Sektör ve Bölge Tespiti	47
4.6 Bölüm Sonuçları.....	52

5. ÜÇ SEVİYELİ KASKAT BAĞLI ÇOK SEVİYELİ EVİRİCİ DEVRESİNİN

TASARIMI.....	53
5.1 Giriş.....	53
5.2 Üç Seviyeli Eviricinin ve Besleme Devresinin Tasarımı	53
5.3 Akım ve Gerilim Algılayıcılar	57
5.4 IPM'lerin Besleme Kaynaklarının Tasarımı	57
5.5 Ölü Zaman Devresi	58
5.6 Sigortalar	60
5.7 Snubber Devre Tasarımı.....	60
5.8 Bölüm Sonuçları.....	61

6. ÜÇ SEVİYELİ EVİRİCİDEN ELDE EDİLEN BENZETİM VE DENEYSEL

SONUÇLAR.....	63
6.1 Giriş.....	63
6.2 R-L Yüklü UVDGM Tekniği ile Kontrol Edilen Kaskat Bağlı Üç Seviyeli Eviricinin Benzetim ve Deneysel Sonuçları.....	67
6.3 3-Fazlı Bir Asenkron Motoru Besleyen UVDGM Tekniği ile Kontrol Edilen Kaskat Bağlı Üç Seviyeli Eviricinin Deneysel Sonuçları	73
6.3 Bölüm Sonuçları.....	82

7. SONUÇLAR

KAYNAKLAR.....

EKLER

ÖZGEÇMİŞ

ÖZET

Doğru akım kaynaklarıyla çalışamayan, alternatif akıma ihtiyaç duyan sistemler için doğru akımın alternatif akıma dönüştürülmesi gerekir. Bu amaçla, eviriciler adı verilen devreler geliştirilmiştir. Ancak eviricilerin yüksek güç uygulamalarında kullanımlarında anahtarlama kayıplarının artması sebebiyle, çok seviyeli evirici olarak adlandırılan devre yapıları geliştirilmiştir. Çok seviyeli evirici devreleriyle; çıkış gerilimi daha az bozuk, düşük anahtarlama frekanslı ve yüksek verimli olarak üretilebilirler.

Çok seviyeli eviricilerde amaç, çıkış geriliminin hem genliğinin hem de frekansının kontrol edilmesiyle birlikte oldukça sinüsoidal bir dalga şekli elde etmektir. Bu amaçla eviricilerin gerilim ve frekansının kontrol edilebilmesi için darbe genişlik modülasyon teknikleri geliştirilmiştir. Son yıllarda üzerinde en çok durulan darbe genişlik modülasyon tekniği uzay vektör darbe genişlik modülasyon (UVDGM) tekniğidir. Çünkü UVDGM tekniğinin mikroişlemciler ile uygulanması kolaydır ve bu teknikle tüm anahtarlama durumları ve kısıtlamalarının üstesinden kolayca gelinebilmektedir. Ayrıca bu teknikle çıkışta daha iyi harmonik performans sunulmaktadır.

Bu tez çalışmasında, üç seviyeli kaskat bağlı eviricinin MATLAB/simulink benzetimi yapılarak pratik devresi tasarlanmıştır. İlk olarak UVDGM algoritmasında sektör ve bölge tespiti yapay sinir ağları kullanılarak tespit edilmiştir. Daha sonra modelde klasik üç seviyeli UVDGM tekniği algoritmasının RL yükü ve motor yükleri için sonuçları alınmıştır.

Anahtar Kelimeler: Çok Seviyeli Evirici, Üç Seviyeli Evirici, Uzay Vektör DGM

SUMMARY

Design Of Cascaded Three-Level Inverter With Space Vector Pulse Width Modulation Using Artificial Neural Network in Region and Sector Determination

Direct current is converted to alternating current to meet the requirements of some AC systems. For this reason, inverter circuits were developed. Because the switching losses increase with use of inverters at high power levels, multilevel inverter topologies have been developed. The output voltage waveforms in multilevel inverters can be generated at low switching frequencies with high efficiency and low harmonic distortion.

The aim of using multilevel inverters is to control the output frequency and voltage magnitude with high quality of sinusoidal output waveforms. Space vector pulse width modulation technique is one of the most popular technique gained interest recently because; it offers better harmonic performance and can more conveniently handle overall switching patterns and constrains and it is simple to implement using DSPs.

In this thesis, modeling and simulation of the cascaded multilevel (three level) inverter with separated and isolated DC sources have been performed by using MATLAB/Simulink package program. First, sector and region of three level SVPWM technique have been identified with using artificial neural network. Then the conventional three level space vector pulse width modulation technique has been simulated both an RL load and motor load. The inverter system has been designed and experimental results were taken for various operating and load conditions.

Keywords: Multilevel Inverters, Three Level Inverters, Space Vector PWM

ŞEKİLLER LİSTESİ

Sayfa No

Şekil 1.1. DA / AA Evirici	1
Şekil 2.1. Üç fazlı akım kaynaklı evirici devresi	7
Şekil 2.2. Üç fazlı gerilim kaynaklı evirici devresi	8
Şekil 2.3. Tek fazlı üç seviyeli diyot kenetlemeli çok seviyeli evirici	9
Şekil 2.4. Üç fazlı üç seviyeli diyot kenetlemeli çok seviyeli evirici yapısı	10
Şekil 2.5. Tek fazlı n seviyeli diyot kenetlemeli çok seviyeli evirici yapısı	11
Şekil 2.6. Tek fazlı üç seviyeli kapasite kenetlemeli çok seviyeli evirici	12
Şekil 2.7. Üç fazlı üç seviyeli kapasite kenetlemeli çok seviyeli evirici yapısı	12
Şekil 2.8. Tek fazlı n seviyeli kapasite kenetlemeli çok seviyeli evirici yapısı	14
Şekil 2.9. Tek fazlı üç seviyeli kaskat bağlı çok seviyeli evirici devre yapısı	14
Şekil 2.10. Tek fazlı n seviyeli kaskat bağlı çok seviyeli evirici yapısı	15
Şekil 3.1. H köprü evirici yapısı ve anahtarlama durumları	20
Şekil 3.2. Üç fazlı üç seviyeli kaskat bağlı evirici	21
Şekil 3.3. Sinüsoidal DGM ve UVDGM tekniklerinin karşılaştırılması	22
Şekil 3.4. İki seviyeli evirici yapısı	23
Şekil 3.5. İki seviyeli eviricinin uzay vektör diyagramı	24
Şekil 3.6. Sektör A için anahtarlama durumları ve konum süreleri	26
Şekil 3.7. Üç fazlı üç seviyeli eviricinin uzay vektör diyagramı	28
Şekil 3.8. Sektör A'ya ait uzay vektör diyagramı	29
Şekil 3.9. Sektör A içindeki bölgelerin tespiti	29
Şekil 3.10. Sektör A'ya ait anahtarlama durumları	33
Şekil 4.1. Biyolojik nöronun genel yapısı	38

Şekil 4.2. Yapay nöronun genel yapısı	38
Şekil 4.3. (a). Doğrusal aktivasyon fonksiyonu, (b). Sigmoid aktivasyon fonksiyonu	39
Şekil 4.4. (a). Tanjant Sigmoid aktivasyon fonksiyonu, (b). Eşik aktivasyon fonksiyonu.	40
Şekil 4.5. İleri beslemeli yapay sinir ağı (İBYSA) yapısı.....	42
Şekil 4.6. Geri beslemeli yapay sinir ağı (GBYSA) yapısı.....	43
Şekil 4.7. Gerilim vektörünün tespiti için yapay sinir ağı kullanan üç seviyeli UVDGM'nin MATLAB/Simulink benzetimi	48
Şekil 4.8. Üç fazlı kaskat bağlı evirici	49
Şekil 4.9. Sektör A'ya ait anahtar konum süresi ve sırasının hesaplanarak UVDGM sinyallerinin üretildiği simulink bloğu.....	49
Şekil 4.10. “YSA” bloğunun iç yapısı	50
Şekil 4.11. İBYSA kullanılarak sektör ve bölgenin tespiti	51
Şekil 4.12. Modülasyon indeksinin $m=0.2$, $f=50\text{Hz}$ olması durumunda (a). Sektör değişimi (b). Bölge değişimi	51
Şekil 4.13. Modülasyon indeksinin $m=0.7$, $f=50\text{Hz}$ olması durumunda(a). Sektör değişimi (b). Bölge değişimi	52
Şekil 5.1. Sistemin blok şeması	53
Şekil 5.2. PM30CSJ060 modülünün iç yapısı.....	54
Şekil 5.3. PM30CSJ060 modülü	54
Şekil 5.4. PM30CSJ060 baskı devre kartı.....	55
Şekil 5.5. PM30CSJ060 baskı devre kartı.....	55
Şekil 5.6. IPM besleme test devresi	56
Şekil 5.7. IPM besleme trafosu	56
Şekil 5.8. (a). Akım algılayıcı devresi, (b). Gerilim algılayıcı devresi	57
Şekil 5.9. M57140-01 IPM güç birimi ve devresi.....	58

Şekil 5.10. IXDP630PI entegresi kullanılarak oluşturulan ölü zaman devresi	59
Şekil 5.11. IPM’ler de oluşabilecek hatalara karşı koruma sağlayan devre.....	59
Şekil 5.12. Yarı iletken sigortalar.....	60
Şekil 5.13. Snubber devresi.....	60
Şekil 5.14. Devrenin genel bir görünümü	62
Şekil 6.1. Programlama adımlarına ait akış diyagramı	63
Şekil 6.2. Üç seviyeli UVDGM’nin MATLAB/Simulink benzetimi.....	64
Şekil 6.3. Açık bloğunun iç yapısı	65
Şekil 6.4. UVDGM bloğu içinde C dilinde yazılan programın ilk satırları	65
Şekil 6.5. “a faz” bloğunun yapısı.....	66
Şekil 6.6. “Evirici” bloğunun yapısı.....	66
Şekil 6.7. A fazına ait H-köprü evirici	67
Şekil 6.8. $f=10\text{Hz}$, RL yükü için benzetim sonuçları, $m=0.2$ için a) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı (x50), b) V_{ab} geriliminin harmonik spektrumu (THB=%142.19), c) i_a akımının harmonik spektrumu (THB=%10.04), $m=0.8$ için d) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı (x50), e) V_{ab} geriliminin harmonik spektrumu (THB=%37.13), f) i_a akımının harmonik spektrumu (THB=%8.07)	68
Şekil 6.9. $f=10\text{Hz}$, RL yükü için deneysel sonuçlar, $m=0.2$ için a) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı (x50), b) V_{ab} geriliminin harmonik spektrumu, c) i_a akımının harmonik spektrumu, $m=0.8$ için d) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı (x50), e) V_{ab} geriliminin harmonik spektrumu, f) i_a akımının harmonik spektrumu	68
Şekil 6.10. $f=30\text{Hz}$, RL yükü için benzetim sonuçları, $m=0.2$ için MATLAB/Simulink benzetimi a) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı (x100), b) V_{ab} geriliminin harmonik spektrumu (THB=%47.67), c) i_a akımının harmonik spektrumu (THB=%8.64), $m=0.8$ için d) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı (x100), e) V_{ab} geriliminin harmonik spektrumu (THB=%18.49), f) i_a akımının harmonik spektrumu (THB=%7.39)	69

- Şekil 6.11.** $f=30\text{Hz}$, RL yükü için deneysel sonuçlar, $m=0.2$ için a) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı (x50), b) V_{ab} geriliminin harmonik spektrumu, c) i_a akımının harmonik spektrumu, $m=0.8$ için d) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı (x50), e) V_{ab} geriliminin harmonik spektrumu, f) i_a akımının harmonik spektrumu.....69
- Şekil 6.12.** $f=50\text{Hz}$, RL yükü için benzetim sonuçları, $m=0.2$ için a) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı (x100), b) V_{ab} geriliminin harmonik spektrumu (THB=%141.64), c) i_a akımının harmonik spektrumu (THB=%20.17), $m=0.8$ için d) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı (x100), e) V_{ab} geriliminin harmonik spektrumu (THB=%40.44), f) i_a akımının harmonik spektrumu (THB=%9.48)71
- Şekil 6.13.** $f=50\text{Hz}$, RL yükü için deneysel sonuçlar, $m=0.2$ için a) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı (x50), b) V_{ab} geriliminin harmonik spektrumu, c) i_a akımının harmonik spektrumu, $m=0.8$ için d) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı (x50), e) V_{ab} geriliminin harmonik spektrumu, f) i_a akımının harmonik spektrumu.....71
- Şekil 6.14.** $f=70\text{Hz}$, RL yükü için benzetim sonuçları, $m=0.2$ için a) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı (x200), b) V_{ab} geriliminin harmonik spektrumu (THB=%43.77), c) i_a akımının harmonik spektrumu (THB=%7.5), $m=0.8$ için d) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı (x200), e) V_{ab} geriliminin harmonik spektrumu (THB=%22.74), f) i_a akımının harmonik spektrumu (THB=%6.35).....72
- Şekil 6.15.** $f=70\text{Hz}$, RL yükü için deneysel sonuçlar, $m=0.2$ için a) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı (x200), b) V_{ab} geriliminin harmonik spektrumu, c) i_a akımının harmonik spektrumu, $m=0.8$ için d) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı (x200), e) V_{ab} geriliminin harmonik spektrumu, f) i_a akımının harmonik spektrumu.....72
- Şekil 6.16.** $f=10\text{Hz}$ için yük olarak motor kullanılması durumunda üç seviyeli UVDGM tekniği kullanan eviricinin çıkış gerilimleri V_{ab} (V), V_{bc} (V), V_{ca} (V) ve i_a , i_b , i_c faz akımları.....73
- Şekil 6.17.** $f=10\text{Hz}$ için yük olarak motor kullanılması durumunda üç seviyeli UVDGM tekniği kullanan eviricinin a) Fazlararası çıkış gerilimi V_{ab} (V), b) V_{ab} geriliminin harmonik spektrumu74
- Şekil 6.18.** $f=10\text{Hz}$ için yük olarak motor kullanılması durumunda üç seviyeli UVDGM tekniği kullanan eviricinin beslediği asenkron motorun hız değişimi75
- Şekil 6.19.** $f=10\text{Hz}$ için yük olarak motor kullanılması durumunda üç seviyeli UVDGM tekniği kullanan eviricinin faz akımının değişimi75

- Şekil 6.20.** $f=30\text{Hz}$ için yük olarak motor kullanılması durumunda üç seviyeli UVDGM tekniği kullanan evirici çıkış gerilimleri V_{ab} (V), V_{bc} (V), V_{ca} (V) ve i_a , i_b , i_c faz akımları 76
- Şekil 6.21.** $f=30\text{Hz}$ için yük olarak motor kullanılması durumunda üç seviyeli UVDGM tekniği kullanan eviricinin a) Fazlararası çıkış gerilimi V_{ab} (V), b) V_{ab} geriliminin harmonik spektrumu 77
- Şekil 6.22.** $f=30\text{Hz}$ 'de yük olarak motor kullanılması durumunda üç seviyeli UVDGM tekniği kullanan eviricinin beslediği asenkron motorun hız değişimi 77
- Şekil 6.23.** $f=50\text{Hz}$ için yük olarak motor kullanılması durumunda üç seviyeli UVDGM tekniği kullanan evirici çıkış gerilimleri V_{ab} (V), V_{bc} (V), V_{ca} (V) ve i_a , i_b , i_c faz akımları 78
- Şekil 6.24.** $f=50\text{Hz}$ için üç fazlı bir motoru besleyen ve üç seviyeli UVDGM tekniği kullanan eviricinin a) Fazlararası çıkış gerilimi V_{ab} (V), b) V_{ab} geriliminin harmonik spektrumu 79
- Şekil 6.25.** $f=50\text{Hz}$ 'de yük olarak motor kullanılması durumunda üç seviyeli UVDGM tekniği kullanan eviricinin beslediği asenkron motorun hız değişimi 79
- Şekil 6.26.** $f=70\text{Hz}$ için yük olarak motor kullanılması durumunda üç seviyeli UVDGM tekniği kullanan evirici çıkış gerilimleri V_{ab} (V), V_{bc} (V), V_{ca} (V) ve i_a , i_b , i_c faz akımları 80
- Şekil 6.27.** $f=70\text{Hz}$ için yük olarak motor kullanılması durumunda üç seviyeli UVDGM tekniği kullanan eviricinin a) Fazlararası çıkış gerilimi V_{ab} (V), b) V_{ab} geriliminin harmonik spektrumu 81
- Şekil 6.28.** $f=70\text{Hz}$ 'de yük olarak motor kullanılması durumunda üç seviyeli UVDGM tekniği kullanan evirici sürücüsünün hız değişimi 81

TABLÖLER LİSTESİ

Sayfa No

Tablo 2. 1. Üç fazlı üç seviyeli diyot kenetlemeli çok seviyeli eviricinin anahtarlama durumları	10
Tablo 2. 2. Üç fazlı üç seviyeli kapasite kenetlemeli çok seviyeli eviricinin anahtarlama durumları	13
Tablo 2. 3. Çok seviyeli eviricilerde kullanılan elemanların karşılaştırılması	16
Tablo 3. 1. Üç fazlı üç seviyeli kaskat bağlı evirici için anahtarlama durumları	21
Tablo 3. 2. Açık değerlerine göre sektör belirlenmesi	25
Tablo 3. 3. İki seviyeli uzay vektör için anahtarlama sırası	26
Tablo 3. 4. m_1 ve m_2 değerlerine göre bölge tespiti	30
Tablo 3. 5. Sektör A-F'ye ait anahtarlama süreleri	31
Tablo 3. 6. Sektörlerin tümüne ait anahtarlama sıralamaları	33

SEMBOLLER LİSTESİ

f_o	: Çıkış frekansı
f_s	: Anahtarlama Frekansı
n	: Çok Seviyeli Eviricilerde Seviye Sayısı
m	: Modülasyon İndeksi
V_{ref}	: Referans Gerilimi V
ω	: Açısal Hız
$N_{anahtarlama}$	: Çok seviyeli eviricilerde kullanılan anahtarlama sayısı
$N_{bölge}$	: Çok seviyeli eviricilerde uzay vektör diyagramında bölge sayısı
w_i	: Ağırlıklar
x_i	: Girişler

KISALTMALAR LİSTESİ

AA	: Alternatif Akım
AKE	: Akım Kaynaklı Evirici
BHYSA	: Bellek Hücreli Yapay Sinir Ağları
ÇBA	: Çağrışumlu Bellek Ağları
DA	: Doğru Akım
DGM	: Darbe Genişlik Modülasyon Tekniği
DSDGM	: Değiştirilmiş Sinüsoidal DGM
GA	: Genetik Algoritma
GKE	: Gerilim Kaynaklı Evirici
HIDGM	: Harmonik İlaveli DGM
İBYSA	: İleri Beslemeli Yapay Sinir Ağları
MYSÄ	: Modül Yapay Sinir Ağları
NPC	: Diyot Kenetlemeli Evirici
RTFA	: Radyal Tabanlı Fonksiyon Ağı
SDGM	: Sinüsoidal DGM
SFC	: Statik Frekans Değiştirici
SHE-DGM	: Harmonik Eliminasyonlu DGM
THD	: Toplam Harmonik Bozulma
UHIDGM	: Üçüncü Harmonik İlaveli DGM
UPS	: Kesintisiz Güç Kaynağı
UVDGM	: Uzay Vektör DGM
YSA	: Yapay Sinir Ağları

1. GİRİŞ

1.1. Genel Bakış

Doğru akım (DA) kaynaklarının bulunduğu ancak alternatif akım (AA) kaynaklarının bulunmadığı ve alternatif akım kaynağına ihtiyacın olduğu durumlarda doğru akım kaynağının çıkış geriliminin alternatif gerilime dönüştürülmesi gerekir. Günümüzde neredeyse tüm sistemler AA ile çalışmaktadır. Bu nedenle eviriciler adı verilen DA'ı AA'ya çeviren dönüştürücüler geliştirilmiştir. Günümüzde eviriciler çoğunlukla AA motor sürücü düzeneklerinde, kesintisiz güç kaynaklarında ve endüksiyonla ısıtmada kullanılırlar. Bu devre yapısındaki amaç; sabit bir DA kaynağından genliği ve frekansı kontrol edilebilen bir AA elde etmektir. Evirici girişinde, eğer doğru gerilim kaynağı kullanılırsa bu tür devreler Gerilim Kaynaklı Evirici (GKE), akım kaynağı kullanılıyorsa Akım Kaynaklı Evirici (AKE) olarak adlandırılırlar. Ancak AKE'ler yüksek güçlü sürücü devrelerinde tercih edilirler. GKE'ler ise çıkış gerilim ve frekansının ayarlandığı darbe genişlik modülasyon tekniği kullanan eviriciler, çıkış gerilim genliğinin giriş doğrultucu geriliminin ayarlanmasıyla sağlanan kare dalga eviriciler ve kısmi kare dalga bir fazlı eviriciler olmak üzere üçe ayrılırlar (Mohan, N. 2003). DA'ı AA'a çeviren bir eviricinin prensip şeması Şekil 1.1'de gösterilmektedir.



Şekil 1.1. DA / AA Evirici

Eviricilerde kullanılan DA gerilimi üç fazdan elde edilebileceği gibi tek fazdan da elde edilebilir. Böylece üç faz bulunmayan yerlerde bile tek fazlı AA geriliminden 3 faz elde edilerek, üç fazlı yükler beslenir. Genellikle 10 kVA'ya kadar küçük güçlü olduklarından

tek fazlı olarak kullanılabilirler, ancak orta ve yüksek güç uygulamalarında üç fazlı eviriciler tercih edilir.

Evirici girişinde kullanılan gerilim kaynağı ise doğrultucu veya aküden meydana gelir. Bu devrelerde kullanılan doğrultucu kaynakları ise rüzgar yada güneş panelleri, kesintisiz güç kaynağı olabilir. Ayrıca bir eviricinin üreteceği gerilimin dalga şekli ve frekansı kullanılan yarı iletkenin iletim ve kesim sürelerine, kısaca yarı iletkenin karakteristiklerine bağlıdır.

Eviricilerde çoğunlukla MOSFET yada IGBT gibi yüksek hızlarda çalışan anahtarlar tercih edilir. Anahtar olarak MOSFET'in tercih edildiği durumlarda, MOSFET'ler kendi aralarında seri yada paralel bağlanarak yüksek güç uygulamalarında da kullanılabilirler. Çünkü MOSFET'in tek başına kullanımında üretilen akım ve gerilim değerinde bir sınırlama olabilmektedir. Transistörlerin iletimde kalmaları için büyük baz akımına ihtiyaç duymaları bu anahtarların pek tercih edilmemesine sebep olur. Tristörler ise yüksek güçlerde çalıştırıldığında yarı periyottaki darbe sayılarının yetersiz kalması sebebiyle pek tercih edilmezler. Ayrıca tristörün kesime girmesi için komütasyon devrelerine gereksinim vardır.

Eviricilerden istenilen, çıkış gerilim dalga şekillerinin sinüsoidal olmasıdır. Ancak uygulama amaçlı kullanılan tüm eviricilerin çıkış gerilimlerinin sinüsoidal olmadığı ve bazı harmonikleri içerdikleri bilinmektedir. Bu nedenle; son zamanlarda güç elektroniği sistemlerinin performansının iyileştirilmesine büyük bir önem verilmektedir. Bunu sağlamak için modern devre topolojileri tarafından üretilen dalga şekillerinin kalitesini arttırmak gerekir. Yüksek güç uygulamalarında, akım ve/veya gerilimlerin yükseltilmesi gerekmektedir. Ancak bu durum, güç yarı iletkenlerinin maksimum güç seviyeleri için önemli bir sorun oluşturmaktadır. Çünkü bu yüksek güç seviyelerinde çalışabilecek, bir yarı iletken eleman bulunmamaktadır. Çözüm olarak, paralel bağlı yarı iletken elemanlar alt sistemde yüksek akım seviyelerine ulaşmayı sağlarken, seri bağlı yarı iletken elemanlar da yüksek gerilimlerin elemanlara paylaştırılmasını sağlamaktadır. Buna rağmen, birbirine seri bağlı elemanlar arasında statik ve dinamik gerilim paylaşımı problemleri ortaya çıkar. Elemanlardaki gerilim dengesini sağlamak için en iyi metot ayrı DA kaynaklar kullanmak yada gerilim kaynağı gibi davranan kenetleme kapasitelerini kullanmaktır. Çok seviyeli evirici yapısı da bu temele dayanmaktadır. Böylelikle anahtarlama elemanlarına uygulanan gerilim kontrol edilebilmekte ve sınırlanabilmektedir (Nabae,1981). Çok seviyeli evirici tekniği ile sistemin performansı iyileştirilmekte ve güç oranı arttırılmaktadır.

Yüksek güç çeviricilerinin ve orta gerilim sürücülerinin gelişimi 1980'li yıllarda GTO adı verilen anahtarlarının ticari olarak yaygınlaşmasından sonra başlamıştır (Wu, B. 2006). Çok seviyeli eviricilere ilk yaklaşım, Choi tarafından 1981 yılında yapılmıştır. Çok seviyeli eviricilerde; n seviyesine ulaşmak için her bacakta $2*(n-1)$ tane güç anahtarı kullanılır. Her bir anahtardaki kenetleme gerilimi DA-link geriliminin $(n-1)$ 'e bölümüne eşittir. Güç anahtarlarının birbirlerine seri yada paralel bağlanmasıyla çok seviyeli evirici çeşitleri oluşturulur. Literatürde, 3 çeşit çok seviyeli evirici çeşidi tanımlanmıştır (Yun, Jianguo, 2009). Bunların performanslarını arttırmak için de çalışmalar yapılmaktadır. Bu üç çeşit çok seviyeli eviricinin de birbirlerine göre çeşitli avantaj ve dezavantajları vardır ve her birinin devre yapısı farklı olsa da temelde kullanılan anahtarlama sayıları birbirlerine eşittir.

Çok seviyeli eviriciler ile düşük gerilim elemanları kullanılarak yüksek gerilim dalga şekilleri oluşturulur. Genel olarak, çok seviyeli eviricilerin en büyük avantajları da anahtarlama frekansları artmadan yada evirici çıkış gerilimleri azalmadan, çıkış gerilim dalga şeklindeki harmoniklerin azalmasıdır (Meshram, Hanote, Renge, 2009). Böylece çok seviyeli eviriciler kullanılarak çıkış gerilim dalga şekli daha az distorsiyonlu, düşük anahtarlama frekanslı ve yüksek verimli olarak üretilir. Çok seviyeli eviricilerde seviye 3'den başlar. Seviye sayısı arttıkça çıkış geriliminin dalga şeklinin sinüsoidal forma daha da yaklaştığı görülür.

Darbe genişlik modülasyonlu eviricilerde giriş gerilimi şebekenin kontrolsüz bir şekilde doğrultulmasıyla elde edildiğinden hemen hemen sabittir. Bu nedenle eviricinin hem çıkış geriliminin genliği hem de çıkış frekansının kontrol edilmesi gerekir. Bunun için değişik darbe genişlik modülasyon teknikleri kullanılır. Çok seviyeli eviriciler geliştirilirken bunların yanı sıra çeşitli darbe genişlik modülasyon teknikleri de geliştirilmiştir. Bu teknikler ile çıkışta istenilen genlik ve frekansta sinüsoidal işaretler elde edilir. Son zamanlarda çok seviyeli evirici uygulamalarında en popüler olan teknik; Uzay Vektör Darbe Genişlik Modülasyon (UVDGM) tekniğidir. UVDGM tekniğinin performansı, diğer darbe genişlik modülasyon tekniklerine göre oldukça iyidir. Sayısal işaret işlemciler ile donanımsal olarak gerçekleştirilebilmesi ise bu tekniğin en büyük avantajıdır.

1.2. Tezin Amacı

UVDGM tekniđi kullanan ok seviyeli eviricinin tasarlanarak kompakt bir hale getirilmesi tezin amalarından biridir. Bununla birlikte  seviyeli uzay vektr evirici tekniđi kullanarak retilen gerilim dalga ekillerinin kalitesinin ve aynı zamanda g oranının arttıđını gstermektir.

Dřk anahtarlama frekansı kullanılarak ok seviyeli evirici ile daha kaliteli ve daha az harmonikli ıkıř gerilimleri elde edilebileceđi gsterilmektedir.

Bu tez alıřmasının diđer bir nemli amacı da YSA ile UVDGM tekniklerini birlikte kullanarak ok seviyeli eviricilerdeki fazla matematiksel hesaplamaların nne gemektir.

Bu tez alıřmasında aynı zamanda kullanılan UVDGM tekniđi geliřtirilerek bir anahtarlama periyodunda en az anahtarlama yapılarak anahtarlama kayıplarının azaltılması ve ıkıř geriliminde asgari seviye deđiřimi ile ıkıřın kalitesinin arttırılması da hedeflenmiřtir.

1.3 Tezin Yapısı

Tezin birinci blmnde eviriciler ve ok seviyeli eviriciler hakkında genel bilgi verilerek karřılařtırmalar yapılmıřtır.

Tezin ikinci blmde; besleme kaynaklarına gre eviriciler hakkında detaylı bilgiler verilmiřtir. Ayrıca ok seviyeli evirici yapıları ayrıntılı olarak aıklanmıřtır.

nc blmde; eviricilerin ıkıř gerilim ve akımlarını kontrol etmek iin geliřtirilen darbe geniřlik modlasyon teknikleri anlatılmıřtır. İlk olarak UVDGM, iki seviyeli bir evirici iin aıklanmıřtır. Daha sonra bu tez alıřmasının da temel konusu oluřturan,  seviyeli eviriciye uygun olarak UVDGM tekniđi geliřtirilmiř, anahtarlama sıralarının seimi, ynleri ve srelerinin hesaplarının nasıl yapılacađı ayrıntılı olarak anlatılmıřtır.

Drdnc blmde; YSA hakkında genel bilgiler verilerek kullanılan algoritma anlatılmıřtır.

Beřinci blmde;  seviyeli UVDGM tekniđi kullanan eviricinin tasarımı ayrıntılı bir řekilde anlatılmıřtır. Donanımda kullanılan PM30CSJ060 modl, srme devresi, besleme devresi, l zaman devresi, akım ve gerilim algılayıcı devreler detaylı olarak aıklanmıřtır.

Altıncı bölümde; üç seviyeli UVDGM tekniğı kullanan eviricinin bir RL yükünü ve asenkron motoru beslemesi durumları için benzetim ve deneysel sonuçlar karşılaştırılmıştır.

Bu tez çalışması Türkiye Bilimsel ve Teknolojik Araştırma Kurumu (TÜBİTAK) tarafından 108E151 numaralı proje kapsamında desteklenmiştir.

2. EVİRİCİLER

2.1 Giriş

AA sürücü sistemlerinde kullanılan eviriciler, özellikle üç fazlı yükleri beslemek için tercih edilirler. Eviriciler bir DA kaynağından yüke değişken frekans ve genlikte AA kaynak sağlayan güç elektroniği devreleridir. Değişik modülasyon algoritmaları kullanılarak, evirici çıkışında istenilen frekans ve genlikte alternatif gerilim elde edilebilir ve çıkışta ana harmoniğin yanında anahtarlama frekansı civarında yüksek dereceli harmonikler oluşabilir ki bu harmonikler çoğu uygulamalarda yük indüktansı tarafından filtre edilir. Güç kalitesi için en büyük problem elektrik sistemlerindeki harmonik içerikleridir. Harmonikler genel olarak akım kaynaklı ve gerilim kaynaklı harmonikler olmak üzere ikiye ayrılırlar. Bu harmonikler AA motor sürücü sistemlerinde güç kaybına, darbeli moment oluşumuna, mikroişlemcilerin hatalı çalışmasına, enerji iletim ve dağıtımında kayıplara, elektromanyetik sistemlerde titreşimlere neden olur.

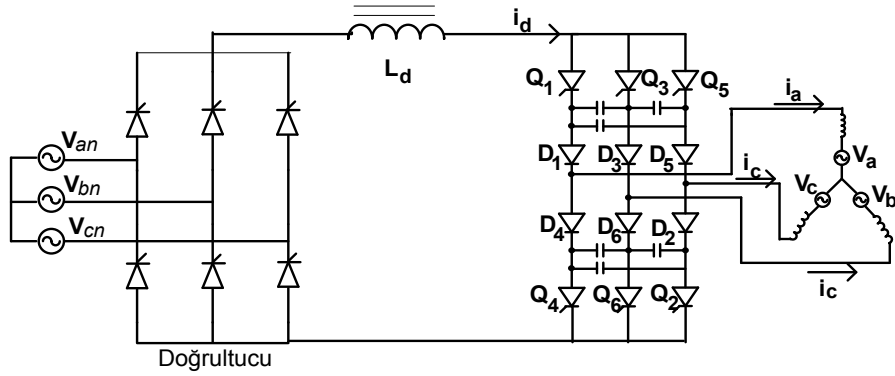
Son yıllarda tasarlanan eviricilerde; Transistör, Tristör, MOSFET, IGBT, GTO gibi anahtarlar kullanılır. Ancak günümüzde, neredeyse tüm eviricilerde IGBT anahtarı kullanılmaktadır. Çünkü IGBT'nin giriş kısmı MOSFET karakteristikli olduğu için gerilimle kontrol edilmekte ve yüksek anahtarlama frekanslarında çalışabilmektedir. Ayrıca IGBT çıkışları tranzistör karakteristikli olduğundan büyük güçlerde üretilebilirler ve iletim kayıpları sabit saturasyon geriliminden dolayı düşük ve sabit olmaktadır. Anahtarlama tekniği değiştirilerek yüksek hızlı anahtarlama elemanları ile çıkış gerilimindeki harmonikler azaltılabilir (Rao ve Lipo, 1999).

Eviriciler genel olarak endüstriyel uygulamalarda kullanılmaktadırlar. Yaygın olarak kullanıldıkları alanlar için; endüksiyonla ısıtmayı, değişken hızlı AA motor sürücülerini, kesintisiz güç kaynaklarını (UPS) ve AA gerilim regülatörlerini sayabiliriz. Eviriciler basitçe, hem tek fazlı devrelerde, hem de 3 fazlı devrelerde kullanılabilirler (Bose, 1983). Girişinde kullanılan kaynaklar; ışık hücresi (solar cell), yakıt pili (fuel cell) yada akü şeklinde sıralanabilir.

2.2 Akım Kaynaklı Eviriciler

Akım kaynaklı eviricilerde (AKE) besleme kaynağı bir akım kaynağıdır. Bu evirici çeşitleri özellikle çok büyük güçlerde kullanılırlar. Harmonik akımlara düşük empedans gösteren yükler için, akım kaynaklı eviriciler kullanılmalıdır (Hart, 1997).

Şekil 2.1’de üç fazlı akım kaynaklı bir evirici devresi gösterilmektedir.



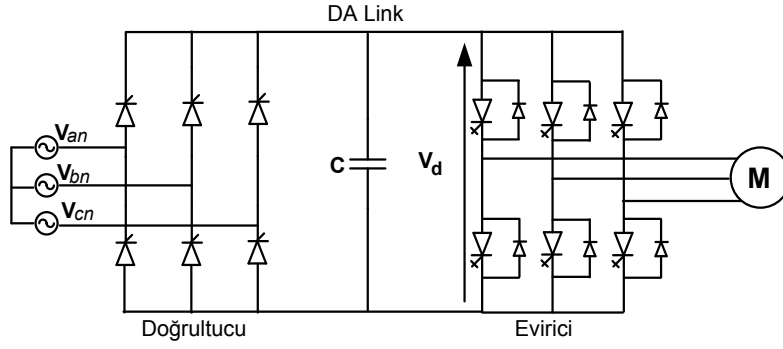
Şekil 2.1. Üç fazlı akım kaynaklı evirici devresi

2.3 Gerilim Kaynaklı Eviriciler

Gerilim kaynaklı eviricilerde (GKE) besleme kaynağı gerilim kaynağıdır. Eğer yük, harmonik akımlara yüksek empedans gösteren bir özelliğe sahipse, bu yük gerilim kaynaklı bir evirici ile sürülmelidir. Günümüzde eviricilerin %90’ını gerilim kaynaklı eviriciler oluşturmaktadır.

Yüksek güçlerde eviricilerin kullanımı, yarı iletken anahtarların anahtarlanma problemleri ve bunların birbirlerine seri bağlanmalarıyla ortaya çıkan problemler nedeniyle sınırlıdır. Ayrıca orta ve yüksek güç uygulamalarında büyük transformatörlerin kullanılmasıyla maliyet oldukça artmaktadır. Gerilim kaynaklı eviriciler için, çok seviyeli evirici yapısı kullanılarak bu sınırlamaların önüne geçilebilir ve çok büyük güçlere ulaşılabilir (Tadros, Salama ve Höf, 1992).

Şekil 2.2’de üç fazlı bir gerilim kaynaklı evirici devresi gösterilmektedir.



Şekil 2.2. Üç fazlı gerilim kaynaklı evirici devresi

2.4 Çok Seviyeli Eviriciler

Çok seviyeli eviriciler, aynı anahtarlama frekansları için iki seviyeli eviricilere göre daha iyi çıkış dalga şekilleri üretirler. Dolayısıyla anahtarlama frekansı artırılmadan çıkış gerilim dalga şeklindeki harmonikler düşük seviyede tutulabilir. Çok seviyeli eviricilerde her bir seviye artışıyla beraber çıkış gerilim dalga şekli bir adım daha sinüsoidal dalga şekline yaklaşır. İlave olarak, çok seviyeli eviricilerde anahtar üzerindeki gerilim stresleri iki seviyeli eviricilere göre daha az olur (McGrath ve Holmes, 2000).

Son yıllarda çok seviyeli eviricilerin yüksek gerilim ve güç uygulamalarında kullanılmalarında büyük bir artış gözlenmektedir. Çok seviyeli eviriciler değirmen, pompa, devre soğutucuları, sürücü sistemleri, statik VAR kompanzatörleri, güç sistemleri vb. uygulamalarda kullanılmaktadırlar.

Çok seviyeli eviricilerin avantajları birkaç madde halinde sıralanacak olursa;

1. Eviricide çıkış geriliminin seviye sayısı arttıkça “THD (Toplam Harmonik Bozulma)” azalmakta ve seviye sayısı sonsuza ulaştığında THD sıfır olmaktadır.
2. Giriş akımlarındaki bozulma oldukça küçüktür.
3. Çok seviyeli eviricilerin hızlı dinamik cevabı, çıkışta daha büyük gerilim seviyelerinde anahtarlama yapılarak elde edilebilir.
4. Farklı DA gerilimler elde edilebileceğinden dolayı kontrol düzenekleri eviricilerin uygulamasına bağlı olarak değişebilir.

Bu avantajlarının yanı sıra çok seviyeli eviricilerin bazı dezavantajları da vardır. Örneğin paketlenip modül haline getirilememe, her bir eleman üzerinde oluşabilecek gerilim dengesizliğine ek olarak oluşturulacak devrelerin kontrol problemleri bu dezavantajlardan bir kaçıdır.

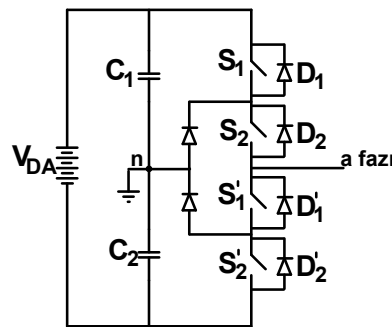
Çok seviyeli eviricilerde, gerilim seviyesi minimum 3'tür. Çok seviyeli eviriciler için gerilim seviyesi n olarak tanımlanırsa, çıkış geriliminde fazlararası oluşacak gerilim seviyenin sayısı da $2*(n-1)$ olarak hesaplanabilir.

Temel olarak çok seviyeli eviricilerin üç çeşit kullanımı mevcuttur (Peng ve J-SLai, 1996). Bunlar;

1. Diyot Kenetlemeli Çok Seviyeli Evirici (Diode – Clamped Multilevel Inverter, NPC)
2. Kapasite Kenetlemeli Çok Seviyeli Evirici (Flying–Capacitors Multilevel Inverter)
3. Kaskat Bağlı Çok Seviyeli Evirici (Multilevel Inverter Using Cascaded)

2.4.1. Diyot Kenetlemeli Çok Seviyeli Evirici

Diyot kenetlemeli çok seviyeli eviriciler kenetleme diyotları ve kaskat bağlanan DA kapasiteleri ile çok seviyeli gerilim dalga şekli üretirler (Wu, 2006). Bu evirici devre yapısı ile üç, dört veya beş seviyeli olarak gerilim elde edilebilmesine rağmen çoğunlukla nötr noktası kenetlemeli (NPC) olarak bilinen üç seviyeli devre yapısı, yüksek güç orta gerilim (MV) sürücülerinde yaygın olarak kullanılmaktadır (Betanzos-Ramirez, Rodriguez-Rivas ve Peralta-Sanchez, 2011). DA barası üzerinde $n-1$ adet kapasite kullanılarak n seviyesine ulaşılır (Nabae, Takahashi ve Agaki, 1981). Bu devrede ayrıca kenetleme diyotları olarak adlandırılan ve her faz için çıkış gerilimi elde etmede kullanılan diyotlarda kullanılır. Bu kenetleme diyotlarının sayısı $(n-1).(n-2)$ olarak hesaplanır (Bhagwat ve Stefanovic, 1983). Şekil 2.3'de tek fazlı üç seviyeli diyot kenetlemeli eviricinin devre şeması gösterilmektedir.

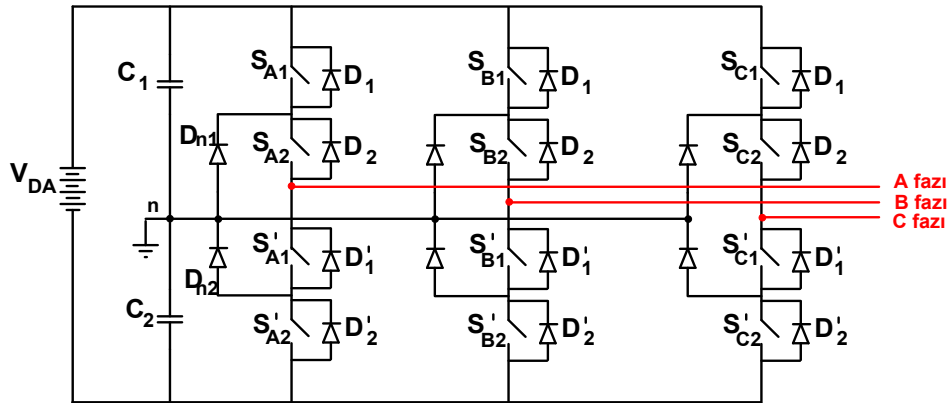


Şekil 2.3. Tek fazlı üç seviyeli diyot kenetlemeli çok seviyeli evirici

Bu devre ile çıkış gerilimi $V_{DA}/2$, 0 ve $-V_{DA}/2$ arasında değişmektedir. S_1 ve S_2 anahtarları iletimdeyken çıkış gerilimi $V_{DA}/2$, S'_1 ve S'_2 anahtarları iletimdeyken çıkış gerilimi $-V_{DA}/2$, S_1 ve S'_1 yada S_2 ve S'_2 anahtarları iletimdeyken ise çıkış gerilimi 0'dır (Peng, 2001).

Klasik tam köprü eviricinin sadece iki seviyeli çıkış gerilimi olmasına rağmen, diyot kenetlemeli eviricilerin çıkışları üç seviyelidir. Gerilim seviyesindeki artışla aynı DGM anahtarlama frekansında çıkış gerilim harmonikleri azalır (Nakazawa ve Naitoh, 1997).

Tek fazlı üç seviyeli evirici yapısına iki bacak daha eklenerek üç fazlı üç seviyeli diyot kenetlemeli çok seviyeli evirici yapısı elde edilir. Bu yapı Şekil 2.4 ile gösterilmektedir. Eviricinin DA tarafındaki kapasite nötr noktasını oluşturabilmek için DA ikiye (C_1 ve C_2) ayrılmıştır. D_{n1} ve D_{n2} ise kenetleme diyotları olarak adlandırılır ve nötr noktaya bağlıdır (Rodriguez, Bernet, Steimer, Lizama, 2010). Bu evirici ile üç farklı gerilim seviyesi elde edilebilir. Uygun anahtarlama durumları Tablo 2.1 ile verilmektedir.



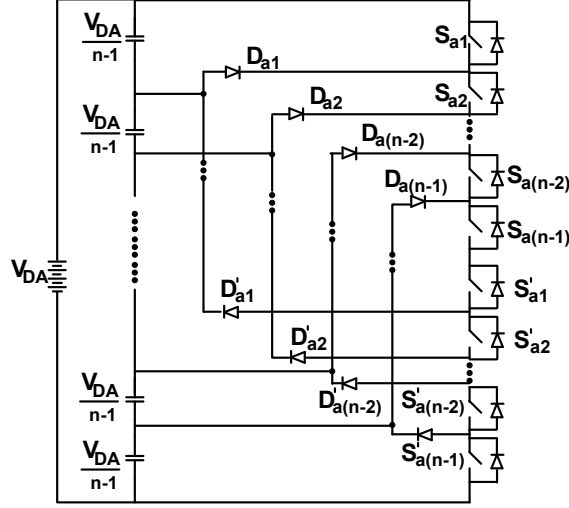
Şekil 2.4. Üç fazlı üç seviyeli diyot kenetlemeli çok seviyeli evirici yapısı

Tablo 2.1. Üç fazlı üç seviyeli diyot kenetlemeli çok seviyeli eviricinin anahtarlama durumları

Çıkış Gerilimi V_{AN}, V_{BN}, V_{CN}	Anahtarlama Durumları			
	S_{X1}	S_{X2}	S'_{X1}	S'_{X2}
$V_{DA}/2$	1	1	0	0
0	0	1	1	0
$-V_{DA}/2$	0	0	1	1

Tek bir bacak için genel bir diyot kenetlemeli çok seviyeli evirici yapısı Şekil 2.5'de gösterilmiştir. Şekil 2.5'den de görüldüğü gibi kapasiteler DA gerilimini daha küçük

gerilim seviyelerine böler. n seviyeli bir çıkış üretilebilmesi için DA bara üzerinde $n-1$ tane kapasitenin bulunması gerekmektedir.



Şekil 2.5. Tek fazlı n seviyeli diyot kenetlemeli çok seviyeli evirici yapısı

Burada $D_{a(n-2)}$ diyotu, $(n-2)$ tane seri bağlı diyota ihtiyaç duyar. Çünkü bu diyot $(n-2)$ tane kapasite gerilimini tutar. Kapasiteler, seri kapasitelerin gerilim dengesizliğinden oluşacak aynı şarj ve deşarj akımlarını paylaşmazlar. Kapasite gerilim dengesizliği, kapasitelere paralel direnç bağlanmasıyla kontrol edilebilir (Saqib ve Kashif, 2010).

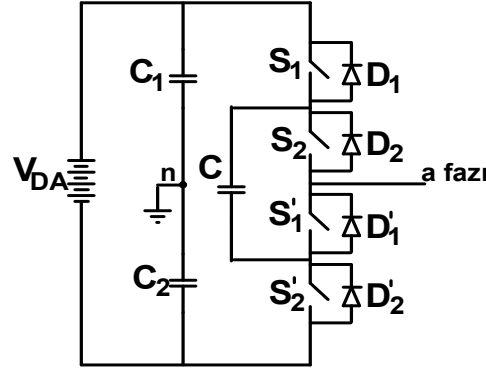
Devrenin avantajı seviye arttıkça harmonik bozulmanın azalması, bütün fazların aynı DA barayı paylaşması, kontrolünün basit olması ve temel anahtarlama frekansında yüksek verime sahip olmasıdır (Busquets, Bordonau, Boroyevich ve Somavilla, 2004).

Seviye sayısı arttıkça kullanılan DA kondansatörlerinin sayısı da artmakta ve bu aynı şarj (Pre-charge) devrelerinin de artmasına sebep olmaktadır. Ayrıca çıkış gerilimin üretilmesi sırasında kontrol kondansatörlerden dolayı bir gerilim dengesizliği problemi görülür. Her faz için $(n-1).(n-2)$ tane kenetleme diyotunun kullanılması gerekir. Ayrıca aktif güç akışı, kondansatörlerin dengesizliğinden dolayı zordur.

2.4.2 Kapasite Kenetlemeli Çok Seviyeli Evirici

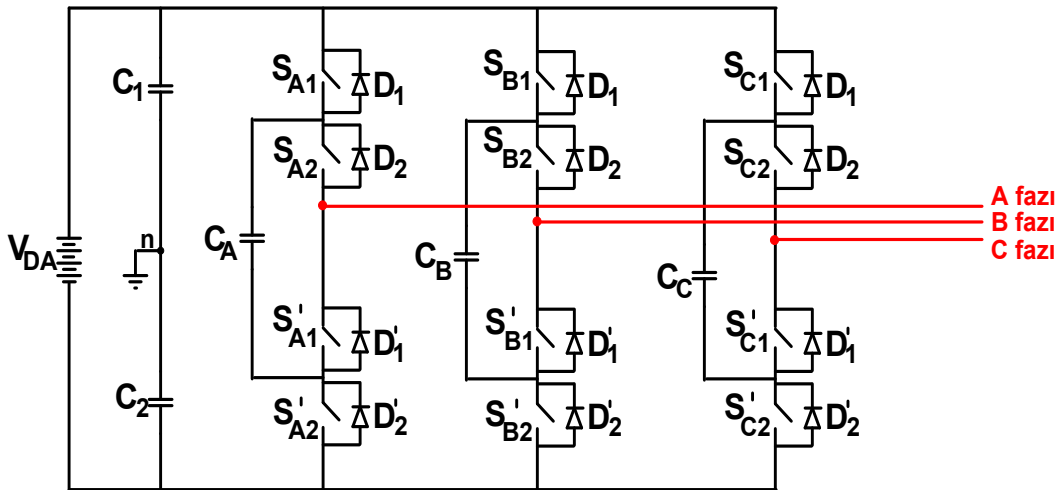
Kapasite kenetlemeli çok seviyeli evirici de, DA kısmındaki kapasitelerin merdiven yapısı kullanılmaktadır. Bu kapasitelerin gerilimleri bir sonraki kapasite geriliminden farklıdır. İki kapasite arasındaki gerilim artışının büyüklüğü çıkış gerilimindeki gerilim

adımlarının büyüklüğünü tanımlar. Eviricinin her bir faz bacağı için aynı yapıda ayrı kapasiteler kullanılır (Rodriguez, Lai ve Peng, 2002). Şekil 2.6'da tek fazlı üç seviyeli kapasite kenetlemeli eviricinin devre şeması gösterilmektedir.



Şekil 2.6. Tek fazlı üç seviyeli kapasite kenetlemeli çok seviyeli evirici

Burada; S_1 ve S_2 iletimde olduğu durumda çıkış gerilimi $V_{DA}/2$, S'_1 ve S'_2 iletimde olduğu durumda çıkış gerilimi $-V_{DA}/2$, $(S_1-S'_1)$ veya $(S_2-S'_2)$ iletimde olduğu durumda ise çıkış gerilimi sıfır olur. Üç seviyeli kapasite kenetlemeli evirici yapısı Şekil 2.7'de ve anahtarlama durumları ise Tablo 2.2'de verilmektedir (Stynski, 2010).



Şekil 2.7. Üç fazlı üç seviyeli kapasite kenetlemeli çok seviyeli evirici yapısı

Tablo 2.2. Üç fazlı üç seviyeli kapasite kenetlemeli çok seviyeli eviricinin anahtarlama durumları

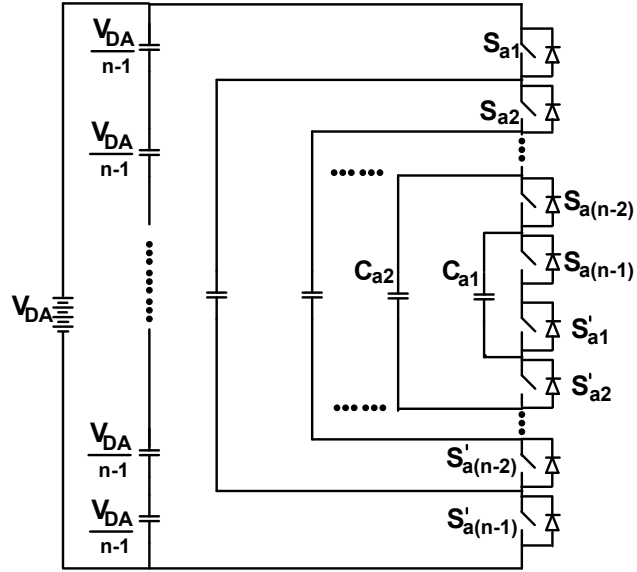
Çıkış Gerilimi V_{AN}, V_{BN}, V_{CN}	Anahtarlama Durumları			
	S_{X1}	S_{X2}	S'_{X1}	S'_{X2}
$V_{DA}/2$	1	1	0	0
0	0	1	0	1
0	1	0	1	0
$-V_{DA}/2$	0	0	1	1

n seviyeli bir çıkış gerilimi üretebilmek için DA barası üzerinde n-1 tane kapasitenin bulunması gerekir (Divan, Hochgraf, Lasseter ve Lipo, 1994). Kapasite kenetlemeli evirici yapısı; dalga şeklinin oluşmasında daha fazla esneklik sunar ve gerilimin kenetleme kapasiteleri tarafından dengelenmesine izin verir.

Bu devre yapısı ile diyot kenetlemeli çok seviyeli eviricideki kenetleme diyot probleminin önüne geçilir. Ayrıca bu devre yapısı ile anahtarlar üzerindeki dv/dt stresleri azaltılırken aktif ve reaktif güç akışı da kontrol edilebilir. Her çok seviyeli evirici yapısında olduğu gibi n seviye sayısı arttıkça toplam harmonik bozulmalar azalır (Lai ve Peng, 1996). Bu devre için farklı gerilim seviyelerini dengelemek için farklı anahtarlama kombinasyonları mevcuttur.

Bu avantajlarının yanı sıra gerilimi kenetlemek için büyük değerlikli kapasitelere ihtiyaç duyulması, DA link kapasitelerinin başlangıçtaki şarj kontrolünün zorluğu bu devrenin birkaç dezavantajıdır. Ayrıca büyük değerlikli kapasite kullanılmasından dolayı devre yapısı oldukça hantal olmakta ve maliyeti yükselmektedir.

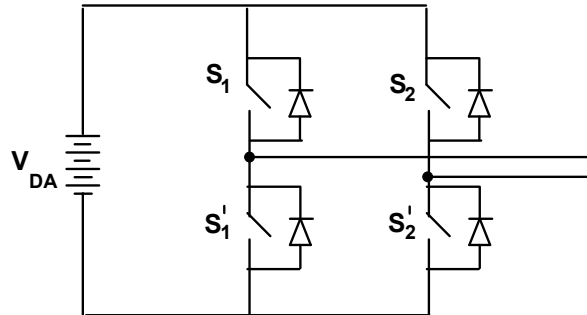
Şekil 2.8’de tek bir bacak için genel bir diyot kenetlemeli çok seviyeli evirici yapısı gösterilmiştir. C_{a1} , C_{a2} , C_{a3} kapasiteleri devrenin denge kapasiteleridir. Bu denge/kenetleme kapasitelerinin sayısı her bir faz başına $(n-1).(n-2)/2$ formülü ile tespit edilebilir.



Şekil 2.8. Tek fazlı n seviyeli kapasite kenetlemeli çok seviyeli evirici yapısı

2.4.3 Kaskat Bağlı Çok Seviyeli Evirici

Bu evirici tipinin genel özellikleri daha önce anlatılan çok seviyeli evirici tipleriyle aynı olmasına rağmen bu yapıda fazladan kenetleme diyotları veya gerilim dengeleme kapasiteleri yoktur. Bunların yerine gerilim seviyesine göre birbirinden bağımsız DA kaynakları bulunur. Bu DA kaynakları bataryalardan, güneş pillerinden, doğrultuculardan ya da yakıt hücrelerinden elde edilir. Tek fazlı kaskat bağlı çok seviyeli evirici yapısı Şekil 2.9' da gösterilmektedir.



Şekil 2.9. Tek fazlı üç seviyeli kaskat bağlı çok seviyeli evirici devre yapısı

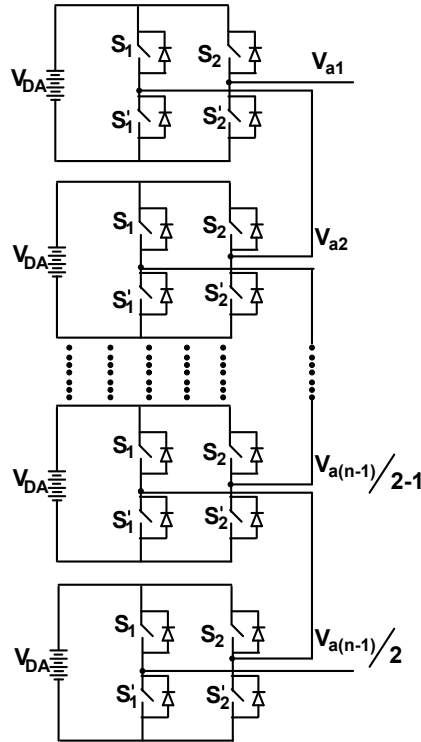
H köprü devre yapısının en önemli avantajı, herhangi bir eleman eklenmeksizin çıkış gerilim seviyesinin artmasıdır. Tek gereken; her bir H köprü yapısı için gereken izole edilmiş ayrı DA kaynaklarıdır. Diğer devrelerde olduğu gibi fazladan kenetleme diyotlarına

ve kenetleme kapasitelerine gerek olmadığından diğer devrelere göre daha avantajlıdır. Son yıllarda bu yapı, AA güç kaynaklarında ve sürücü sistemlerinde sıkça kullanılmaktadır.

Şekil 2.10’da tek bir bacak için genel bir kaskat bağlı çok seviyeli evirici yapısı gösterilmiştir. Aynı seviyeli değişik tam köprü evirici devrelerinin AA çıkışları seri bağlanır (Rabinovici, Baimel, Tomasik ve Zuckerberger, 2010). Böylece sentezlenen çıkış gerilim dalga şekli evirici çıkışlarının toplamı olur. Bir n seviyeli kaskat bağlı evirici $N_h=(n-1)/2$ tane tek fazlı tam köprü eviriciden meydana gelir. Tek faz içinde çıkış gerilimi;

$$V_{an} = V_{a1} + V_{a2} + V_{a3} + V_{a4} + V_{a5} \dots\dots\dots \text{olarak hesaplanır.}$$

Her bir fazın çıkış gerilimi o fazdaki köprü diyotların gerilimlerinin toplamı olduğundan, iç gerilim seviyeleri için birden fazla anahtarlama durumu olabilir. Ayrıca her bir tam köprü yapısı aynı olduğundan, bu seri yapısının tasarımı kolaydır ve kolayca paketlenip bir modül haline getirilebilir. Bunun yanı sıra bu devrenin dezavantajı; her bir H köprü hücresi için izoleli DA kaynağı gerektiğinden sınırlı sayıda uygulama alanının olması ve daha fazla anahtarın kullanılmasının gerekliliğidir (Malinowski, Gopakumar, Rodriguez, Perez, 2010).



Şekil 2.10. Tek fazlı n seviyeli kaskat bağlı çok seviyeli evirici yapısı

2.5 Bölüm Sonuçları

Bu bölümde bahsedilen her bir çok seviyeli evirici devresi ile düşük gerilim elemanları kullanarak yüksek gerilim dalga şekilleri oluşturulur. Bu devre yapılarının her birinin gerilim seviyelerini oluşturmak için değişik mekanizmaları vardır. Ancak dikkatle incelenirse, her devre yapısındaki temel anahtar sayıları eşittir (Celenovic, 2000). Her bir devre de kullanılacak olan anahtarların sayılarının dağılımı Tablo 2.3 ile verilmektedir.

Tablo 2.3. Çok seviyeli eviricilerde kullanılan elemanların karşılaştırılması

Evirici Tipi	Diyot Kenetlemeli	Kapasite Kenetlemeli	Kaskat Evirici
Temel anahtarlar	$2(n-1)$	$2(n-1)$	$2(n-1)$
Temel diyotlar	$2(n-1)$	$2(n-1)$	$2(n-1)$
Kenetleme diyotları	$(n-1)(n-2)$	0	0
Dengeleme kapasiteleri	0	$(n-1)(n-2)/2$	0
DA baradaki kapasiteler	$(n-1)$	$(n-1)$	$(n-1)/2$
Faz başına kullanılacak izolasyonlu DC kaynak sayısı	0	0	$(n-1)/2$

Diyot kenetlemeli eviriciler, devre yapılarına göre en az kapasiteye sahiptir, ancak bunun yanında ek olarak kenetleme diyotları olan devrelerdir. Kapasite kenetlemeli çok seviyeli eviriciler ise, en fazla kapasiteye sahiptir, ancak bu devrelerde kenetleme diyotlarına ihtiyaç duyulmaz. İzoleli DA kaynaklı kaskat eviricilerde ise, gerilim kaynağının izolasyonu için transformatörlere ihtiyaç duyulur. Ancak bu devrelerde kapasite kenetlemeli eviriciler gibi kenetleme diyotlarına ihtiyaç duyulmaz.

Sonuç olarak, bu çalışmada kaskat bağlı çok seviyeli evirici devre yapısı üzerinde durularak, bu devrenin modellenmesi ve tasarımı gerçekleştirilecektir.

3. ÜÇ SEVİYELİ KASKAT BAĞLI EVİRİCİ VE UZAY VEKTÖR DARBE GENİŞLİK MODÜLASYON TEKNIĞI

3.1 Giriş

Kaskat bağlı eviricilerin kullanımında son yıllarda artış gözlenmektedir. Bunun nedeni; bu devrelerde kenetleme diyotlarına ve kapasitelere ihtiyaç duyulmamasıdır. Diğer devrelerde gerilim dengesizliği problemleri meydana gelirken bu devre için böyle bir durum söz konusu değildir. Kontrol algoritması oldukça kolaydır. Bu devrenin dezavantajı ise her bir H-köprü için birbirinden izoleli DA kaynaklarının kullanılması gerekliliğidir. Kaskat bağlı eviricilerde seviye sayısı diğer çok seviyeli eviricilerde olduğu gibi minimum 3'tür.

Evirici çıkışındaki gerilim ve frekansın kontrol edilebilmesi için bazı teknikler geliştirilmiştir. Bu teknikler ile eviricinin çıkışında meydana gelen büyük değerlikli harmonikler azaltılır ve eviricinin çıkışı kontrol edilebilir. Bu sayede daha kaliteli çıkış gerilimi elde edilir. Bu tekniklere genel olarak Darbe Genişlik Modülasyon Teknikleri (DGM) adı verilir. Bu teknikler literatürde 8 adet olarak tanımlanmıştır. Her bir tekniğin kendine özgü avantaj, dezavantaj ve uygulama yeri vardır. Bu teknikler;

- 1-) Sinüsoidal (SDGM)
- 2-) Harmonik Eliminasyonlu (SHE-DGM)
- 3-) Minimum Akım Dalgalanmalı
- 4-) Üçüncü Harmonik İlaveli (UHIDGM)
- 5-) Harmonik İlaveli (HIDGM)
- 6-) Değiştirilmiş Sinüsoidal (DSDGM)
- 7-) Sigma Delta Modülasyon
- 8-) Uzay Vektör (UVDGM)

Darbe genişlik modülasyon teknikleridir.

SDGM tekniğinde; referans işaret olarak adlandırılan ve tepe değeri V_r ve frekansı f_r olan bir sinüsoidal işaret ile taşıyıcı dalga olarak adlandırılan ve tepe değeri V_c ve frekansı f_c olan bir üçgen işaret karşılaştırılır. Eviricinin çıkış frekansını sinüsoidal işaretin frekansı

olan f_r ve anahtarlama frekansını taşıyıcı dalganın frekansı olan f_c belirler. Çok seviyeli eviricilerde seviye sayısı arttıkça kullanılan taşıyıcı dalganın sayısı da artmaktadır. n seviye için $n-1$ adet taşıyıcı işaret kullanmak gerekmektedir (Carrara, Gardella, Marchesoni, Salutati ve Sciutto, 1990). SDGM’de; modülasyon dalgasının genliğinin taşıyıcı dalganın genliğine oranına M_a (modülasyon indeksi) denilir ve M_a ’nın 0 ile 1 arasında değişmesi istenir. Böylece referans dalga ile taşıyıcı dalga arasındaki ilişki lineer olur. Aksi takdirde DGM’nin avantajı ortadan kalkmış olur ve buna aşırı (üst) modülasyon denilir. Aşırı modülasyonda evirici çıkışında lineer bölgede bulunmayan harmonikler ortaya çıkar. Ayrıca eviricilerde taşıyıcı frekansın referans frekansa oranı da önemlidir. Bu oran m_f olarak adlandırılır. Yüksek frekanslı harmonikler daha kolay filtre edilebildiğinden, anahtarlama frekansının mümkün olduğunca yüksek olması istenir. Ancak bu durum eviricide yüksek anahtarlama kayıplarına sebep olur. Eviricinin anahtarlama kayıplarını sınırlamak için yüksek çıkış frekansında taşıyıcı oranı küçültülür. Bu nedenle ikisi arasında dengeli bir nokta bulunmalıdır. Genellikle bu dengeli nokta $M_a \leq 1$ ve $m_f = 21$ olduğu sınır değerdir. Buna göre M_a ve m_f ;

$$M_a = \frac{\hat{V}_r}{(n-1)\hat{V}_c} \quad (3.1)$$

$$m_f = \frac{f_c}{f_r} \quad (3.2)$$

olarak hesaplanır (Tolbert ve Habetler, 1998). Düşük frekans ve gerilimler için SDGM yöntemini kullanmak avantajlıdır (Dordevic, Jones, Levi, 2011).

SHEDGM tekniği ile kare dalganın istenmeyen harmonikleri elimine edilebilir (Patel, Hoft, 1973). Bu metotta, çentikler kare dalganın önceden belirlenen açılarında oluşturulur. α açıları ile belirli üç harmonik bileşen elimine edilir, böylece ana gerilim kontrol edilir. Temel frekans azaltılırsa çentik açılarının sayısı artırılabilir. Böylece baskın harmoniklerin yüksek değerleri elimine edilebilir. Bu yöntemin dezavantajı düşük frekanslarda çentiklerin fazla olmasıdır. Bu da herhangi bir işlemcide işlem yükünün fazla olmasına sebep olur. Bu nedenle yüksek frekans bölgesinde SHEPWM kullanılmak daha avantajlıdır (Tuncer, 2004).

Minimum Akım Dalgalanmalı DGM; SHEDGM’nin düşük seviyeli harmonikleri elimine ederken bunlara en yakın olan yüksek dereceli harmonikleri artırmasının üzerine

geliştirilen bir yöntemdir. Bu yöntem ile elektrik makinesindeki harmonik kayıplar efektif akım dalgalanmasıyla düzenlenir (Shrivastava, Lee, Hui ve Chung, 2001).

UHIDGM tekniği SDGM tekniğinden türetilmiştir. Bu teknik ile SDGM tekniğine ek olarak 3. harmonik eklenmiştir. Bu nedenle aşırı modülasyona UHIDGM ile izin verilir ve yüksek çıkış gerilimi elde edilebilir. Dezavantajı ise faz-nötr geriliminde yüksek genlikli 3. harmonik bileşeninin bulunmasıdır (Lee ve Lee 1997).

HIDGM tekniği hem SDGM hem de UHIDGM'nin bir türüdür. Bu yöntemde frekans daha fazla düzeltilirken aşırı modülasyona izin vermek için modülasyon dalgasına bazı harmonikler eklenir. Bunun yanında üçüncü harmonik ilaveli ile aynı dezavantajlara sahiptir (Veeranna, Beig, Yaragatti, 2011).

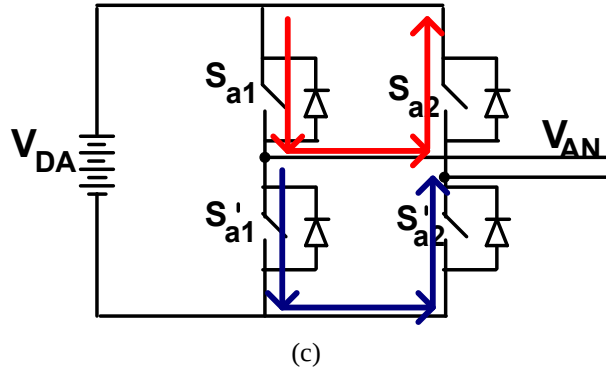
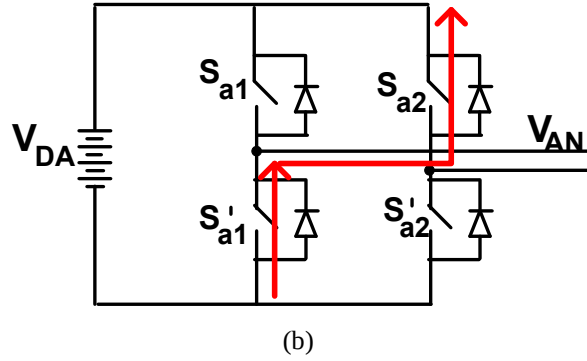
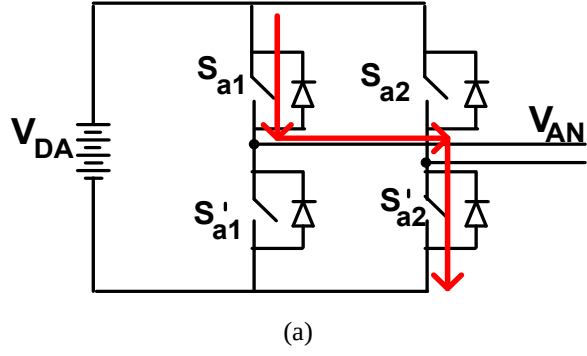
DSDGM tekniği de bir açıdan SDGM tekniğine benzer. Burada taşıyıcı dalganın tepe, 60° ve 120° arasında uzun bir darbe oluşur. Ayrıca temel dalga çıkış bileşeninin tepe değeri DA gerilimini geçebilir ve bu durumda evirici kare dalgaya yakın bir çıkış gerilimi verir. Bu tekniğin dezavantajı karmaşık bir yazılıma gerek duyulması ve faz-nötr geriliminde yüksek değerli 3. harmonik bileşeninin bulunmasıdır.

Sigma Delta DGM Tekniği özellikle sabit akımın istendiği motor sürücüler için uygundur (Jacob, Baiju, 2010). Sigma Delta DGM Tekniği ile; giriş, referans bir sinüs etrafında dalgalanır. Böylece çıkış, histerisiz bandı içinde referans sinyali izler ve karşılaştırmalı çıkışı istenilen DGM dalga şeklini üretmeye zorlar. Çıkışın temel bileşeni doğrudan referans sinyali ile orantılıdır. Frekans artarsa, gerilim artar ve DGM dalga şekli kare dalgaya dönüşür (Manjrekar ve Venkataramanan, 1996).

Uzay vektörle, geleneksel analog tekniklerin dijital olarak gerçekleştirilmesi vasıtasıyla temel bir dijital modülasyon tekniği oluşturulmuştur. UVDGM durağan referans çatısındaki gerilimin uzay vektörü olarak ifade edilmesine dayanır (Suh, Choi ve Hyun, 2001).

3.2 Üç Seviyeli Kaskat Bağlı Evirici

Kaskat bağlı eviricilerin temel çalışma prensibi H köprü eviricinin çalışma prensibidir. Üç seviyeli bir çıkış üretebilmek için her bir fazda bir adet H köprü evirici kullanılması yeterli olmaktadır. Şekil 3.1'de bir tek faz için kullanılan H köprü evirici yapısı ile elde edilen gerilimler gösterilmektedir.



Şekil 3.1. H köprü evirici yapısı ve anahtarlama durumları

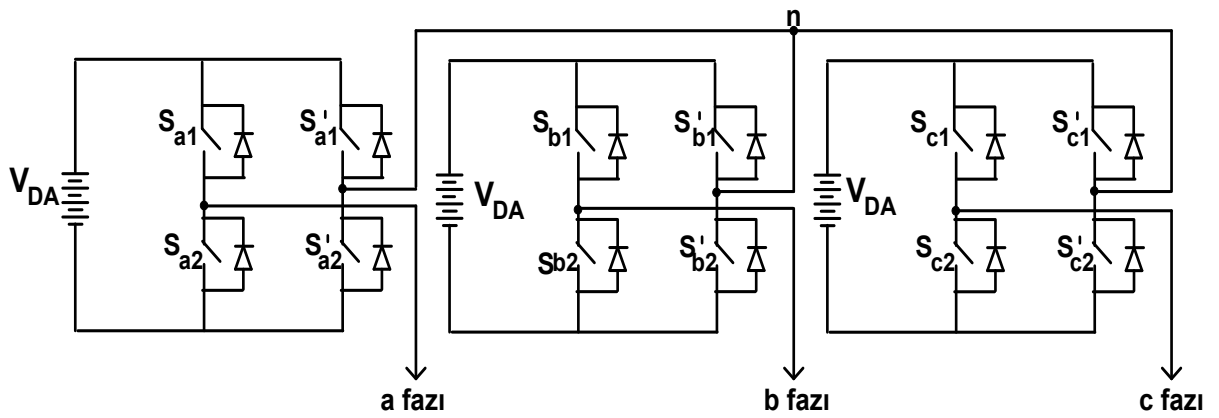
Bu devre incelendiği zaman; S_{a1} ve S'_{a2} iletimde olduğu zaman çıkış geriliminin $+V_{DA}/2$, S_{a2} ve S'_{a1} iletimde olduğu zaman çıkış geriliminin $-V_{DA}/2$ ve (S_{a1} ve S_{a2}) yada, (S'_{a1} ve S'_{a2}) iletimde olduğu zamanda çıkış geriliminin 0V olarak elde edildiği görülür (Kocalmış ve Sünter, 2006).

Kaskat bağlı çok seviyeli evirici devrelerinde seviye sayısı arttıkça aynı faz için kullanılan H köprü eviricilerin sayısı da artmaktadır. Seviye sayısı ile H köprü arasındaki bağıntı aşağıdaki denklem ile verilmektedir;

$$H_k = \frac{n-1}{2} \quad (3.3)$$

Bu bağıntıya göre H_K her bir faz için kullanılacak H köprü evirici sayısını, n ise seviye sayısını göstermektedir. Örneğin beş seviyeli bir evirici için her bir fazda birbirine seri bağlanacak H köprülerin sayısı 2'dir. Bu duruma uygun olarak Şekil 3.2 ile üç fazlı üç seviyeli kaskat bağlı evirici yapıları gösterilmektedir. Her bir faz için kullanılacak olan anahtarlama durumları Tablo 3.1 ile verilmektedir (Kocalmis, 2005).

Bu devre için dikkat edilmesi gereken önemli bir husus; her bir köprü devresi için kullanılan kaynağın birbirinden izoleli olması gerekliliğidir. Ayrıca anahtarlama durumlarına dikkat edilirse 0V gerilim için iki anahtarlama kombinasyonu mevcuttur. Bu nedenle yalnızca birinin seçilmesi yeterli olacaktır.



Şekil 3.2. Üç fazlı üç seviyeli kaskat bağlı evirici

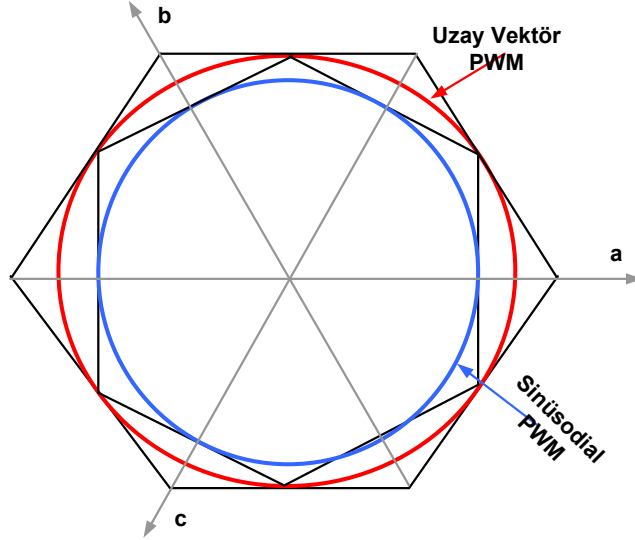
Tablo 3.1. Üç fazlı üç seviyeli kaskat bağlı evirici için anahtarlama durumları

Çıkış Gerilimi	Anahtarlama Durumları			
V_{XN}	S_{x1}	S'_{x1}	S_{x2}	S'_{x2}
$V_{DA}/2$	1	0	0	1
0	1	1	0	0
0	0	0	1	1
$-V_{DA}/2$	0	1	1	0

3.3 Uzak Vektör Darbe Genişlik Modülasyonu (UVDGM) Tekniği

Güç elektroniği devrelerinde en yaygın olarak kullanılan yöntem SDGM'dir. Ancak bu yöntemde anahtarlama sayısı yüksek ve elde edilecek maksimum çıkış gerilim değeri düşüktür. Son yıllarda SDGM'ye alternatif olarak uzak vektör fikrine dayanan yeni bir

DGM tekniđi geliřtirilmiřtir. UVDGM tekniđi ile SDGM'ye gre daha dřk harmonik dalgalanmalı ıkıř akımı ile daha yksek ıkıř gerilimi elde edilmektedir. řekil 3.3'de SDGM ile SVDGM'nin grafiksel olarak karřılařtırılması gsterilmektedir



řekil 3.3. Sinsoidal DGM ve UVDGM tekniklerinin karřılařtırılması

UVDGM tekniđi, dijital olarak uygulanmasının kolaylıđı ve daha yksek bir modlasyon aralıđında alıřmaya izin vermesi nedeniyle son yıllarda olduka tercih edilen bir yntemdir. UVDGM tekniđinde ulařılabilen maksimum ıkıř gerilimi, evirici kapasitesinin %90,6'sının kullanılması ile elde edilir. Aynı zamanda bu modlasyon tekniđi geliřtirilerek evirici kapasitesinin tamamı kullanılabilir.

Ayrıca harmonik ieriđin azlıđı ve DA'nın daha verimli kullanılmasını sađlaması da UVDGM tekniđinin bir diđer avantajıdır. Bu yntemin temeli durađan referans atıdaki gerilimin uzay vektr olarak ifade edilmesine dayanır (Liu, Choi ve Cho, 1991). ok seviyeli eviricilerde kullanılan UVDGM'yi anlamak iin en iyi yntem ilk olarak iki seviyeli UVDGM'yi anlamaktan geer (Suh, Choi ve Hyun, 1999).

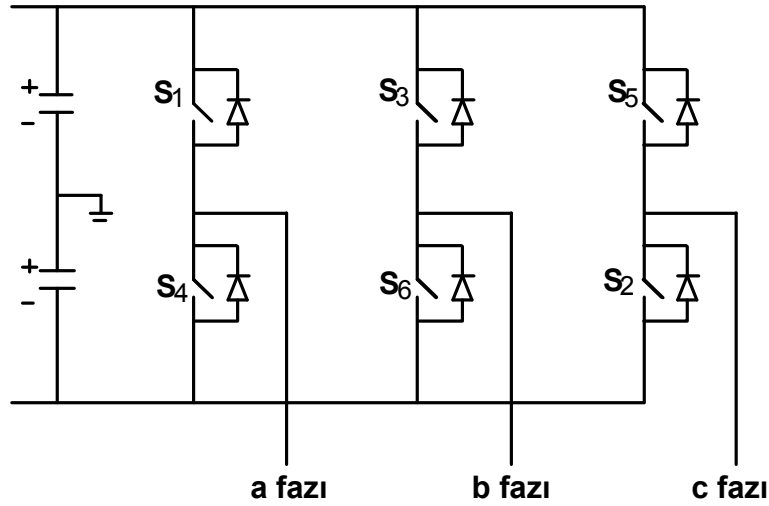
Aık evrim alıřmalarda UVDGM tekniđinin nemi fazla gzlenememektedir. nk SDGM tekniđinde nc harmoniđin ilavesi ile aynı sonular elde edilebilir. UVDGM tekniđi; zellikle kapalı evrim alıřmalar iin byk avantaj sađlar.

3.3.1 İki Seviyeli Uzay Vektör Darbe Genişlik Modülasyon Tekniği

Bir uzay vektör aşağıdaki gibi tanımlanır (Rathnakumar, Perumal, 2005);

$$V_{ref} = V_d + j \cdot V_q = \frac{2}{3} (V_{an} + V_{bn} e^{j\frac{2\pi}{3}} + V_{cn} e^{-j\frac{2\pi}{3}}) \quad (3.4)$$

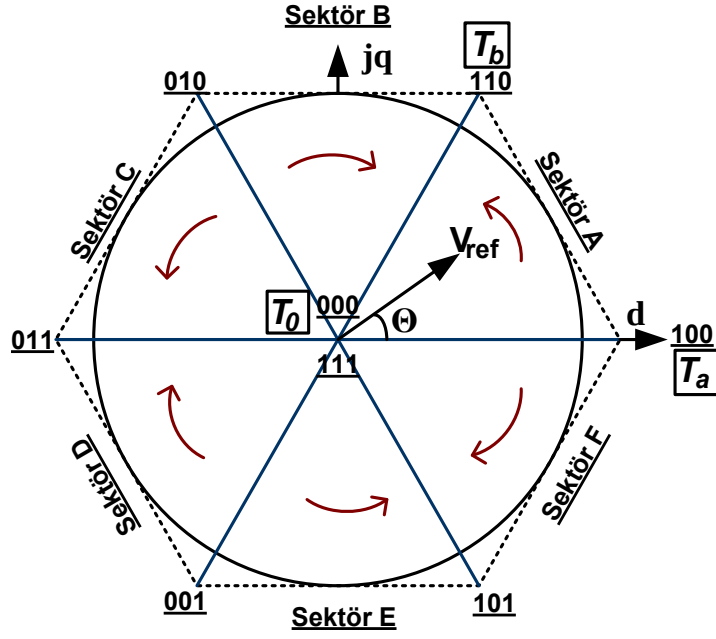
Bu denklemde V_{an} , V_{bn} ve V_{cn} üç fazlı sistemin nötr noktasına göre olan gerilimleridir. Bu denklem vasıtasıyla iki boyutlu bir düzlem üç boyutlu bir düzleme dönüştürülmüş olur. Şekil 3.4’de iki seviyeli evirici yapısı gösterilmiştir. Dikkat edilirse bu eviricide 6 anahtar bulunmaktadır. Ancak bu devre için toplam 8 anahtarlama durumu mevcuttur.



Şekil 3.4. İki seviyeli evirici yapısı

Anahtarların üst baraya bağlı olması durumunda oluşacak gerilim 1, anahtarların alt baraya bağlı olması durumunda oluşacak gerilim ise 0 ile gösterilmektedir (Cordero, Pinto, Soares, 2010). Örneğin 100 anahtarlama durumu için a fazında S_1 anahtarı, b fazında S_6 anahtarı ve c fazında S_2 anahtarları kapalıdır. Bütün anahtarlama durumları da Şekil 3.5’de bir $d-q$ düzlemine yerleştirilmiştir. V_{ref} ise ω açısal hızıyla bu referans vektörünün içerisinde hareket etmektedir.

000 ve 111 durumları sıfır gerilim vektörleridir ve uzay vektör diyagramının merkezine yerleştirilirler. Diğer gerilim vektörleri ise (100....-101) temel uzay vektörleri olarak adlandırılırlar. Şekil 3.5 ‘de gösterilen ok yönleri ise anahtarlama sırasında takip edilecek sırayı göstermektedir.



Şekil 3.5. İki seviyeli eviricinin uzay vektör diyagramı

İki seviyeli eviricide çıkış geriliminin elde edilebilmesi için birkaç adım takip edilir;

- i.** V_d , V_q , V_{ref} gerilimleri ve θ açısı hesaplanır,
- ii.** Her bir sektör için T_a , T_b ve T_0 anahatarlama konum süreleri hesaplanır,
- iii.** Hesaplanan sürelere uygun olarak anahtarlama sinyalleri üretilir.

- i.** V_{an} , V_{bn} , V_{cn} gerilimleri kullanılarak V_d ve V_q gerilimleri aşağıdaki gibi hesaplanır;

$$\begin{aligned} V_{an} &= V_m \cdot \sin(\omega t), \\ V_{bn} &= V_m \cdot \sin(\omega t + 2\pi/3), \end{aligned} \quad (3.5)$$

$$\begin{aligned} V_{cn} &= V_m \cdot \sin(\omega t - 2\pi/3), \\ V_d &= V_{an} - V_{bn} \cdot \cos 60 - V_{cn} \cdot \cos 60 = V_{an} - \frac{1}{2} V_{bn} - \frac{1}{2} V_{cn} \end{aligned} \quad (3.6)$$

$$V_q = 0 + V_{bn} \cdot \cos 30 - V_{cn} \cdot \cos 30 = \frac{\sqrt{3}}{2} V_{bn} - \frac{\sqrt{3}}{2} V_{cn} \quad (3.7)$$

$$V_{ref} = \sqrt{V_d^2 + V_q^2} \quad (3.8)$$

$$\theta = \arctan \frac{V_q}{V_d} \quad (3.9)$$

θ açısına bakılarak V_{ref} gerilim vektörünün hangi sektörde olduğu tespit edilir. Bu durum Tablo 3.2’de gösterilmektedir.

Tablo 3.2. Açı değerlerine göre sektör belirlenmesi

Açı (θ)	V_{ref} ’in bulunduğu sektör
$0^\circ \leq \theta < 60^\circ$	Sektör A
$60^\circ \leq \theta < 120^\circ$	Sektör B
$120^\circ \leq \theta < 180^\circ$	Sektör C
$180^\circ \leq \theta < 240^\circ$	Sektör D
$240^\circ \leq \theta < 300^\circ$	Sektör E
$300^\circ \leq \theta < 360^\circ$	Sektör F

ii. T_a , T_b ve T_o anahtarlama konum süreleri her bir sektör için ayrı ayrı hesaplanır. Sektör A için bu süreler hesaplanırsa;

$$V_{ref} \cdot T_s = V_a \cdot T_a + V_b \cdot T_b + V_o \cdot T_o$$

$$T_s = T_a + T_b + T_o \quad (3.10)$$

$$\int_0^{T_s} V_{ref} dt = \int_0^{T_a} V_a dt + \int_{T_a}^{T_a+T_b} V_b dt + \int_{T_a+T_b}^{T_s} V_o dt$$

$$T_a = \frac{\sqrt{3} \cdot V_{ref}}{V_{DA}} \cdot T_s \cdot \sin\left(\frac{\pi}{3} - \theta\right) \quad (3.11)$$

$$T_b = \frac{\sqrt{3} \cdot V_{ref}}{V_{DA}} \cdot T_s \cdot \sin(\theta) \quad (3.12)$$

$$T_o = T_s - T_a - T_b \quad (3.13)$$

Eğer bu denklemler $z = 1 \dots 6$ sektör (A-...-F) için genelleştirilirse;

$$\begin{aligned} T_a &= \frac{\sqrt{3} \cdot V_{ref}}{V_{DA}} \cdot T_s \cdot \sin\left(\frac{\pi}{3} - \theta + \frac{z-1}{3} \pi\right) \\ &= \frac{\sqrt{3} \cdot V_{ref}}{V_{DA}} \cdot T_s \cdot \sin\left(\frac{z\pi}{3} - \theta\right) \end{aligned} \quad (3.14)$$

$$T_b = \frac{\sqrt{3}.V_{ref}}{V_{DA}}.T_s.\sin(\theta - \frac{z-1}{3}\pi) \quad (3.15)$$

$$T_o = T_s - T_a - T_b \quad (3.16)$$

elde edilir.

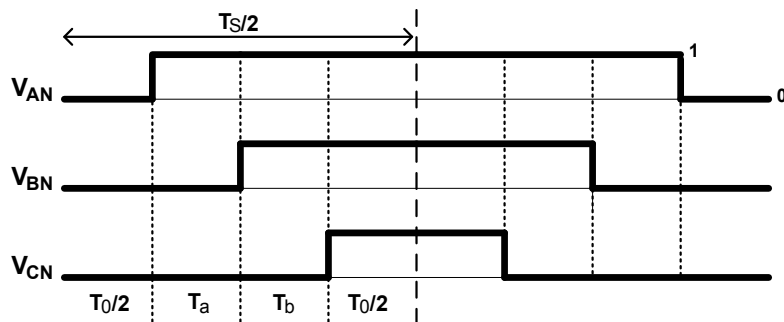
iii. Her bir sektörün anahtarlama sıraları belirlenerek anahtarlara uygulanır.

Şekil 3.5'deki anahtarlama yönleri takip edilerek ve bütün anahtarlama durumları kullanılarak Tablo 3.3'deki anahtarlama sırası oluşturulur.

Tablo 3.3. İki seviyeli uzay vektör için anahtarlama sırası

Sektör numarası	Anahtarlama durumu
1. Sektör	000 – 100 – 110 – 111- 111 – 110 -100 - 000
2. Sektör	000 – 010 – 110 – 111- 111 – 110 -010 - 000
3. Sektör	000 – 010 – 011 – 111- 111 – 011 -010 - 000
4. Sektör	000 – 001 – 011 – 111- 111 – 011 -001 - 000
5. Sektör	000 – 001 – 101 – 111 - 111 – 101 -001 - 000
6. Sektör	000 – 100 – 101 – 111- 111 – 101 -100 - 000

Tablo 3.3 dikkatle incelenirse her bir sektör için gerçekleştirilen anahtarlama komşu anahtarlama sinyallerinin kullanılmasıyla gerçekleştirilir. Ayrıca bir durumdan diğer duruma geçilirken sadece bir anahtarın konum değiştirmesi tercih edilir. Bunun yanı sıra bütün anahtarlama durumlarının son derece hızlı bir şekilde gerçekleştirilmesi gerekir. Şekil 3.6 ile Sektör A için anahtarlama durumları ve konum süreleri verilmektedir. Diğer sektörler için de aynı dalga şekilleri çizilebilir.



Şekil 3.6. Sektör A için anahtarlama durumları ve konum süreleri

3.3.2 Üç Seviyeli Uzay Vektör Darbe Genişlik Modülasyon Tekniği

Üç seviyeli eviricilerin UVDGM metodu, iki seviyeli eviricilerin UVDGM yöntemine benzerdir. Bu nedenle hemen hemen aynı adımlar takip edilerek gerilim vektörü elde edilir. Yine üç seviyeli eviriciler için iki seviyeli eviricilerde olduğu gibi $V_d - V_q$ dönüşümü yapılarak V_{ref} gerilimi ve θ açısı hesaplanır. Bunun yanı sıra çok seviyeli eviricilerde anahtarlama sayısı;

$$N_{anah.} = n^3 \quad (3.17)$$

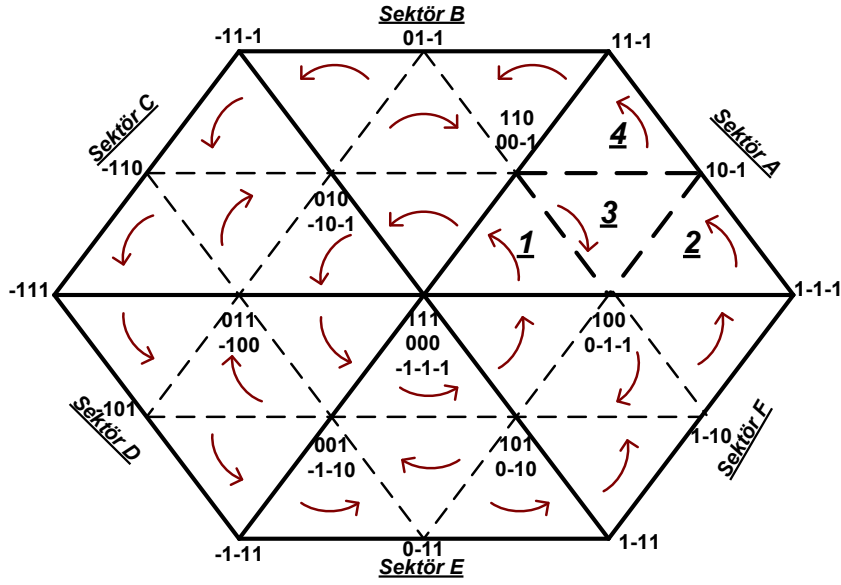
olarak hesaplanır. Bu durumda üç fazlı üç seviyeli bir eviricide UVDGM algoritması kullanılması durumunda toplamda 27 (3^3) anahtarlama durumu söz konusudur (Mondal, Pinto ve Bose, 2001). Bu anahtarlama durumları daha önce çizilen iki seviyeli SVDGM diyagramına yerleştirildiğinde bazı anahtarlama durumlarının açıkta kaldığı gözlenir (Das ve Narayanan, 2012). Bu nedenle her sektör kendi içerisinde bölgelere ayrılır. Bu bölge sayısı n seviyeli bir evirici için;

$$N_{bölge} = (n-1)^2 \quad (3.18)$$

olarak hesaplanır. Bu durumda üç seviyeli bir evirici için her bir sektör içerisinde 4 bölge bulunmaktadır.

27 anahtarlama durumundan 3 tanesi sıfır gerilim vektörüdür (000, 111, -1-1-1) ve merkezde bulunurlar. Bu vektörler eviricinin bütün çıkışlarını aynı DA-link gerilim seviyesine bağlarlar ve bundan dolayı da DA tarafında hiçbir akım üretilmez.

Diğer 24 anahtarlama durumu ise aktif gerilim vektörleridir (Dordevic, Jones ve Levi, 2011). Bu durumlar ise kendi aralarında bulundukları yerlere göre küçük vektör (110,00-1,010,-10-1,011,-100,001,-1-10,101,0-10,100,0-1-1), orta vektör (10-1,01-1, -110,-101,0-11,1-10) ve büyük vektör (1-1-1,11-1,-11-1,-111,-1-11,1-11) olarak ayrılırlar (Zheng, Shen, Mei ve Wang, 2010). Şekil 3.7’de üç seviyeli bir eviricinin UVDGM diyagramı gösterilmektedir. UVDGM incelenirse sıfır ve aktif gerilim vektörlerinin sabit genlikli oldukları görülür. Bunun yanı sıra referans gerilim vektörü ise değişken değerlidir.



Şekil 3.7. Üç fazlı üç seviyeli eviricinin uzay vektör diyagramı

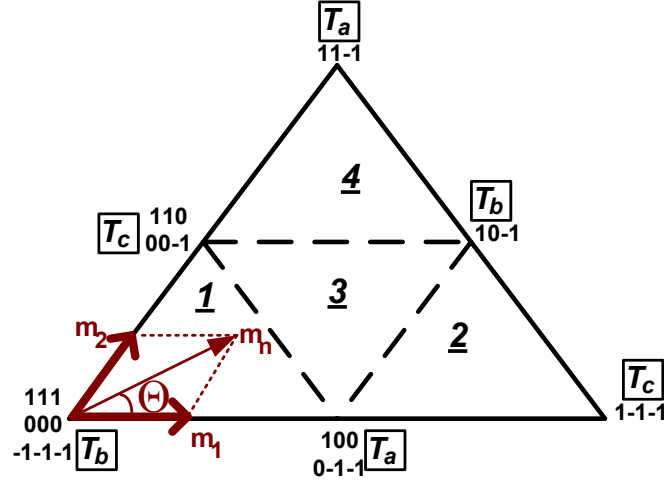
Büyük vektörler en büyük veya en küçük DA gerilim seviyesini gösterirler ve en yüksek AA gerilimi üretirler. Ayrıca nötr noktasına bağlantısı bulunmadıklarından kapasitelerin gerilim dengesine etki etmezler. Orta vektörler çıkışı, farklı DA-link gerilim seviyelerine bağlarlar. Orta vektörlerin uzunluğu lineer modülasyon ve sabit durum şartları için referans vektörün maksimum genliğini verir. Bunun uzunluğu da maksimum $\sqrt{3}/2$ 'dir. Bunun yanı sıra orta vektörlerin bir çıkışı nötr noktasına bağlandığından dolayı kapasitelerde dengesizliğe sebep olacaktır. Küçük vektörler AA çıkış gerilimini iki ardışık DA-link gerilim seviyelerine bağlarlar. Uzunlukları büyük vektörlerin uzunluklarının yarısıdır ve çift vektörlerdir. Yani iki durumda da aynı çıkış gerilimi üretilir.

Üç seviyeli eviricide çıkış geriliminin elde edilebilmesi için şu adımlar takip edilir;

- i.** V_d , V_q , V_{ref} gerilimleri ve θ açısı hesaplanır. Gerilim vektörünün hangi sektörde ve hangi bölgede olduğu tespit edilir.
- ii.** Her bir sektör için T_a , T_b ve T_o anahtarlama konum süreleri hesaplanır,
- iii.** Hesaplanan sürelere uygun olarak anahtarlama sinyalleri üretilir

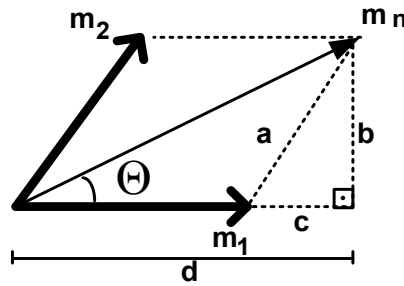
i. Denklem (3.5)-...(3.9) kullanılarak V_{ref} gerilimleri ve θ açısı hesaplanır. θ 'nın değerine göre Tablo 3.2'den yararlanarak gerilim vektörünün hangi sektörde olduğu tespit edilir.

Eğer vektör Sektör A içerisinde bulunuyorsa, artık sıra hangi bölgenin içerisinde olduğunun belirlenmesine gelir. Sektör A'ya ait uzay vektör diyagramı Şekil 3.8 ile gösterilmektedir.



Şekil 3.8. Sektör A'ya ait uzay vektör diyagramı

Şekil 3.8 incelenirse gerilim vektörünün 1, 2, 3 veya 4 bölgelerinden hangisinde olduğunun tespit edilmesi gerektiği ortaya çıkar. Bunun için gerilim vektörü m_1 ve m_2 bileşenlerine ayrılarak matematiksel denklemlerden yararlanılır. Şekil 3.9'da m_1 ve m_2 'nin hesaplanabilmesi için gereken çizim gösterilmektedir. Burada, abc kenarlarından oluşan dik üçgen ile uzunluklar hesaplanır.



Şekil 3.9. Sektör A içindeki bölgelerin tespiti

$b = m_n \sin \theta$ ve $b = a \sin 60$, buradan a değeri çekilirse m_2 bulunur.

$$a = m_2 = \frac{b}{\sin 60} = \frac{2}{\sqrt{3}} b = \frac{2}{\sqrt{3}} m_n \sin \theta \quad (3.19)$$

$$m_1 = d - c$$

$$m_1 = m_n \cdot \cos\theta - \left(\frac{2}{\sqrt{3}} m_n \sin\theta\right) \cdot \cos 60$$

$$m_1 = m_n \cdot \left(\cos\theta - \frac{\sin\theta}{\sqrt{3}}\right) \quad (3.20)$$

m_1 ve m_2 'nin değerlerine bakılarak Sektör A için gerilim vektörünün hangi bölgede olduğu Tablo 3.4'de gösterilmektedir. Diğer sektörler için m_1 ve m_2 hesapları yeniden yapılır ve bölge tespiti için aynı tablo kullanılır.

Tablo 3.4. m_1 ve m_2 değerlerine göre bölge tespiti

Bölge Numarası	m_1	m_2	$m_1 + m_2$
1. bölge	< 0.5	< 0.5	< 0.5
2. bölge	> 0.5	-	-
3. bölge	< 0.5	< 0.5	> 0.5
4. bölge	-	> 0.5	-

ii. Her bir sektördeki her bir bölgede farklı anahtarlama sayıları ve sıraları olacağı için her bölge için ayrı ayrı T_a , T_b ve T_c sürelerinin hesaplanması gerekir. Örneğin Sektör A için 1. Bölge göz önüne alınırsa toplamda 7 anahtarlama durumu söz konusudur ve anahtarlama sırası T_b , T_c ve T_a şeklinde olacaktır. Eğer anahtarlama konum süreleri hesaplanmak istenirse iki seviyeli uzay vektördekine benzer olarak süre hesabı yapılır.

$$V_{ref} \cdot T_s = V_a \cdot T_a + V_b \cdot T_b + V_c \cdot T_c \quad (3.21)$$

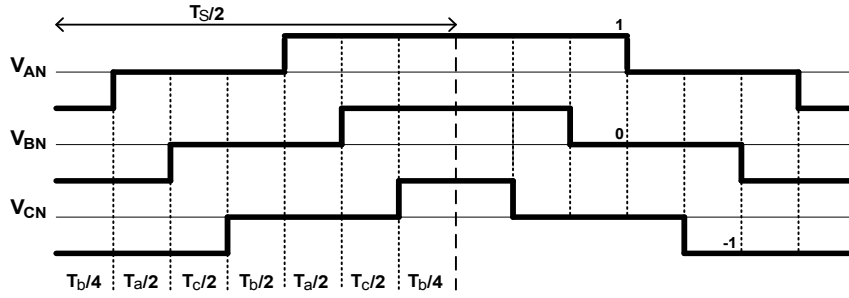
$$T_s = T_a + T_b + T_c$$

Denklem 3.22'nin ve V_a , V_b ve V_c gerilimlerinin yardımıyla her sektörün her bölgesine ait anahtarlama süreleri hesaplanır. Tablo 3.5'de Sektör A'dan Sektör F'ye kadar bütün sektörlerle ait anahtarlama konum süreleri verilmektedir (Kocalmis, 2005).

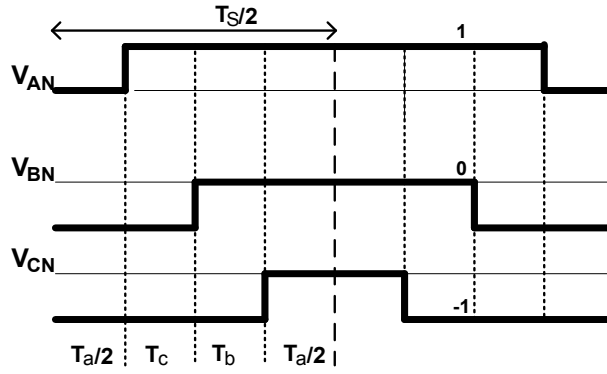
Tablo 3.5. Sektör A-F'ye ait anahtarlama süreleri

		1. Bölge	2. Bölge	3. Bölge	4. Bölge
SEKTÖR A	T _a	$T_s.k.\sin((\pi/3)-\Theta)$	$T_s(1-k.\sin((\pi/3)+\Theta))$	$T_s/2(1-2.k.\sin(\Theta))$	$T_s/2(2.k.\sin(\Theta)-1)$
	T _b	$T_s/2(1-2.k.\sin((\pi/3)+\Theta))$	$T_s.k.\sin(\Theta)$	$T_s/2(2.k.\sin((\pi/3)+\Theta)-1)$	$T_s.k.\sin((\pi/3)-\Theta)$
	T _c	$T_s.k.\sin(\Theta)$	$T_s/2(2.k.\sin((\pi/3)-\Theta)-1)$	$T_s/2(1+2.k.\sin(\Theta-(\pi/3)))$	$T_s(1-k.\sin((\pi/3)+\Theta))$
SEKTÖR B	T _a	$T_s.k.\sin(\Theta-(\pi/3))$	$T_s/2(2.k.\sin((\pi/3)-\Theta)-1)$	$T_s/2(1+2.k.\sin(\Theta+(\pi/3)))$	$-T_s/2(1+2.k.\sin(\Theta+(\pi/3)))$
	T _b	$T_s/2(1-2.k.\sin(\Theta))$	$T_s.k.\sin(\Theta-(\pi/3))$	$T_s/2(2.k.\sin((\pi/3)-\Theta)-1)$	$T_s.k.\sin(\Theta)$
	T _c	$T_s.k.\sin((\pi/3)+\Theta)$	$T_s(1-k.\sin(\Theta))$	$T_s/2(1-2.k.\sin(\Theta))$	$T_s/2(2.k.\sin((\pi/3)-\Theta)-1)$
SEKTÖR C	T _a	$T_s.k.\sin(\Theta)$	$T_s(1-k.\sin(\Theta-(\pi/3)))$	$T_s/2(1+2.k.\sin(\Theta-(\pi/3)))$	$-T_s/2(1+2.k.\sin(\Theta+(\pi/3)))$
	T _b	$T_s/2(1-2.k.\sin(\Theta-(\pi/3)))$	$-T_s.k.\sin(\Theta+(\pi/3))$	$T_s/2(2.k.\sin(\Theta-(\pi/3))-1)$	$T_s.k.\sin(\Theta)$
	T _c	$-T_s.k.\sin(\Theta+(\pi/3))$	$T_s/2(2.k.\sin(\Theta)-1)$	$T_s/2(1-2.k.\sin(\Theta))$	$T_s/2(2.k.\sin(\Theta-(\pi/3)))$
SEKTÖR D	T _a	$-T_s.k.\sin(\Theta)$	$T_s/2(2.k.\sin(\Theta+(\pi/3))-1)$	$T_s/2(1-2.k.\sin(\Theta-(\pi/3)))$	$T_s(1+k.\sin(\Theta+(\pi/3)))$
	T _b	$T_s/2(1+2.k.\sin(\Theta+(\pi/3)))$	$-T_s.k.\sin(\Theta)$	$-T_s/2(1+2.k.\sin(\Theta+(\pi/3)))$	$T_s.k.\sin(\Theta-(\pi/3))$
	T _c	$T_s.k.\sin(\Theta-(\pi/3))$	$T_s(1+k.\sin(\Theta+(\pi/3)))$	$T_s/2(1+2.k.\sin(\Theta))$	$-T_s/2(1+2.k.\sin(\Theta))$
SEKTÖR E	T _a	$-T_s.k.\sin(\Theta+(\pi/3))$	$T_s(1+k.\sin(\Theta))$	$T_s/2(1+2.k.\sin(\Theta-(\pi/3)))$	$-T_s/2(2.k.\sin((\pi/3)-\Theta)-1)$
	T _b	$T_s/2(1+2.k.\sin(\Theta))$	$T_s.k.\sin((\pi/3)-\Theta)$	$-T_s/2(1+2.k.\sin(\Theta))$	$-T_s.k.\sin(\Theta+(\pi/3))$
	T _c	$T_s.k.\sin((\pi/3)-\Theta)$	$T_s/2(1+2.k.\sin((\pi/3)+\Theta))$	$T_s/2(1+2.k.\sin(\Theta+(\pi/3)))$	$T_s(1+k.\sin(\Theta))$
SEKTÖR F	T _a	$T_s.k.\sin(\Theta+(\pi/3))$	$-T_s/2(1+2.k.\sin(\Theta))$	$T_s/2(1+2.k.\sin(\Theta))$	$T_s(1+k.\sin(\Theta-(\pi/3)))$
	T _b	$T_s/2(1+2.k.\sin(\Theta-(\pi/3)))$	$T_s.k.\sin(\Theta+(\pi/3))$	$T_s/2(2.k.\sin((\pi/3)-\Theta)-1)$	$-T_s.k.\sin(\Theta)$
	T _c	$-T_s.k.\sin(\Theta)$	$T_s(1+k.\sin(\Theta-(\pi/3)))$	$T_s/2(1-2.k.\sin(\Theta+(\pi/3)))$	$T_s/2(2.k.\sin(\Theta+(\pi/3))-1)$

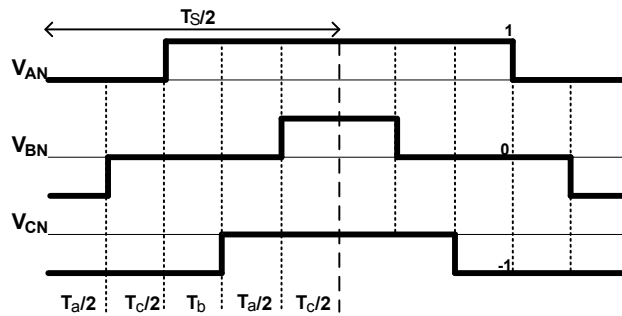
iii. Gerilim vektörünün hangi sektör içerisinde ve hangi bölgede olduğunun tespiti yapıldıktan sonra T_a , T_b ve T_o anahtarlama konum süreleri hesaplanır. Artık hesaplanan bu değerlere göre uygun anahtarlama sıralarının seçimine ve bunların uygulanmasına gelir. Sektör A için uygulanacak anahtarlama sinyallerine ait dalga şekilleri Şekil 3.10'da gösterilmektedir (Mondal, Pinto ve Bose, 2002).



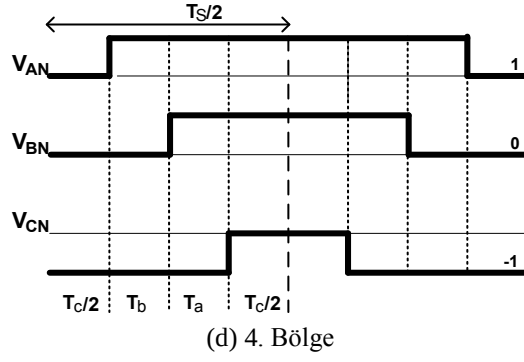
(a) 1. Bölge



(b) 2. Bölge



(c) 3. Bölge



Şekil 3.10. Sektör A'ya ait anahtarlama durumları

Sektör A için yapılan bütün bu işlemler diğer sektörler için de gerçekleştirilir. Tablo 3.6'da bütün sektörler için uygulanacak sinyallerin anahtarlama sırası verilmektedir.

Tablo 3.6. Sektörlerin tümüne ait anahtarlama sıralamaları

Sektör	Fazlar	1. Bölge	2. Bölge	3. Bölge	4. Bölge
Sektör A	A	-1 0 0 0 1 1 1	0 1 1 1	0 1 1 1 1	0 1 1 1
	B	-1 -1 0 0 0 1 1	-1 -1 0 0	-1 1 0 0 1	0 0 1 1
	C	-1 -1 -1 0 0 0 1	-1 -1 -1 0	-1 -1 -1 0 0	-1 -1 -1 0
Sektör B	A	1 1 0 0 0 -1 -1	1 1 0 0	1 0 0 0 -1	0 0 -1 -1
	B	1 1 1 0 0 0 -1	1 1 1 0	1 1 1 0 0	1 1 1 0
	C	1 0 0 0 -1 -1 -1	0 -1 -1 -1	0 0 -1 -1 -1	0 -1 -1 -1
Sektör C	A	-1 -1 -1 0 0 0 1	-1 -1 -1 0	-1 -1 -1 0 0	-1 -1 -1 0
	B	-1 0 0 0 1 1 1	0 1 1 1	-1 0 1 1 1	0 1 1 1
	C	-1 -1 0 0 0 1 1	-1 -1 0 0	-1 0 0 0 1	0 0 1 1
Sektör D	A	1 0 0 0 -1 -1 -1	0 -1 -1 -1	0 -1 -1 -1 -1	0 -1 -1 -1
	B	1 1 0 0 0 -1 -1	1 1 0 0	1 -1 0 0 -1	0 0 -1 -1
	C	1 1 1 0 0 0 -1	1 1 1 0	1 1 1 0 0	1 1 1 0
Sektör E	A	-1 -1 0 0 0 1 1	-1 -1 0 0	-1 0 0 0 1	0 0 1 1
	B	-1 -1 -1 0 0 0 1	-1 -1 -1 0	-1 -1 -1 0 0	-1 -1 -1 0
	C	-1 0 0 0 1 1 1	0 1 1 1	0 0 1 1 1	0 1 1 1
Sektör F	A	1 1 1 0 0 0 -1	1 1 1 0	1 1 1 0 0	1 1 1 0
	B	1 0 0 0 -1 -1 -1	0 -1 -1 -1	1 0 -1 -1 -1	0 -1 -1 -1
	C	1 1 0 0 0 -1 -1	1 1 0 0	1 0 0 0 -1	0 0 -1 -1

3.4 Bölüm Sonuçları

UVDGM tekniği kullanan kaskat bağlı eviricilerde seviye sayısının artışıyla beraber işlem sayısının arttığı gözlenmiştir (Filho ve Pinto, 2008). Bunun nedenleri maddeler halinde sıralanırsa;

- i. Anahtar sayılarının artması ile anahtarlama sıralarının sayıları da artar.
- ii. Sektör sayısı sabit kalsa bile bölge sayısının artmasıyla gerilim vektörünün yerinin tespiti zorlaşır.
- iii. Anahtarlama konum sürelerinin hesabı zorlaşır.
- iv. Kaskat bağlı eviriciler için her bir faz için birbirinden bağımsız DA kaynakların kullanılması gerekir.

Bütün bu maddeler mikrokontrolörde işlem yükünün artmasına neden olur. Ancak bu dezavantajlarının yanı sıra sağladığı avantajlar UVDGM tekniği kullanan kaskat bağlı çok seviyeli eviricinin tercih edilmesine sebep olur. Bu avantajlar;

- i. Çıkış gerilimindeki THD azalır ve daha düzgün bir çıkış gerilimi elde edilebilir.
- ii. Yüksek gerilim seviyelerinde çalışılabilir.
- iii. Daha geniş bir modülasyon aralığında çalışılabilir.
- iv. Kaskat bağlı eviricilerin temel yapısı H köprü evirici olduğu için modellenmesi, tasarlanması ve paketlenip bir modül haline getirilmesi kolaydır.
- v. Kaskat bağlı eviricilerin kontrolü diğer evirici tiplerine göre daha kolaydır.

Bu tez çalışmasında yukarıda sıralanan tüm bu avantajlarından dolayı UVDGM tekniği kullanan kaskat bağlı üç seviyeli evirici devre yapısı kullanılmıştır.

4. YAPAY ZEKÂ HESAPLAMA YÖNTEMİNİN ÜÇ SEVİYELİ KASKAT BAĞLI EVİRİCİYE UYGULANMASI

4.1 Giriş

İnsan beyninin çalışma şeklinin anlaşılacak istenmesi insanlık yaşamının ilk başladığı günlerden itibaren günümüze kadar gelmektedir. İnsanlık doğayla bir arada yaşamış ve doğadan yaşamını kolaylaştıran birçok çözümler öğrenmiştir. Doğada meydana gelen olayları düşünce, akıl ve hisleriyle anlamaya çalışmıştır. Bilgisayarın keşfi de insan beyninin nasıl çalıştığının anlaşılması ve bunun taklit edilmesiyle gerçekleşmiştir. Bilgisayarlar, kısa süre içerisinde insanların zaman harcayarak yaptıkları işlemleri gerçekleştirmişlerdir. Ancak bilgisayarların bu yönde bir kullanımı insan beyninin modellenmesine katkıda bulunmamıştır. Ancak bazı bilim adamları beynin modellenmesi çalışmalarını sürdürmüştür. Bu bilim adamlarının inandıkları prensibe göre; her insan doğuştan belirli bir zekaya sahiptir. Zeka, belirli bir konuda çalışarak, öğretilerek, eğitilerek, edinilen bilgi ve birikimlerle, deneyimlere dayalı becerilerle geliştirilebilir. İlk kez karşılaşılan ya da ani olarak gelişen bir olaya uyum sağlayabilme, anlama, öğrenme, analiz yeteneği, beş duyunun, dikkatin ve düşüncenin yoğunlaştırılması zeka ile gerçekleştirilebilmektedir. Zeka yazılım veya tümeşik yongalarla taklit edilebilmektedir. Bu nedenle yapay sinir ağları (YSA) da biyolojik sinir ağlarından esinlenilerek modellenmiştir. Yapılan çalışmalar ile günümüzde benzeri görülmemiş biçimde yeni yöntemlerin ortaya çıkması sağlanmıştır. Bu yeni yöntemler incelendiğinde, birçoğunun canlı organizmalardan esinlendiği görülmektedir.

McCulloch bir nörobiyolojist ve Pitts ise istatistik ve matematik dehasıdır. İki bilim adamı 1942 yılında bir araya gelmiş ve beyindeki nöronların yerine benzerlerini kullanarak beyin fonksiyonlarının modellenebileceğini öne sürmüşlerdir. McCulloch, ve Pitts 1943 yılında ilk olarak bir biyolojik nöronun eşik fonksiyonu olarak modellenebileceğini göstermiştir. Daha sonra 1949 yılında Hebb tarafından Davranış Organizasyonu (Organization of Behavior) adlı kitap yayınlanmıştır. Bu kitap ile hücresel seviyede öğrenme durumu anlatılmıştır. Bu öğrenme durumu geriye yayılma algoritmasının temeli

olarak düşünülebilir (Mc Culloch ve Pitts, 1943). İlk hızlı öğrenme çalışmaları ise bilgisayarla sayısal hesaplamaların hızla gelişmesi nedeniyle 1950'li yıllarda başlamıştır. Aynı yıl Rosenblatt basit bir nöron yapısına dayanarak perceptron olarak bilinen ilk tek katmanlı YSA modelini ortaya çıkarmıştır. 1960'lı yıllarda ise Widrow ve Hoff tarafından delta kural olarak bilinen gerçek çıkış ile istenilen çıkış arasındaki farka eşit bir hata terimi kullanarak ağırlıkları değiştiren bir öğrenme kuralı geliştirmiştir. 1969 yılından 1982 yılına kadar geçen süre içerisinde YSA hakkındaki çalışmalarda teori neredeyse tamamen oturmuştur. Bu tarihten itibaren ise artık güncel YSA zamanı başlamıştır. 1985 yılında Hopfield tarafından geri beslemeli YSA modeli ortaya çıkarılarak YSA hakkında yapılan çalışmalar hız kazanmıştır. Geri beslemeli YSA ile pratik optimizasyon problemlerinin çözülebileceği gösterilmiştir.

1986 yılında ise Rumelhart ve arkadaşları tarafından ileri beslemeli ağlarda kullanılan hatanın geriye yayılması algoritması geliştirilmiştir. Günümüzde bir çok uygulamada kullanımının rahatlığı ve öğrenmesinin kolaylığı nedeniyle hatanın geriye yayılması algoritması kullanılmaktadır (Rumelhart, McClelland, ve PDP Araştırma Grubu, 1986).

İnsan beyni, nöron adı verilen birçok sinir hücresinin bir araya gelmesinden oluşmaktadır. İnsan vücudunda yer alan tüm diğer hücrelerin belirli ömürleri vardır. Yerlerine yeni hücreler üretilirken nöronlar kendiliğinden ölmezler. Bu durum belki de bilgilerin nasıl kalıcı olduğunu da açıklayabilir. İnsan vücudunda yaklaşık olarak 10^{11} neuron bulunmaktadır (Kohonen, 1988). İnsanların beyinlerindeki farklılıkların, yapılan incelemelerde bilgilerin işleme farklılığından kaynaklandığı ortaya çıkmıştır. Elde edilen en çarpıcı sonuçlarından biri ise insan beynindeki sinirlerin, bilgileri paralel olarak işlediğini göstermiştir. Bu sonuçtan hareket eden bilim adamları, insan beyninde olduğu gibi bilgilerin paralel işlenerek insan davranışlarına akıldan geldiğince yakın olması için çalışmalara hız vermiştir. Bu çalışmalar, adı geçen yeteneklere sahip yöntem, cihaz ve makinelerin tasarlanması üzerine yoğunlaşmıştır. Sonunda insan davranışlarını modelleyebilecek akıllı sistemlerin kurulması için Yapay Sinir Ağları (YSA) ve Genetik Algoritma (GA) gibi farklı yöntemler geliştirilmiştir. Özellikle bu yöntemlerin yardımı ile uzman sistemler birçok alanda kullanılır hale gelmiştir. YSA mimarisi, gelen ışığı bileşenlerine ayırabilen bir prizmaya benzetilebilir. YSA mimarisi ve matematiği ile gelen verileri değişik basitlikte kısımlara ayırdıktan sonra bunları istenilen çıktılara uygun olacak şekilde yeniden birleştirme yapar (Şen, Z, 2004).

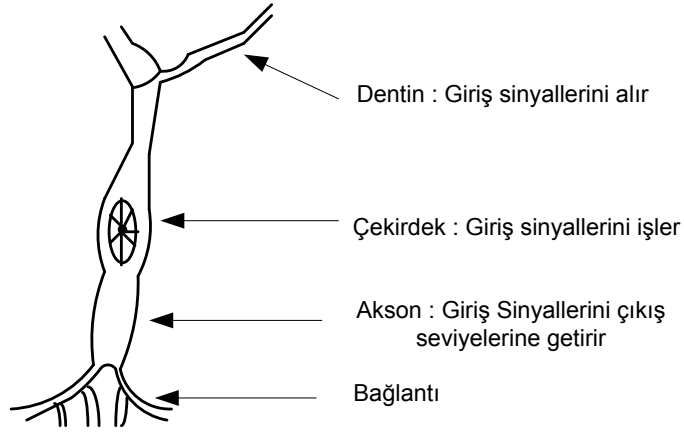
4.2 Yapay Sinir Ağları (YSA) Tanımı ve Özellikleri

Yapay sinir ağları, beyinden esinlenildiklerinden dolayı, beyinle benzer yapıya sahiptirler. Fakat, beynin yoğun bağlantılı ve komplike yapısının sadece beyine özel bir özellik olduğu belirtilmelidir. Başka hiçbir yerde veya dijital bilgisayarda bulunmayan bu yapıya yakınsamak günümüz teknolojisinde bile çok uzaktır. Yapay sinir ağlarını oluşturmak için kullanılan yapay nöronlar, beyindekilere kıyasla oldukça ilkel sayılırlar. Dolayısıyla, yapay nöronlar beynin yoğun bağlantılı ve komplike yapısından hala oldukça uzaktırlar ama genel yapı olarak tutarlıdırlar. Diğer bir ifadeyle, YSA'lar, komplike, çok yönlü ve güçlü bir organizma olan beynin sadece en temel elemanlarını kopyalamaya çalışmaktadır.

YSA'ların temel elemanları yapay nöronlar (hücreler)'dir. Nöronlar sinir sistemi içerisindeki görevlerine göre değişik şekil ve büyüklükte olabilirler. Bu nöronlar, aralarındaki bağlantıları oluşturarak ve tabakalar halinde gruplandırarak yapay sinir ağlarını oluşturmaktadır. Bir nöron soma adı verilen hücre gövdesinden meydana gelmektedir. Bir ucunda bir grup liflere benzer “dentin” adı verilen ve hücreye diğer hücrelerden veya dış dünyadan bilgiler (sinyaller) getiren bağlantı elemanları, diğer ucunda ise tek bir life benzer “akson” adı verilen ve hücrelerden diğerlerine veya dış dünyaya bilgiler taşıyan bağlantı elemanları bulunur. Bu akson daha sonra diğer hücrelerle birleşme esnasında dağınık dallara ayrılmaktadır. Dentin tarafından alınan sinyaller hücre içerisinde birleştirilerek bir çıkış darbesi üretilip üretilmeyeceğine karar verilir. Eğer her hangi bir iş yapılacaksa üretilen çıkış darbesi aksonlar tarafından taşınarak diğer nöronlarla olan bağlantılara iletilir. İnsan beyni tahminen 100 milyar sinir hücresi veya nöronlarından meydana gelmiştir. Bu yapının oldukça basitleştirilmiş bir örneği Şekil 4.1'de görülmektedir. Nöronlar hücre duvarındaki gerilim tarafından oluşan kısa süreli elektriksel sinyaller aracılığıyla iletişim kurarlar.

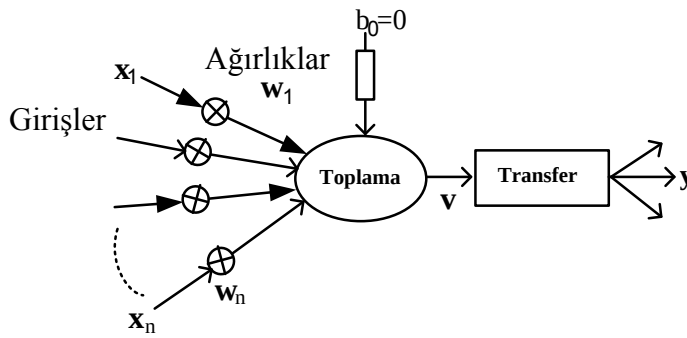
Biyolojik sistemlerde öğrenme, nöronlar arasındaki sinaptik (synaptic) bağlantıların ayarlanması ile olur. Yani, insanlar doğumlarından itibaren “yaşayarak öğrenme” süreci içerisine girerler. Bu süreç içinde beyin sürekli bir gelişme göstermektedir. Yaşayıp tecrübe ettikçe sinaptik bağlantılar ayarlanır ve hatta yeni bağlantılar oluşur. Bu sayede öğrenme gerçekleşir. Bu durum YSA için de geçerlidir. Öğrenme, eğitme yoluyla örnekler kullanarak olur; başka bir deyişle, gerçekleşme girdi/çıktı verilerinin işlenmesiyle, yani

eğitme algoritmasının bu verileri kullanarak bağlantı ağırlıklarını bir yakınsama sağlanana kadar, tekrar tekrar ayarlamasıyla olur.



Şekil 4.1. Biyolojik nöronun genel yapısı

Şekil 4.2’de giriş değerleri x_i matematiksel sembolü ile gösterilmiştir ve bu gösterimde $i = 0, 1, 2, \dots, n$ değerlerini almaktadır. Bu giriş değerlerinin her biri bir bağlantı ağırlığıyla çarpılmaktadır. Bu ağırlıklar ise w_i ile gösterilmektedir. En basit yapıda, ağırlıklandırılmış sinyaller bir düğümün aktivasyon fonksiyonun bulunması için basit toplama işlemi aracılığıyla birleştirilirler ve bir transfer fonksiyonuna gönderilerek sonuç üretilir. Bu sonuç daha sonra bir çıktıya dönüştürülür. Bu elektronik uygulama değişik toplama fonksiyonları ve farklı ağ yapılarında uygulanabilir.

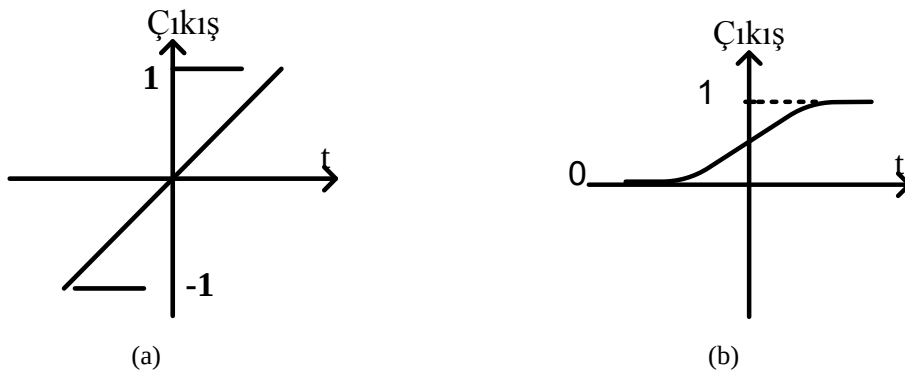


Şekil 4.2. Yapay nöronun genel yapısı

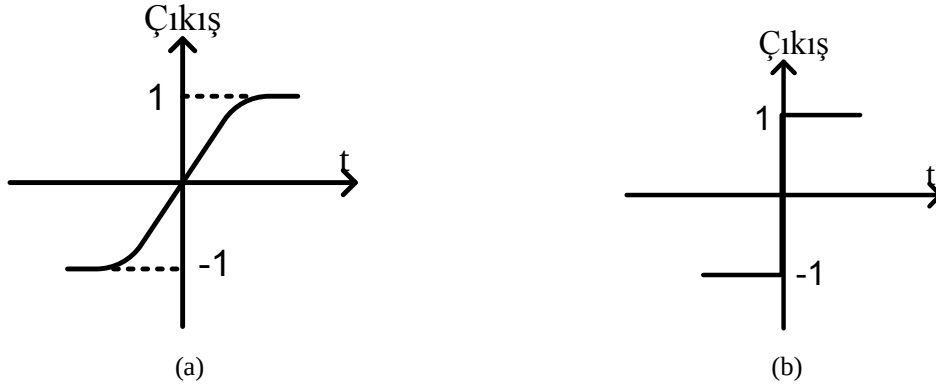
Toplama fonksiyonu; girişler ile ağırlıkların çarpımının toplamından oluşur. Bu fonksiyon hücreye gelen net girdiyi hesaplar. Toplama fonksiyonu tasarıma göre farklı

seçilebilir. Toplama fonksiyonu, bu basit çarpımlar toplamına ek olarak, minimum, maksimum, mod, çarpım veya çeşitli normalizasyon işlemlerinden birisi olabilir.

Bir aktivasyon fonksiyonu ($\phi(\cdot)$) kullanmanın amacı toplama fonksiyonu çıktısının zamana bağlı olarak değişmesini sağlamaktır. Transfer fonksiyonu olarak da geçen aktivasyon fonksiyonu, birleştirme fonksiyonundan elde edilen net girdiyi bir işlemden geçirerek hücre çıktısını belirleyen ve genellikle doğrusal olmayan bir fonksiyondur. Hücre modellerinde, hücrenin gerçekleştireceği işleve göre çeşitli tipte aktivasyon fonksiyonları kullanılabilir. Aktivasyon fonksiyonları bir YSA'da nöronun çıkış genliğini, istenilen değerler arasında sınırlar. Bu değerler genellikle $[0,1]$ veya $[-1,1]$ arasındadır. YSA'da kullanılacak aktivasyon fonksiyonlarının türevinin alınabilir olması ve süreklilik arz etmesi gereklidir. Aktivasyon fonksiyonları sabit parametrelili ya da uyarlanabilir parametrelili seçilebilir. En uygun aktivasyon fonksiyonu tasarımcının denemeleri sonucunda belli olur. Aktivasyon fonksiyonunun seçimi büyük ölçüde yapay sinir ağının verilerine ve ağın neyi öğrenmesinin istendiğine bağlıdır. Geçiş fonksiyonları içinde en çok kullanılanı sigmoid ve hiperbolik tanjant fonksiyonlarıdır. Örneğin, eğer ağın bir modelin ortalama davranışını öğrenmesi isteniyorsa sigmoid fonksiyon, ortalamadan sapmanın öğrenilmesi isteniyorsa hiperbolik tanjant fonksiyon kullanılması önerilmektedir. Şekil 4.3 ve Şekil 4.4'de Doyumlu Doğrusal Aktivasyon Fonksiyonu, Sigmoid Aktivasyon Fonksiyonu, Eşik Aktivasyon Fonksiyonu gösterilmektedir. Bunların yanı sıra başka aktivasyon fonksiyonları da YSA'da kullanılmıştır. Her bir aktivasyon fonksiyonuna göre YSA'nın çözebilme kabiliyeti incelenmiştir.



Şekil 4.3. (a). Doğrusal aktivasyon fonksiyonu, (b). Sigmoid aktivasyon fonksiyonu



Şekil 4.4. (a). Tanjant Sigmoid aktivasyon fonksiyonu, (b). Eşik aktivasyon fonksiyonu

Doğrusal bir problemi çözmek amacıyla kullanılan doğrusal hücre ve YSA’da kullanılan doğrusal fonksiyon, hücrenin net girdisini doğrudan hücre çıkışı olarak verir. Doğrusal aktivasyon fonksiyonun matematiksel ifadesi Denklem 4.1’de verilmektedir. “A” sabit bir katsayıdır.

$$y = A.v \quad (4.1)$$

Sigmoid aktivasyon fonksiyonu, türevi alınabilir, sürekli ve doğrusal olmayan bir fonksiyon olması nedeniyle uygulamada en çok kullanılan aktivasyon fonksiyonudur. Bu fonksiyon, girdinin her değeri için sıfır (0) ile bir (1) arasında bir değer üretir. Sigmoid fonksiyonun matematiksel ifadesi Denklem 4.2 ile verilmektedir.

$$y(t) = \frac{1}{(1 + e)^{-t}} \quad (4.2)$$

Tanjant Sigmoid aktivasyon fonksiyonu, Sigmoid aktivasyon fonksiyonuna benzer. Ancak bu fonksiyonun çıkışları -1 ile +1 arasında değişmektedir. Tanjant Sigmoid aktivasyon fonksiyonun matematiksel ifadesi Denklem 4.3’de verilmektedir.

$$y(t) = \frac{1 - e^{-2t}}{1 + e^{2t}} \quad (4.3)$$

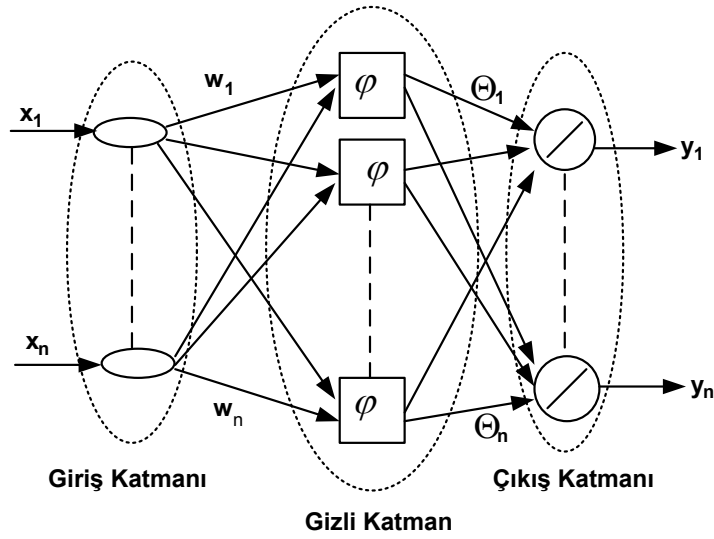
Eşik aktivasyon fonksiyonu, mantıksal çıkış verir. Giriş değeri $t \geq 0$ ise çıkış değeri (1), $t < 0$ ise çıkış değeri (-1) olacak şekilde çalışır. Özellikle sınıflandırıcı ağlarda tercih edilirler.

Tüm YSA'lar, yukarıda temel elemanları anlatılan bu temel yapı taşlarından yani nöronlardan oluşurlar. Bu yapı taşlarının tasarımı, sinir ağı mimarisinin oluşturulmasının ilk bölümüdür. Bu mimari yapının ikinci bölümü ise bu işlem elemanlarının kümelenendirilmesi ve birbirleri arasındaki bağlantıların oluşturulmasını içerir. Beyinde kümelenendirme, bilginin dinamik, etkileşimli ve kendiliğinden organize bir şekilde işlenmesini sağlayacak şekildedir. Biyolojik sinir ağları üç boyutlu uzayda mikroskobik elemanlarla oluşturulur. Bu nöronlar hemen hemen sınırsız sayıda bağlantılar içerirler. Bu, yapay sinirler için mümkün değildir. Bugünkü teknoloji ile iki boyutlu ortamda ve belirli sayıda bağlantı içeren nöronlar oluşturulabilmektedir. Bu durum, YSA'ların yetenek ve çeşitlerini sınırlamaktadır.

Bilgi işleme yöntemlerinden biri olarak tanımlanabilen YSA aynı zamanda verilen girdiler karşılığında çıkış üretebilen bir kara kutu olarak da adlandırılabilir. YSA'nın sahip olduğu özellikler klasik bilgi işleme yöntemlerinden farklı olmalarını sağlamaktadır. Sahip oldukları özelliklere göre bazı durumlarda daha iyi sonuçlar alındığı görülmektedir.

YSA bilgileri paralel olarak işlemektedir. Bu da; ağ içerisindeki her birimin birbirinden bağımsız olduğu anlamına gelmektedir. Bu şekilde çalışan birimlerin herhangi birinde meydana gelen hata tüm sistemde belirgin bir hata oluşmasının önüne geçer. Genel olarak sistem yerel hatalardan en az şekilde etkilenir. Ayrıca paralel çalışan YSA'nın karmaşık olmayan yapısı ve basit fonksiyonları kullanması nedeniyle birçok sorunun çözümünde tercih edilmesine neden olmuştur.

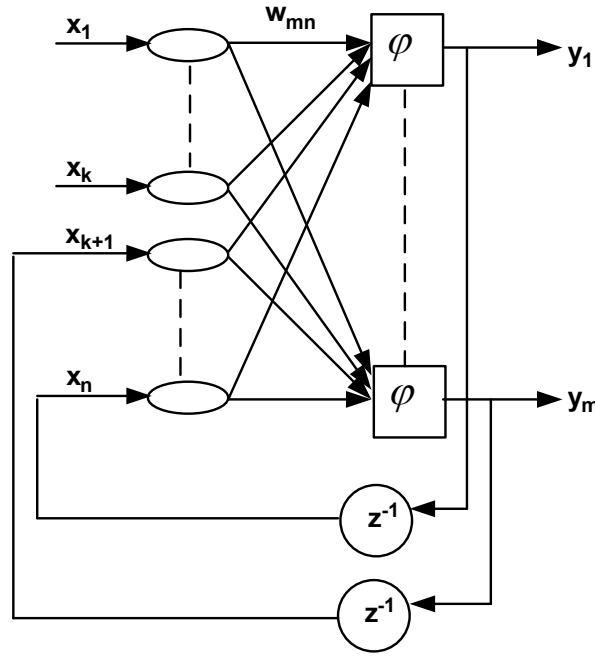
YSA'larda, yapay nöronlar basit bir şekilde kümelenendirilmektedirler. Bu kümelenendirme tabakalar halinde yapılmaktadır ve daha sonra bu tabakalar bir diğerine ilişkilendirilmektedir. Temel olarak, tüm YSA'lar benzer bir yapıya sahiptirler. Böyle bir genel yapı Şekil 4.5'de gösterilmektedir. Bu yapıda, bazı nöronlar girişleri almak için bazı nöronlar ise çıkışları iletmek için dış mekan ile bağlantılı halindedirler. Geri kalan tüm nöronlar ise gizli katmandadırlar, yani sadece ağ içinde bağlantıları vardır.



Şekil 4.5. İleri beslemeli yapay sinir ağı (İBYSA) yapısı

Tek katmanlı bazı başarılı ağlar oluşturulabilmesine rağmen birçok uygulamada en az üç katman (giriş katmanı, gizli katmanı ve çıktı katmanı) içeren ağlara ihtiyaç duyulmaktadır. Giriş katmanı, dışarıdan girişleri alan nöronlarını içerir. Ayrıca, önemli olan bir nokta, giriş katmanındaki nöronların giriş değerler üzerinde bir işlem uygulamamasıdır. Sadece giriş değerleri bir sonraki katmana iletilir ve bu yüzden de bazı araştırmacılar tarafından ağların katman sayısına dahil edilmezler. Çıkış katmanı ise çıkışları dışarı ileten nöronları içeren katmandır. Giriş ve çıkış katmanları tek tabakadan oluşurken bu iki katman arasında birden fazla gizli katman bulunabilir. Bu gizli katmanlar çok sayıda nöron içerirler ve bu nöronlar tamamen ağ içindeki diğer nöronlarla bağlantılıdır. Çoğu ağ türünde, gizli katmandaki bir nöron sadece bir önceki katmanın tüm nöronlarından sinyal alır. Nöron işlemini yaptıktan sonra ise çıktısını bir sonraki katmanın tüm nöronlarına gönderir. Bu yapı ağ çıkışı için bir ileri besleme yolu oluşturur. Bir nörondan diğerine olan bu iletişim hattı, sinir ağları için önemli bir parçadır.

Diğer bir bağlantı şekli ise geri yayılmadır. Geriye yayılma bağlantısı, bir katmanın çıkışının önceki katmana gönderilmesidir ve Şekil 4.6’da bu yapı gösterilmektedir.



Şekil 4.6. Geri beslemeli yapay sinir ağı (GBYSA) yapısı

Bellek Hücreli Yapay Sinir Ağları (BHYSAs) ağıdaki herbir hücre için bir bellek hücresinin kullanıldığı katmanlı geri beslemeli bir ağ yapısıdır. BHYSAs'da her bir ağ hücresine ait olan bellek hücresi bir ağırlık üzerinden öz geri besleme girişine ve başka bir ağırlık üzerinden bulunduğu hücrenin gecikmiş girişine göre bir çıkış üretir.

Radyal Tabanlı Fonksiyon Ağı (RTFA) çok boyutlu uzayda eğri uyurma yaklaşımıdır. Bu nedenle RTFA'nın eğitimi çok boyutlu uzayda eğitim verilerine en uygun bir yüzeyi bulma problemine dönüşür. RTFA, İBYSA yapıları gibi giriş, orta ve çıkış katmanlarından meydana gelirler. Giriş katmanından orta katmana dönüşüm, radyal tabanlı aktivasyon fonksiyonları ile doğrusal olmayan bir dönüşümdür. Orta katmandan çıkış katmanına ise uyarlamalı ve doğrusal bir dönüşüm gerçekleşir. RTFA'da uyarlanabilecek parametreler; merkez vektörleri, radyal fonksiyonların genişliği ve çıkış katmanı ağırlıklarıdır. Merkezler; girişler arasından rastgele ve sabit olarak seçilebilmekle birlikte RTFA'nın performansını iyileştirmek amacıyla merkez vektörlerinin ve genişliğinin uyarılması için de çeşitli yöntemler geliştirilmiştir.

Çağrışımli sistemler, belirli giriş vektörlerini belirli çıkış vektörlerine dönüştüren yada ilişkilendiren sistemler olarak tanımlanır. Dolayısıyla Çağrışımli Bellek Ağları (ÇBA), eğitim sürecinde ağı verilen eğitim örneklerini ağırlıkları aracılığı ile saklar ya da ezberler ve hatırlama yada genelleme sürecinde ise saklanan bu bilgileri doğru olarak verir. Bu

özellikleri nedeni ile Çağrışimli Bellek Ağları kodlayıcılar ve kod çözücülerin yaptığı işleri yaparlar. Çağrışimli Bellek Ağları sistem tanımlama ve denetimi amacıyla kullanılabilir. Bu tür Çağrışimli Bellek Ağlar üç katmanlı YSA'ya benzerler ancak girişler normalize edilmek üzere giriş katmanından orta katmana farklı doğrusal olmayan fonksiyonlarla bir dönüşüm gerçekleştirirler. Çağrışimli Bellek Ağların performansı ağ girişlerinden orta katman taban fonksiyonlarına gerçekleştirilen doğrusal olmayan değişime bağlıdır. Orta katmandan çıkış katmanına ise doğrusal bir dönüşüm vardır. Bu nedenle girişleri normalize eden n boyutlu bir bölümlendirme yapısı belirlenmelidir. Girişleri normalize etme, her bir girişin en azını ve en çoğunu belirleyerek bu aralığı ağı duyarlılığına göre bölümlere ayırma işlemi olarak tanımlanabilir. Bölümlendirme yapısının tasarımı; Çağrışimli Bellek Ağların modelleme yeteneği, bellek gereksinimi ve öğrenme hızını etkiler.

Modül Yapay Sinir Ağları (MYSA) çok sayıda Yapay Sinir Ağı'nın birleşiminden meydana gelir. Eğer bir ağı yapması gereken işlemler birbirleriyle de haberleşmeksizin iki ya da daha fazla alt modüle ayrılabilirse bu ağlar MYSA olarak adlandırılır. MYSA'nın böl ve yönet esasına göre çalıştığı söylenebilir ve böylece karmaşık problemler daha basit alt bileşenlere ayrılarak çözülebilir ve sonuçta çözümler birleştirilebilir.

Nöronların diğer nöronlara bağlanma şekli ağı çalışmasını önemli derecede etkilemektedir. Öğrenme, YSA'ların bazı önemli özellik ve avantajlarının kaynağını oluşturduğundan dolayı önemli bir yere sahiptir. Bu yüzden, YSA yapısı içindeki öğrenme sürecine yönelik üç önemli unsur bulunmaktadır.

İlk önemli unsur öğrenme fonksiyonudur. Öğrenme fonksiyonunun amacı her işlem elemanının girişine ait değişken bağlantı ağırlıklarını ayarlamaktır. Giriş bağlantı ağırlıklarının, istenilen sonucu elde edecek şekilde değiştirilmelerini sağlayan bu işlem adaptasyon fonksiyonu olarak da adlandırılmaktadır.

İkinci olarak hata fonksiyonu gelir. Öğrenme fonksiyonunun gerekli ayarlamaları yapabilmesi için yanılma payının bilinmesi gerekmektedir. Hata fonksiyonu, bu amaca yönelik olarak, o anki çıkış ile istenilen çıkış arasındaki farkı hesaplar ve gerekiyorsa bir dönüştürme uygular.

Son olarak ise öğrenme oranı gelir. Öğrenme oranı, öğrenme sürecinin işlevi ve hızı açısından önemlidir. Çünkü YSA'ların öğrenmeleri ile hızları ters orantılıdır. Basit olarak, tek bir adımda daha fazla öğrenme, daha düşük bir hız ve dolayısıyla daha fazla zaman anlamına gelmektedir. Kısacası, daha fazla hız daha az öğrenme anlamına gelmektedir. Sonuç olarak, bir ağı ne kadar eğiteceği sorusu öğrenme oranına bağlıdır. Öğrenme

oranının belirlenmesinde ise ağın karmaşıklık düzeyi, büyüklüğü, mimarisi, kullandığı öğrenme kuralı ve istenilen doğruluk derecesi gibi birçok faktör rol oynar. Çoğu öğrenme fonksiyonu, öğrenme oranı için belirli standartlara sahiptir. Öğrenme oranı genellikle $[0,1]$ gibi bir aralık içinde belirlenir. Bu aralıkta, öğrenme oranının küçük değeri alması, yavaş bir öğrenme süreci getirecektir. Diğer taraftan ise, öğrenme sürecinin küçük adımlar halinde olması maksimum doğruluk derecesine yakınsamayı getirebilecektir.

Eğer bir ağ ilgili problemi çözemiyorsa ilk olarak ağı yapısı gözden geçirilmelidir. Giriş ve çıkış verileri, tabaka sayısı, her tabakadaki eleman sayısı, tabakalar arasındaki bağlantılar, toplama, transfer ve eğitme fonksiyonları ve hatta başlangıç ağırlıkları gözden geçirilmelidir. Tüm bu bilgiler, yapay sinir ağlarının başarılı bir ağ oluşturması için gereklidir. Daha sonra ise kullanıcının tercihi ve yaratıcılığına bağlı olan eğitme kuralları değiştirilerek sonuçlar incelenir.

4.3 Yapay Sinir Ağlarında Öğrenme Algoritmaları

YSA için literatürde birçok öğrenme algoritması geliştirilmiştir. Bu algoritmaların çoğu matematiksel tabanlı olup ağırlıkların yenilenmesi için kullanılırlar. Geliştirilen algoritmaların temelini ise aşağıda sıralanan dört algoritma oluşturmaktadır.

4.3.1 Hebb Öğrenme Kuralı

Bu öğrenme algoritması Donald Hebb tarafından 1949 yılında geliştirilmiş en eski ve en basit öğrenme algoritmasıdır. Bu algoritmada iki girişli bir sistem için eğer x_1 hücresi, x_2 hücresinden bir giriş alıyorsa ve eğer her ikisi de aktifse x_1 ve x_2 'nin ağırlıkları artar denilir. Hebb algoritmasının bir özelliği ağı eğitiminin önce ağırlıklarının sıfır olması gerekliliğidir (Hebb, 1949).

4.3.2 Widrow-Hoff Öğrenme Kuralı

Bu kural ilk olarak Widrow ve Hoff tarafından geliştirilmiştir. Delta öğrenme kuralı olarak da bilinmektedir. Bu kuralda, hücrenin gerçek çıkışı ile istenilen çıkış değerleri arasındaki farkı azaltan, giriş bağlantılarını güçlendiren ve sürekli olarak değiştiren bir yapı vardır. Widrow-Hoff öğrenme kuralı ortalama küresel hatanın, bağlantı ağırlık değerlerinin

değiştirilmesi ile düşürülmesi prensibine dayanır. Bu nedenle en küçük kareler yöntemi olarak da bilinir. Hata aynı anda bir katmandan bir önceki katmana geri yayılarak azaltılır. Bu öğrenme kuralı günümüzde en çok kullanılan algoritma olan geriye yayılım algoritmasının da temelini oluşturmaktadır (Widrow ve Hoff, 1960).

4.3.3 Hopfield Öğrenme Kuralı

Bu kural Hebb kuralına benzer. Bu kuralda, eğer istenilen çıkış ve girişin her ikisi de aktif değilse öğrenme oranı tarafından bağlantı ağırlığı arttırılır. Diğer durumlarda ise azaltılır. YSA'nın en önemli özelliklerinden biri de ilgilendiği problemde aldığı verilerle problemi öğrenmek ve öz yeteneğini buna uygun olarak düzeltebilmesidir. YSA'nın bir problemi çözebilmesi için ilgilendiği problem tarafından uyarılması gerekir (Hopfield, 1982). YSA'nın ağırlıkları uyarabilmesi için uyarı sinyallerine göre üç durumu vardır.

- 1- Eğitici Öğrenme,
- 2- Eğitici Öğrenme,
- 3- Takviyeli Öğrenme.

Bu üç öğrenme yöntemi genel bir sınıflandırmadır ve ayrıntıları literatürde mevcuttur.

4.3.4 Kohonen Öğrenme Kuralı

Bu kuralda hücreler öğrenmek için yarışır. En büyük çıkışa sahip olan hücre kazanır ve kazanan hücrenin ağırlıkları güncellenir. Bu hücre komşularını uyarır ve yasaklama kapasitesine sahiptir. Kohonen kuralı hedef çıkışa gereksinim duymaz. Bu nedenle de danışmasız bir öğrenme metodudur (Kohonen, 1984).

4.3.5 Levenberg Marquardt Öğrenme Kuralı

Öğrenmede kullanılan geriye yayılım algoritma tekniklerinden biridir. Bu algoritma ile hızlı öğrenme ve iyi yakınsayabilme gerçekleştirilmektedir. Maksimum komşuluk fikri üzerine kurulmuş en az kareler hesaplama metodudur. Bu algoritma ile hata, her iterasyon adımında hata yüzeyine parabolik olarak yaklaşır ve parabolün minimumu o adım için çözümü oluşturur.

4.4. Yapay Sinir Ağlarının Öğrenme Alanları

YSA günümüzde çözümü oldukça güç yada karmaşık olan problemlerin çözümünde kullanılmakta ve oldukça başarılı sonuçlar elde edilmektedir.

Elektronik ve elektromanyetik alanlarında; elektronik elemanlarının modellenmesi, modellenen sistemlerin yazılımlarında, eleman boyut hesaplamalarında, RF/Mikrodalga iletim hatlarının analiz ve sentezinde, anten tasarımında, ortamdaki elektromanyetik alanın şiddetinin tahmininde vb. alanlarda kullanılmaktadır.

Otomasyon ve kontrol alanlarında; doğrusal olmayan sistemlerin modellenmesi ve kontrolü, elektrikli sürücü sistemlerinin kontrolü, otomatik yol bulma ve gösterilmesi, alternatif yol güzergâhının tespiti, robot sistemlerinin kontrolü, uçaklarda otomatik pilot sistemi vb. oldukça yaygın bir kullanım alanı vardır.

Haberleşme alanında; görüntü işleme, gerçek zamanda çevrim gibi alanlarda kullanılmaktadır.

Finansal alanda; el yazısı tanıma portföy analizlerinin yapılması, kredi risk değerlendirilmesi vb. gibi alanlarda kullanılmaktadır.

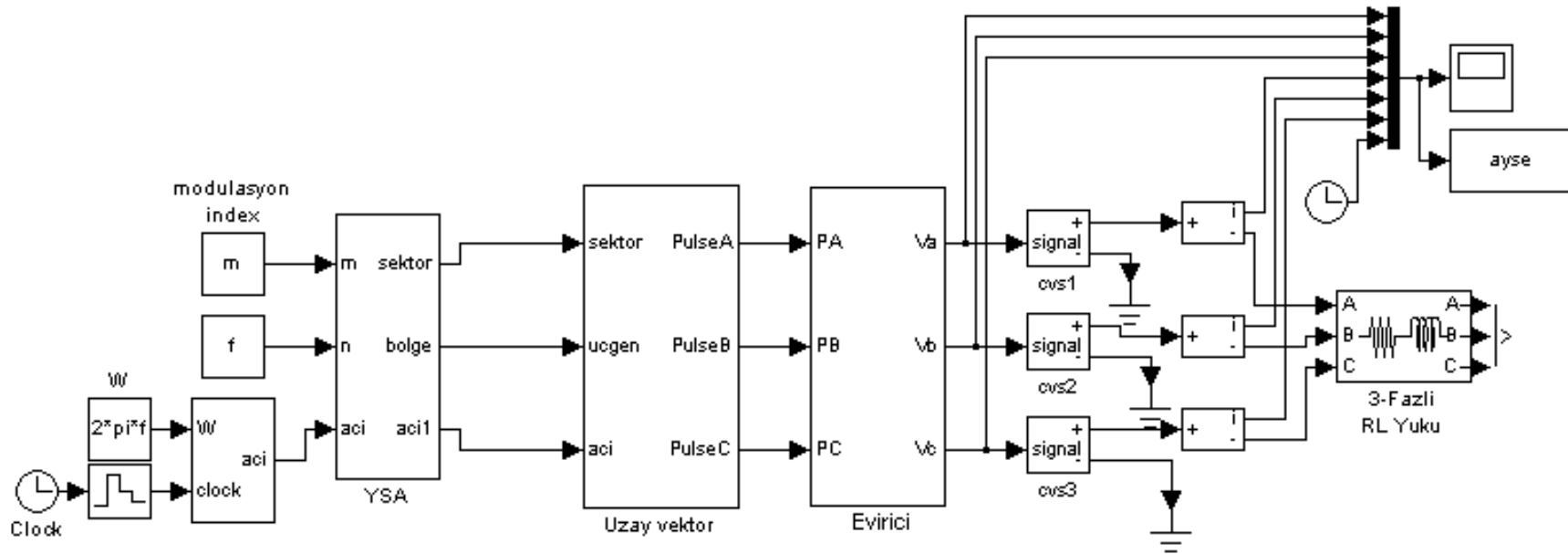
Üretim alanında; ürünün analizi, tasarımı ve üretim sistemin optimizasyonu, kalite kontrolü ve analizi vb. gibi alanlarda kullanılmaktadır.

Savunma sanayide; hedef takibi, görüntü ayırma ve tanıma, silahların optimizasyonu vb. gibi alanlarda kullanılmaktadır.

Tıp alanında; tıbbi sinyallerin analizi, kötü huylu hücre tespiti, protez tasarımı, vb. gibi alanlarda kullanılmaktadır.

4.5. Yapay Sinir Ağlarını Kullanarak Üç Seviyeli Eviriciler İçin Sektör ve Bölge Tespiti

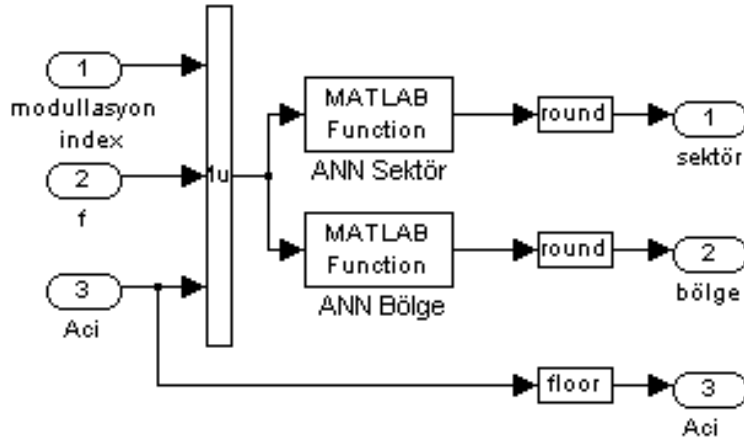
V_{ref} gerilim vektörünün hangi sektörde ve hangi bölge içinde olduğu yapay sinir ağı kullanılarak bulunmaktadır. Şekil 4.7 ile gerilim vektörünün tespiti için yapay sinir ağı kullanan üç seviyeli UVDGM'nin MATLAB/Simulink benzetimi gösterilmektedir. Bu modelde; $R=3.7\Omega$ ve $L=0.305$ H olan üç fazlı yıldız bağlı bir yük kullanılmaktadır.



Şekil 4.7. Gerilim vektörünün tespiti için yapay sinir ağı kullanan üç seviyeli UVDGM'nin MATLAB/Simulink benzetimi

“Uzay vektör” bloğunda kullanılan matematiksel ifadeler Bölüm 3’te ayrıntılarıyla açıklanmıştır.

“YSA” bloğunun iç yapısı ise Şekil 4.10’da gösterilmektedir.

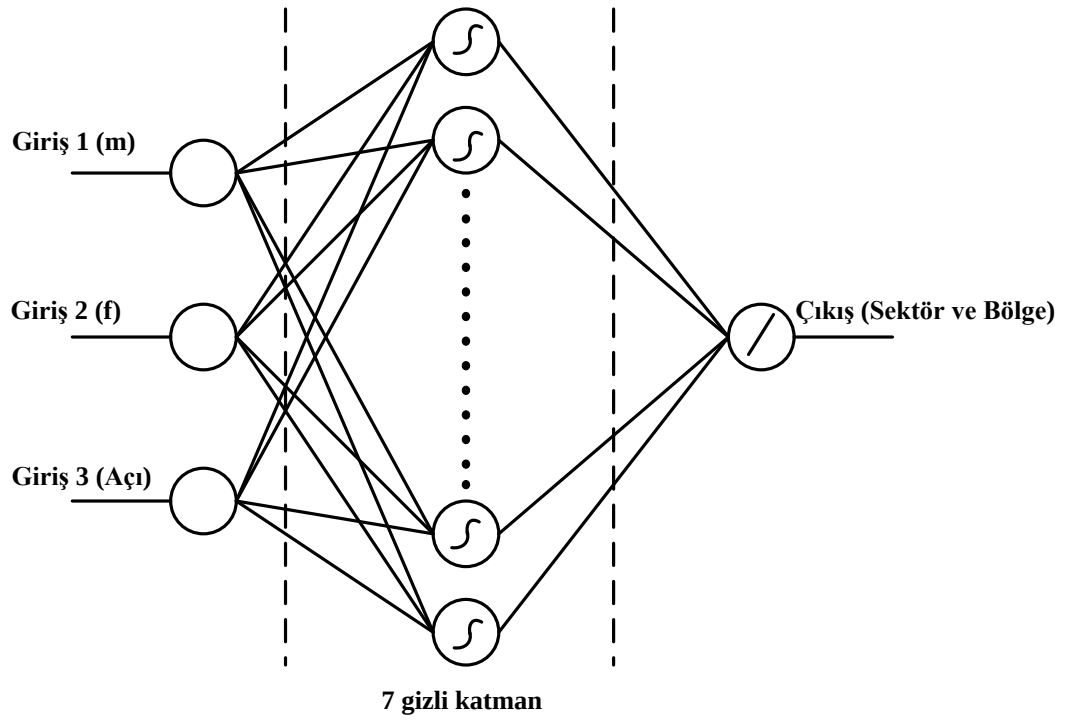


Şekil 4.10. “YSA” bloğunun iç yapısı

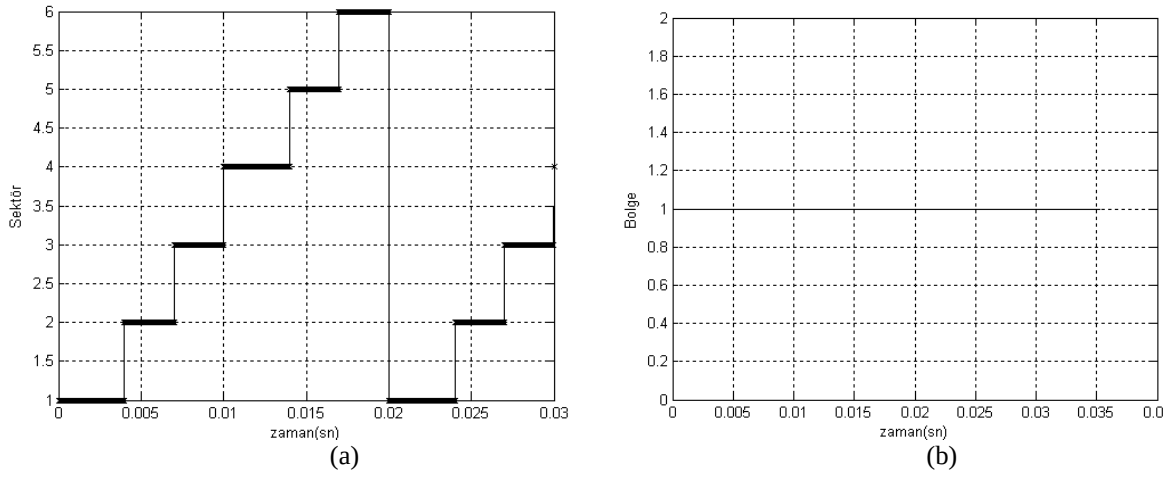
ANN Sektör fonksiyonu ile “trainer 1” adı verilen sektörlerin eğitimin yapıldığı m-dosyası çalıştırılır. Benzer olarak ANN Bölge fonksiyonu ile de “trainer 2” adı verilen bölgelerin eğitiminin yapıldığı m-dosyası çalıştırılır. Sektör ve bölge tespitleri için ayrı ayrı birer İBYSA yapısı kullanılmıştır.

Her iki sistemde değişik modülasyon indeksi ve frekans değerleri için çalıştırılarak ($m = 0.1 - 0.9$, $f = 5 - 70$ Hz) elde edilen değerler Levenberg-Morguart algoritması kullanılarak 2000 devir için eğitilmiştir. Bu yöntem performans kriterinin $((1/2) \cdot e^2)$ ikinci türevi alınarak gerçekleştirilir ve hata minimize edilir.

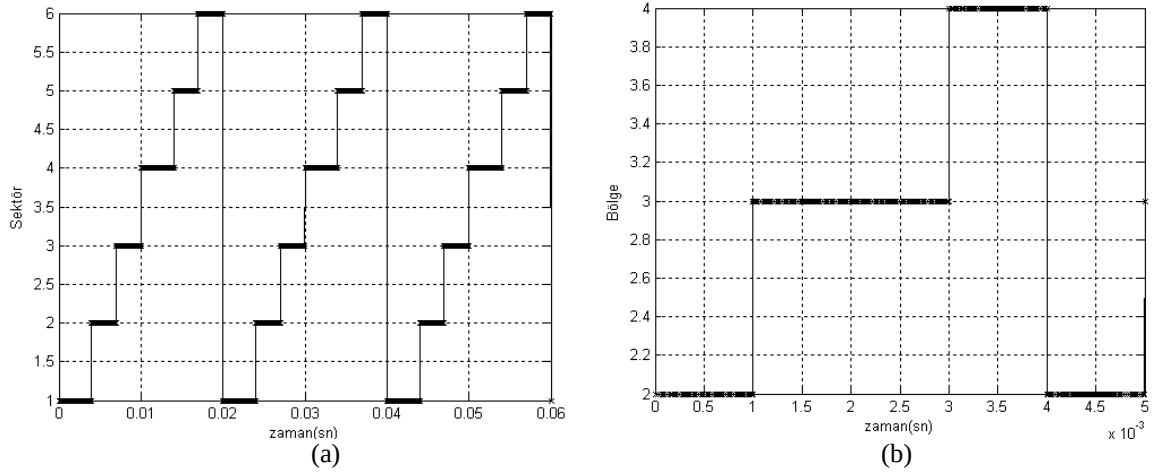
Geliştirilen İBYSA yapısında, tansig aktivasyon fonksiyonu kullanılan 7 tane gizli katman ve doğrusal aktivasyon fonksiyonu kullanılan 1 çıkış katmanı bulunmaktadır. Her bir ANN fonksiyonuna ait YSA yapısı Şekil 4.11’de gösterilmektedir. Ayrıca Şekil 4.12 ve Şekil 4.13’te ise İBYSA kullanılarak elde edilen sektör ve bölgelerin değişimi gösterilmektedir.



Şekil 4.11. İBYSA kullanılarak sektör ve bölgenin tespiti



Şekil 4.12. Modülasyon indeksinin $m=0.2$, $f=50\text{Hz}$ olması durumunda (a). Sektör değişimi (b). Bölge değişimi



Şekil 4.13. Modülasyon indeksinin $m=0.7$, $f=50\text{Hz}$ olması durumunda (a). Sektör değişimi (b). Bölge değişimi

Modülasyon indeksinin $m < 0.5$ olduğu durumlarda gerilim vektörü; A-...-F sektörlerindeki bütün birinci üçgenler içinde bulunur. Modülasyon indeksinin $m > 0.5$ olduğu durumlarda ise gerilim vektörü; A-...-F sektörlerindeki sırasıyla ikinci, üçüncü ve dördüncü üçgenler içinde bulunur.

4.6 Bölüm Sonuçları

Endüstride kullanılan sistemlerin büyük çoğunluğu doğrusal olmayan dinamik sistemlerden oluşmaktadır. Bu nedenle de bu sistemlerin modellenmesi oldukça karmaşık olmaktadır. Bu nedenle bu tip sistemlerde YSA kullanılarak oldukça iyi yaklaşımlar elde edilmiştir. Ancak YSA'nın eğitimi ve sonuçların yorumlanması oldukça zor olmaktadır. Bu nedenle uygulanan algoritmanın doğru olarak seçimi ve eğitimi gerekmektedir.

YSA kullanılarak üç seviyeli UVDGM tekniği için bölge ve sektör tespiti bu bölümde gerçekleştirilmiştir. Bölge ve sektör tespiti gerçekleştirilirken ilk olarak değişik modülasyon indeksi ve frekansı için sistem çalıştırılarak bu giriş değerlerine uygun olarak sektör ve bölge çıkışları elde edilmiştir. Birçok YSA yapısı ve algoritması kullanarak eğitim yapılmasına rağmen en doğru sonuçların İBYSA yapısı ve Levenberg-Morguart algoritması kullanılarak elde edildiği tespit edilmiştir.

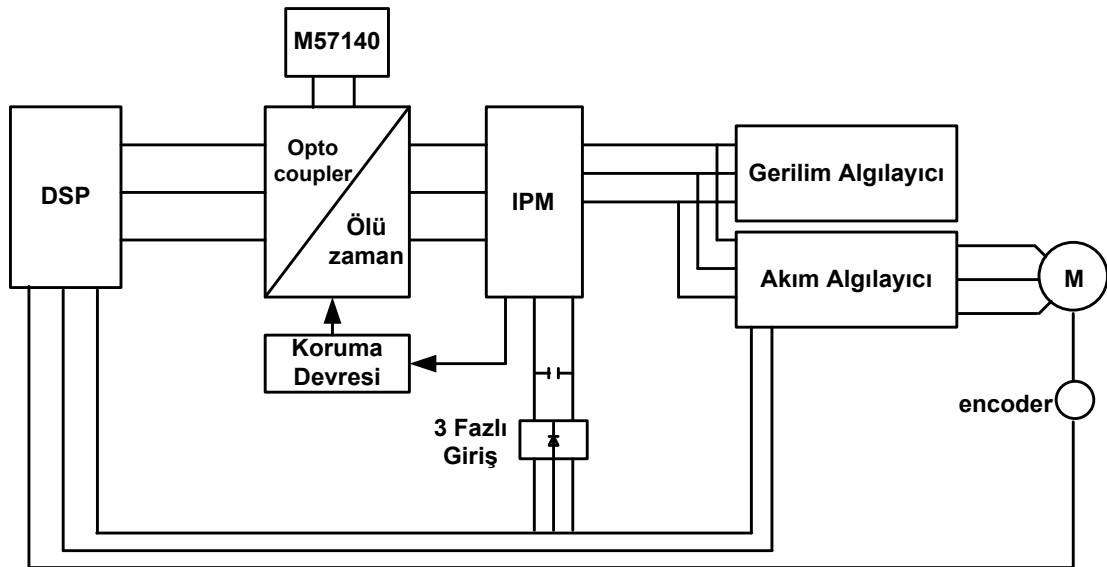
5. ÜÇ SEVİYELİ KASKAT BAĞLI ÇOK SEVİYELİ EVİRİCİ DEVRESİNİN TASARIMI

5.1 Giriş

Üç seviyeli kaskat bağlı çok seviyeli eviricinin tasarımı yapılırken hem donanım, hem de yazılımı göz önünde bulundurmak gerekir. Donanım kısmı tasarlanırken gerekli olan modüller ve diğer devre elemanları TÜBİTAK 108E151 numaralı proje kapsamında satın alınmıştır. Ayrıca yazılımın gerçekleştirildiği DSP 1104 işlemcisi de yine bu proje kapsamında satın alınmıştır.

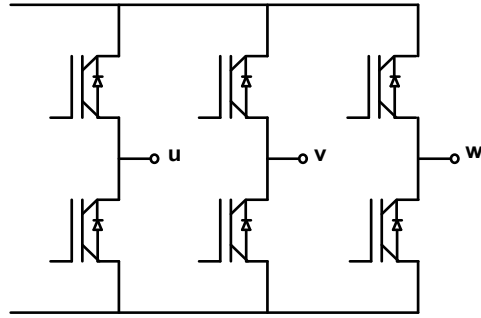
5.2 Üç Seviyeli Eviricinin ve Besleme Devresinin Tasarımı

Üç seviyeli kaskat bağlı çok seviyeli evirici kontrol devresi ve güç devresi olmak üzere iki bölümde tasarlanmıştır. Kontrol devresinde genel olarak koruma devresi, ölü zaman devresi ve akım/gerilim ölçümlerinin yapılacağı kartlar bulunmaktadır. Güç devresinde ise 3 fazlı giriş, giriş filtresi, IPM modül bulunmaktadır. Şekil 5.1 ile üç seviyeli kaskat bağlı çok seviyeli eviricinin kontrol devresi ve güç devresine ait blok şeması gösterilmektedir.



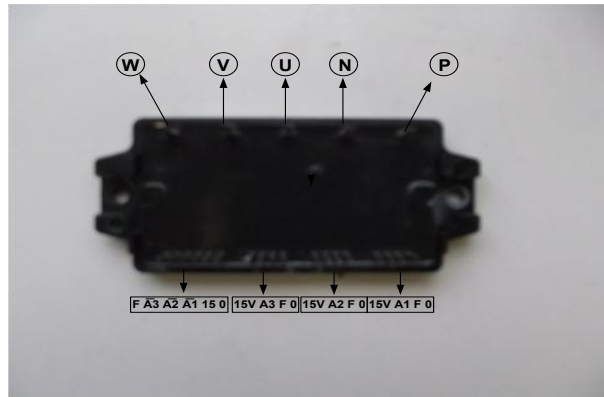
Şekil 5.1. Sistemin blok şeması

Evirici devresi tasarlanırken ilk olarak her bir faz için birer adet PM30CSJ060 modülü kullanılmıştır. Modülün özellikleri Ek-2’de modülün iç yapısı ise Şekil 5.2’de verilmektedir. Şekil 5.2’den görüldüğü gibi modül içerisinde üç fazlı evirici (üç bacaklı altı anahtarlı evirici) mevcuttur. Ancak gerçekleştirilecek sistem için sadece dört anahtar (iki bacak) yeterli olacaktır. Bu nedenle kullanılmayan anahtarlar yedekte bırakılarak her hangi bir arıza durumunda kullanılacak şekilde tasarlanmıştır.



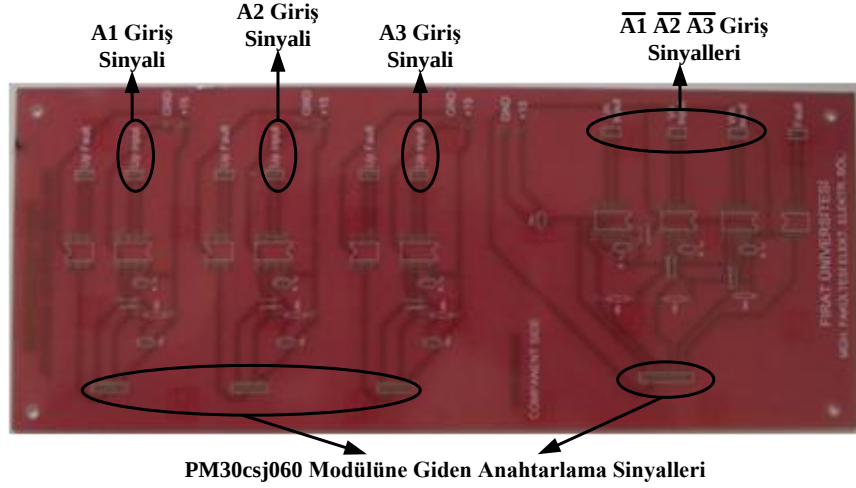
Şekil 5.2. PM30CSJ060 modülünün iç yapısı

Modüllerin iç yapısı incelendiği zaman; her birinin içerisinde aşırı akım, kısa devre, aşırı sıcaklığa karşı korumalı sürme devreli anahtarların olduğu görülür. Şekil 5.3’de PM30CSJ060 modülü gösterilmektedir. P ve N uçları modülün besleme uçlarıdır. U, V ve W uçları ise modülün çıkış uçlarıdır. Şekil 5.3’de verilen modül A fazı için isimlendirilmiştir. Bu nedenle 15V, A1, F ve 0V sırasıyla; besleme gerilimini, A fazının birinci bacağının ilk anahtarına uygulanan sinyal, hata sinyali ve 0V’u göstermektedir. Sırasıyla diğer anahtar ve fazlarda da aynı sıralama takip edilir.



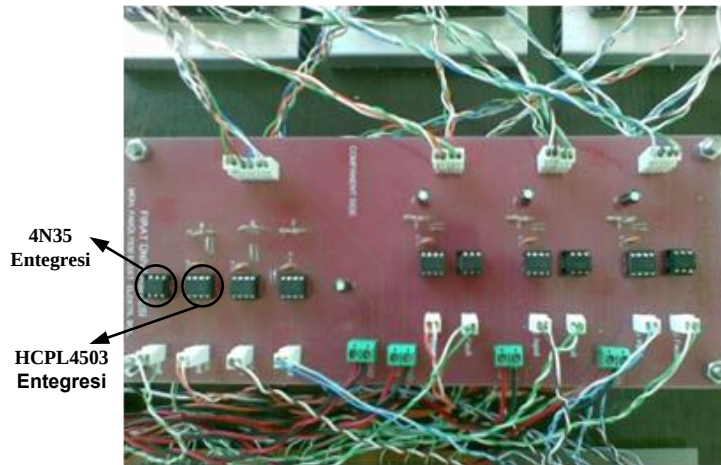
Şekil 5.3. PM30CSJ060 modülü

IPM için gerekli kontrol kartı Ek-3’de gösterildiği gibi tasarlanmıştır. Şekil 5.4’de hazırlanan baskı devresi gösterilmektedir. Görüldüğü gibi altı anahtar için çizim yapılmış (u, v, w) ve u ve v çıkışları kullanılmış, w ise yedekte bırakılmıştır.



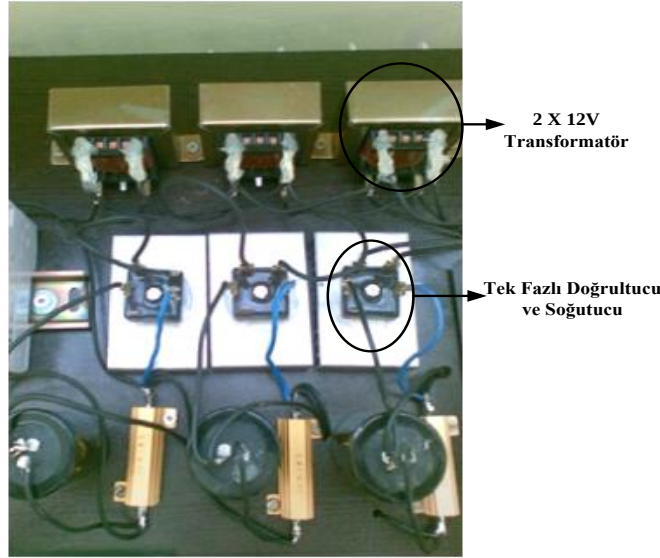
Şekil 5.4. PM30CSJ060 baskı devre kartı

HCPL4503 ve 4N35 optik izolatör entegrelerine ait bilgiler Ek 4 ve Ek 5 ile verilmektedir. Bu entegreler vasıtasıyla kontrol kartı ile diğer devre elemanları arasındaki elektriksel izolasyon sağlanır. 4N35 entegresi ile sistemde oluşabilecek hata sinyallerine karşı koruma sağlanmakta, HCPL4503 entegresi ile de IPM’in sürme devreleri beslenmektedir. Şekil 5.5’de HCPL4503 ve 4N35 entegrelerinin yerleştirilmiş olduğu tek bir faz için kontrol kartı görülmektedir.



Şekil 5.5. PM30CSJ060 baskı devre kartı

Güç devresinde kullanılan her bir IPM'in de farklı ve birbirinden izoleli üç kaynaktan beslenmesi gerekmektedir. Bu nedenle ilk olarak devrenin küçük gerilimlerle çalıştırılarak test edilmesi amacıyla 2x12V'luk 3 ayrı transformatör kullanılmıştır. Bu transformatörlerden elde edilen gerilim tek fazlı bir doğrultucudan geçirilerek doğrultulmuştur. Doğrultulan bu gerilim daha sonra bir kondansatör ile filtre edilmiştir. Şekil 5.6 ile bu yapı gösterilmektedir. Daha sonra sistemin daha büyük gerilimlerde çalıştırılması için devrenin beslemesinde proje kapsamında 110V'luk özel olarak tasarlanan transformatör kullanılmıştır. Yüksek gerilim için kullanılan transformatör Şekil 5.7'de gösterilmektedir.



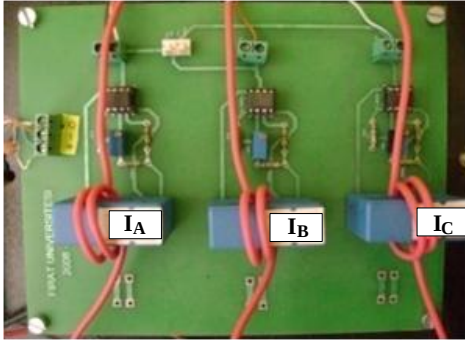
Şekil 5.6. IPM besleme test devresi



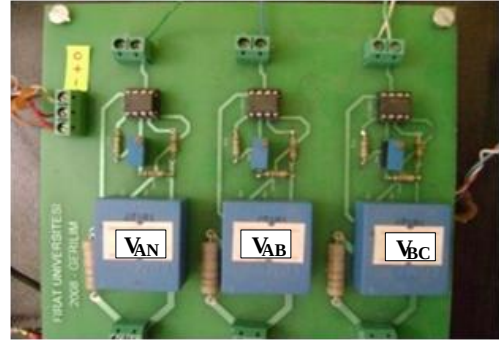
Şekil 5.7. IPM besleme trafosu

5.3 Akım ve Gerilim Algılayıcılar

LV25-p ve LA55p akım gerilim algılayıcıları kullanılmıştır. Ek 6 ve Ek 7’de özellikleri verilen algılayıcıların baskı devreleri tasarlanmıştır. Şekil 5.8 (a) ve (b)’de yapılan devrelerin fotoğrafları gösterilmektedir. Bu devreler sayesinde sistemin çıkış akımı, faz gerilimleri ve fazlararası gerilimleri ölçülebilmektedir.



(a)



(b)

Şekil 5.8. (a) Akım algılayıcı devresi, (b) Gerilim algılayıcı devresi

5.4 IPM’lerin Besleme Kaynaklarının Tasarımı

PM30CSJ060 modülüne ait bilgiler incelendiği zaman her bir IPM kontrol kartındaki sürme devreleri için birbirinden izoleli olarak 4 ayrı 15V’luk kaynağa ihtiyaç olduğu görülür. Bu nedenle her bir modül için Ek 8’de özellikleri verilen birer adet M57140-01 IPM güç birimi kullanılmıştır. Ancak bu güç biriminin girişinde 20V’luk bir gerilim uygulanması gerektiğinden Şekil 5.9’da gösterilen devre tasarlanmıştır. Böylece her bir kart için gerekli olan birbirinden izoleli 4 ayrı 15V’luk gerilim kaynağı elde edilmiştir.

M57140-01 güç birimine ait bilgiler dikkatlice incelendiği zaman 4 ayrı çıkışın gerilimlerinin aynı olmasına rağmen çıkış akımlarının üç tanesinin 30mA, birinin ise 100mA olduğu görülür. Bunun sebebi ise üst grup anahtarlar ayrı ayrı beslenirken, alt grup anahtarlar toplu olarak beslenmesidir. Bu nedenle alt grup anahtarlarda 100mA akım sağlayan çıkış kullanılmıştır. Her bir IPM kartı için bu modülün birer tane kullanılması gerektiğinden üç adet devre tasarlanmıştır.

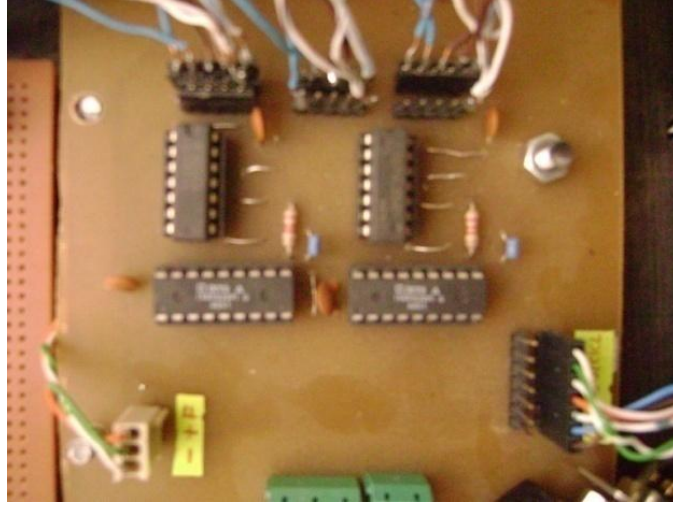


Şekil 5.9. M57140-01 IPM güç birimi ve devresi

5.5 Ölü Zaman Devresi

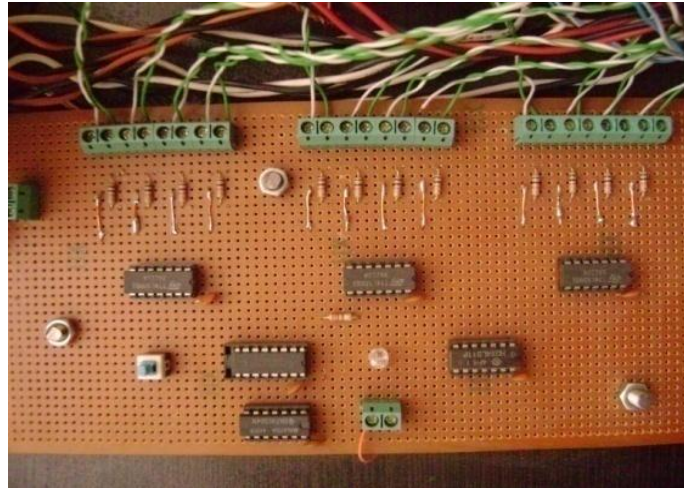
Ölü zaman devreleri ardışık anahtarların kullanıldığı devreler için özellikle tercih edilir. Ölü zaman devreleri ile aynı anda iki anahtarın iletimde yada kesimde olmasının önüne geçilir. Çünkü aynı anda iki anahtar da iletimde olursa kaynak kısa devre olur, ayrıca anahtarlar üzerinden çok büyük akımlar geçerek anahtarların zarar görmesine sebep olur. Bu nedenle bir anahtar kesime girerken diğerrinin iletime girmesi arasında kataloglarında belirtildiği kadar bir beklemenin olması gerekir. Buna göre PM30CSJ060'e ait katalog incelendiği zaman ölü zamanın 2 μ s'n'den büyük olması gerektiği görülür. Ölü zaman devresinin zaman ayarı, devreye bağlanacak olan R-C elemanları ile sağlanmaktadır. Bu devrede; $R=2,2\text{ k}\Omega$ ve $C=0,1\text{ nF}$ seçilmiştir. Böylece kurulan sistemde yaklaşık 4 μ s'n'lik bir ölü zaman gecikmesi sağlanır.

Ölü zaman devresinin tasarımı için IXDP630PI entegresi kullanılmıştır. Bu entegre ile girilen sinyalin kendisi ve terslenmiş evirici güç devresine uygulanır. Evirici güç devresine toplam olarak 12 anahtarlama işaretinin uygulanması gerekmektedir (her bir faz için 2 sinyal yeterlidir). Bu nedenle ölü zaman entegresine 6 anahtarlama işaretinin uygulanması yeterli olmaktadır. Toplam olarak 2 adet IXDP630PI entegresi kullanılmıştır. İlk entegreye A1, A2 ve B1 girişleri, ikinci entegreye B2, C1 ve C2 girişleri uygulanır. Böylece ilk entegrenin çıkışından A1-A1', A2-A2' ve B1-B1', ikinci entegrenin çıkışından ise B2-B2', C1-C1' ve C2-C2' elde edilir. Kullanılan ölü zaman devresi Şekil 5.10'da gösterilmektedir.



Şekil 5.10. IXDP630PI entegresi kullanılarak oluşturulan ölü zaman devresi

Ölü zaman devresi güç devresindeki yarı iletken anahtarlar arasında bir gecikme sağlamanın yanı sıra IPM’lerde olabilecek bir hata çıkışlarına karşı evirici devresini de korumaktadır. Bunun için IXDP630PI entegresinin 7 nolu pini kullanılmaktadır. Bu pin ile “1” durumunda eviriciye giden bütün sinyaller sıfır yapılabilmektedir. Bunun için IPM’lerin hata çıkışlarından alınan bilgiler AND kapılarından geçirilerek IXDP630PI entegresinin çıkış uçlarını kontrol eden 7 nolu pinine uygulanmaktadır. Şekil 5.11’de hata sinyallerine karşı korumayı gerçekleştiren AND kapılı devre gösterilmektedir.



Şekil 5.11. IPM’ler de oluşabilecek hatalara karşı koruma sağlayan devre

5.6 Sigortalar

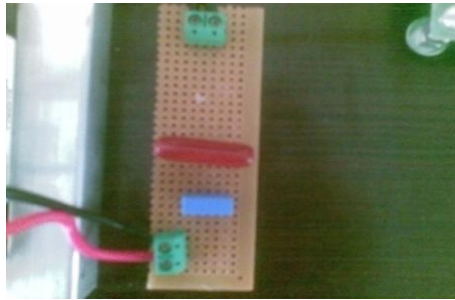
Devre üzerinde oluşabilecek herhangi bir kısa devre durumunda IPM modülleri, kontrol kartlarını ve diğer devre elemanlarını koruyabilmek için yarı iletken (hızlı) sigortalar kullanılmıştır. Kullanılan sigortalar Şekil 5.12’de gösterilmektedir.



Şekil 5.12. Yarı iletken sigortalar

5.7 Snubber Devre Tasarımı

Her bir IPM modülünde 6 anahtar olduğundan ve bu anahtarlardan da 4 tanesi kullanıldığından dolayı her anahtara bir snubber devresinin tasarlanması gerekmektedir. Ancak modül ve diğer çalışmalar incelendiğinde, snubber devresi için yalnızca bir C kapasitesinin bağlanmasının yeterli olduğu görülür. Ayrıca her anahtara bir snubber bağlamak yerine sadece PM30CSJ060 modünün P-N uçlarına bu kapasitenin bağlanmasının yeterli olacağı görülmüştür. Bu nedenle her modülde snubber kapasitesi olarak $C=220\text{nF}$ ’lık bir kondansatör P-N uçları arasına bağlanmıştır. Şekil 5.13’de snubber kapasitesi ve katalogda yer alan $0,3\mu\text{F}$ ’lık kapasite görülmektedir.

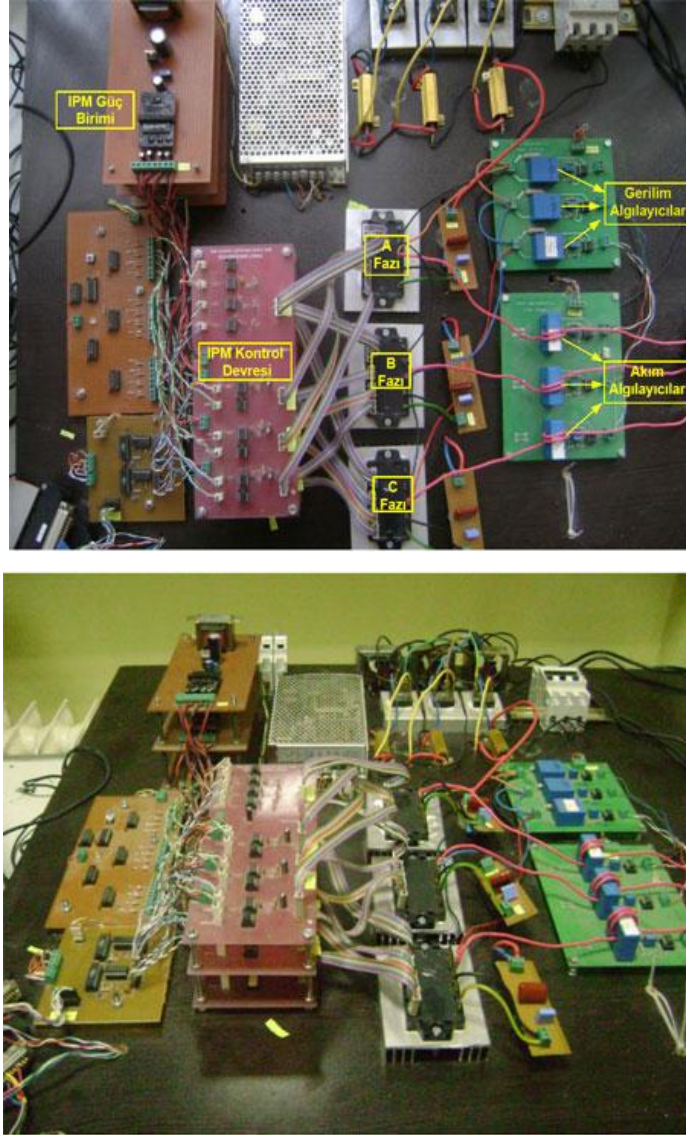


Şekil 5.13. Snubber devresi

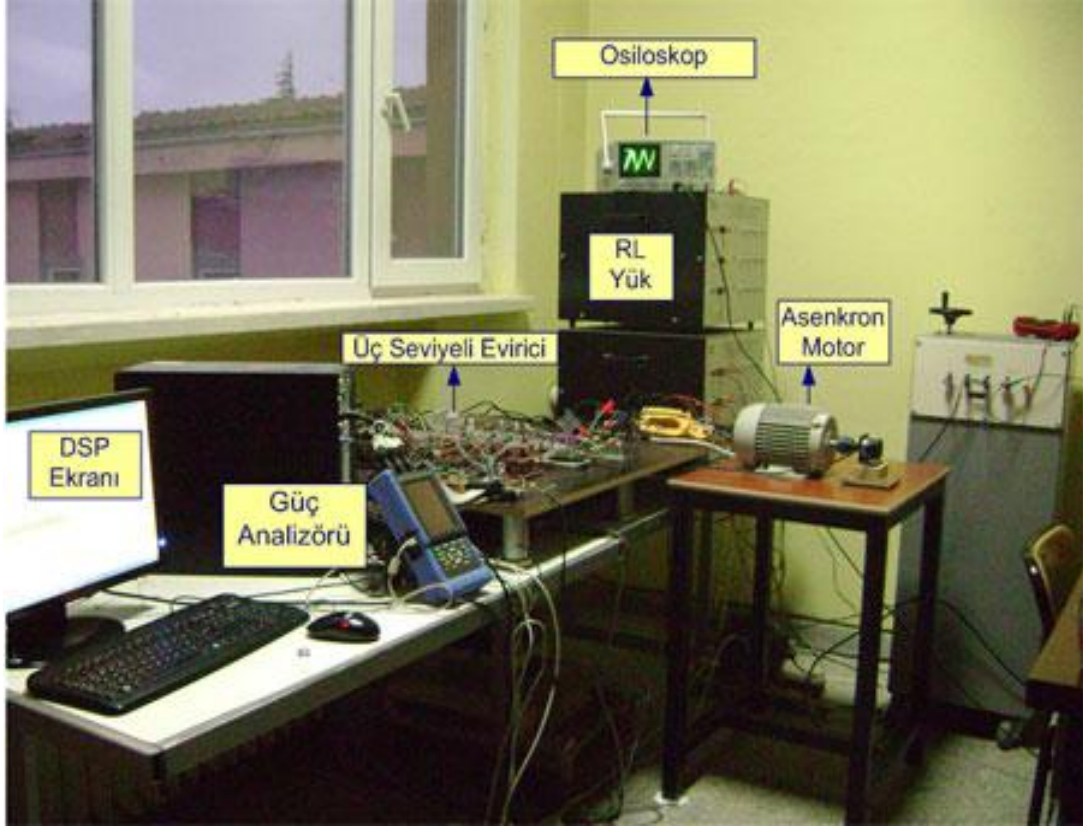
5.8 Bölüm Sonuçları

Üç seviyeli evirici devresi tasarlanırken ilk olarak kullanılacak olan IGBT'lerin bulunduğu modül tespit edilmiştir. Bu modülün uygun kontrol kartı tasarlanarak hangi anahtarların kullanılacağı belirlenmiştir. Daha sonra güç ve koruma devreleri tasarlanmıştır. Kontrol kartı olarak DSP 1104 seçilmiştir.

DSP programı MATLAB/Simulink blokları içerisinde bulunana S-function bloğundan yararlanılarak C programlama dilinde yazılmıştır. Bu yazım ile programın daha hızlı çalışması sağlanmıştır. Şekil 5.14 ve Şekil 5.15 ve sistemin genel görünümü gösterilmektedir.



Şekil 5.14. Güç ve kontrol devrelerinin genel görünümü



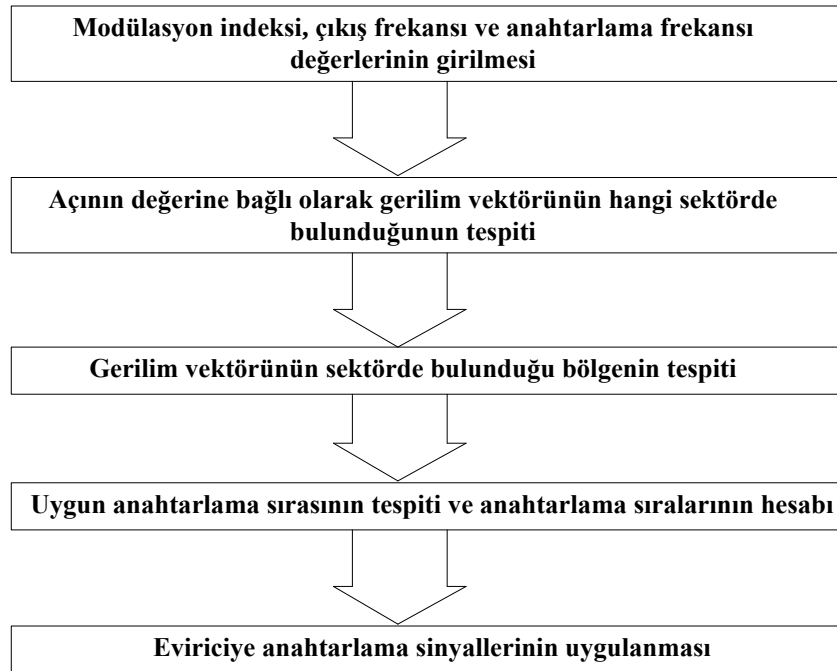
Şekil 5.15. Sürücü sistemin genel bir görünümü

6. ÜÇ SEVİYELİ EVİRİCİDEN ELDE EDİLEN BENZETİM VE DENEYSEL SONUÇLAR

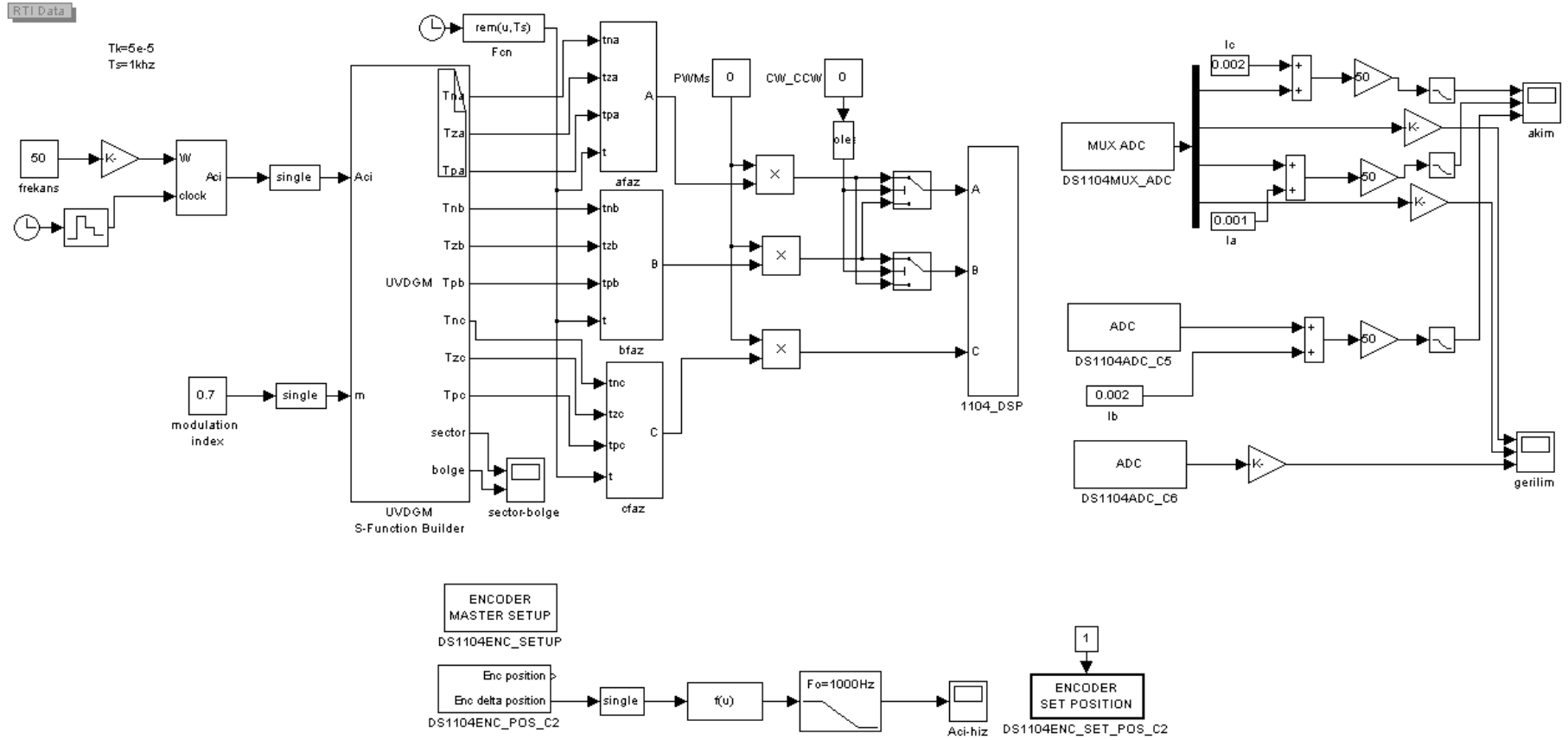
6.1 Giriş

Uzay vektör darbe genişlik modülasyon tekniği kullanan kaskat bağlı çok seviyeli eviricinin modellenmesi çalışmaları esnasında çok seviyeli eviricilerin matematiksel işlemlerinin çok fazla olduğu görülmüştür. MATLAB/Simulink ortamında hazırlanan program DSP1104 kiti ile derlenmesi esnasında matematiksel işlemlerinin fazla olmasından dolayı örnekleme süresinin üzerine çıkmıştır (MATLAB/Simulink, 2008a). Bu nedenle bütün model ilk olarak MATLAB/m-file dosyası olarak yeniden yazılmış, daha sonra ise C diline dönüştürülmüştür.

Deneysel çalışmanın programlama adımları Şekil 6.1’de gösterilen bir akış diyagramı ile gösterilmektedir. Bu akış diyagramını takip eden bütün program C dilinde yazılmıştır Şekil 6.2’de sistemin MATLAB/Simulink modeli gösterilmektedir

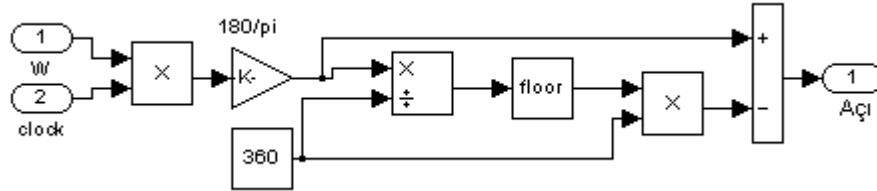


Şekil 6.1. Programlama adımlarına ait akış diyagramı

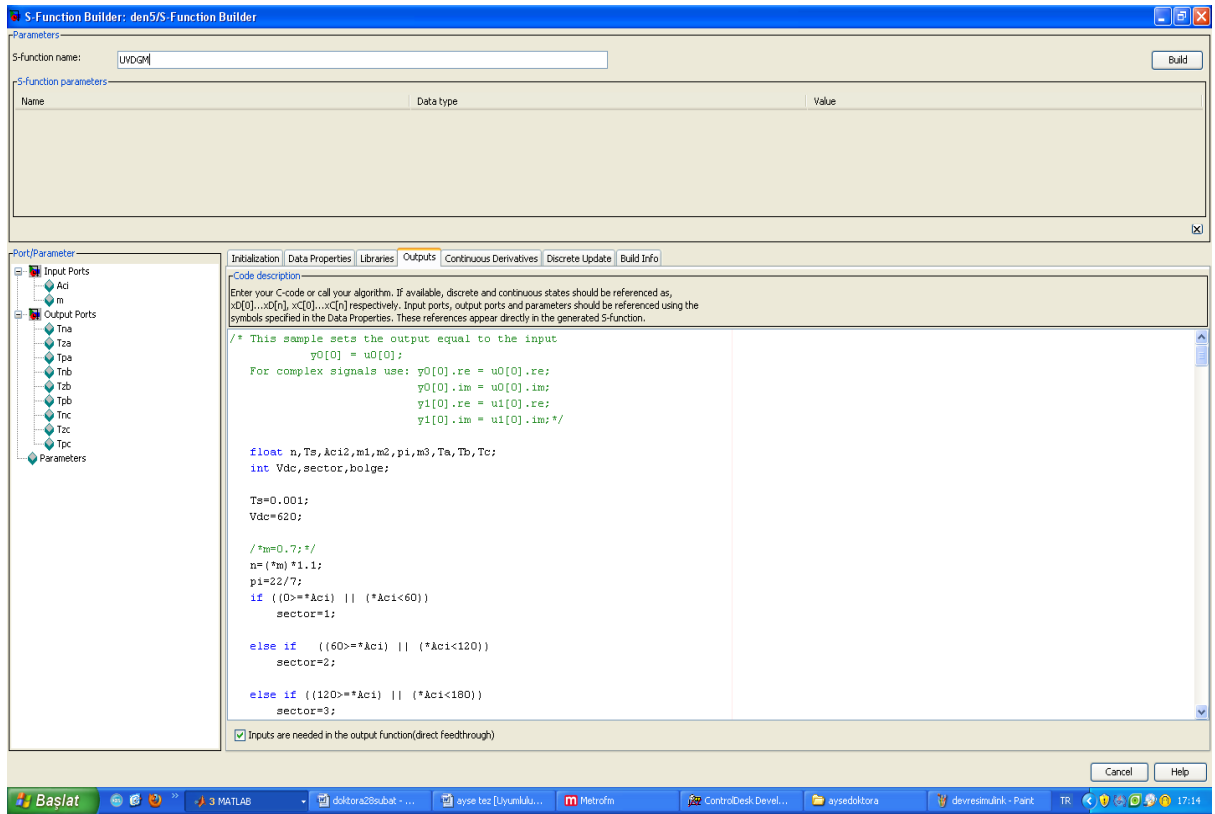


Şekil 6.2. Üç seviyeli UVDGM'nin MATLAB/Simulink benzetimi

Şekil 6.3’de “Açı” bloğunun iç yapısı verilmektedir. Bu blok değişik frekanslar için değerlerinde 0 ile 360° arasında çıkış sağlamaktadır. “Modülasyon İndeksi” ve “Açı” değerleri bloklarının çıkışları “UVDGM” bloğunun girişlerini oluşturmaktadır. Bu blok içerisindeki program C dilinde yazılarak derlenmiştir. Bu bloğa ait kısa bir gösterim Şekil 6.4’de verilmektedir.

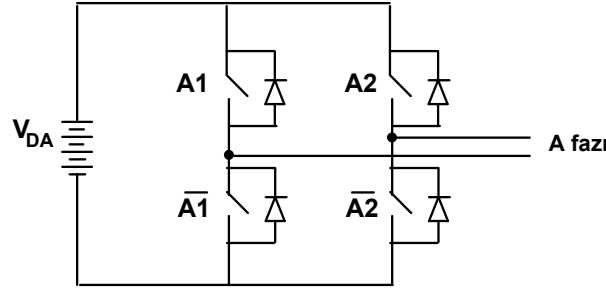


Şekil 6.3. Açı bloğunun iç yapısı



Şekil 6.4. UVDGM bloğu içinde C dilinde yazılan programın ilk satırları

“a faz” bloğunun içeriği Şekil 6.5’de verilmektedir. “b faz”ve “c faz” bloklarının iç yapıları da Şekil 6.5’e benzemektedir. Bu bloklarla A, B ve C fazları için uygun anahtarlama sinyalleri üretilmektedir.



Şekil 6.7. A fazına ait H-köprü evirici

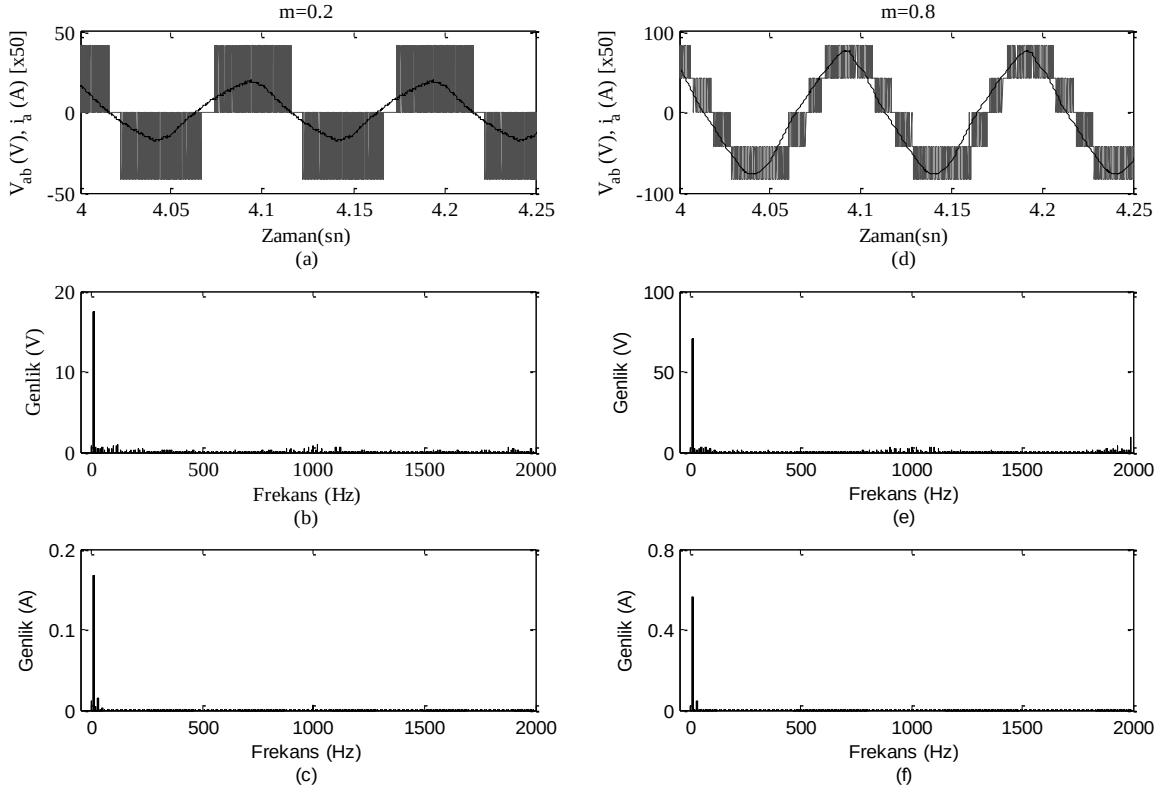
Şekil 6.7’da gösterilen A fazı H-köprü eviricideki anahtarların anahtarlama sırası ve süresi Şekil 6.6 ile verilen “Evirici” bloğunun çıkışlarından elde edilen işaretlerle belirlenir. DS1104BIT_OUT_C6 ile A1 ve DS1104BIT_OUT_C14 ile A2 anahtarlarının konumlarını değiştirmeleri (açık-kapalı) sağlanır. $\overline{A1}$ ve $\overline{A2}$ anahtarlarının konum değiştirmeleri ise DSP çıkış portlarının yeterli olmamasından dolayı donanımsal olarak gerçekleştirilmiştir.

6.2 R-L Yüklü UVDGM Tekniği ile Kontrol Edilen Kaskat Bağlı Üç Seviyeli Eviricinin Benzetim ve Deneysel Sonuçları

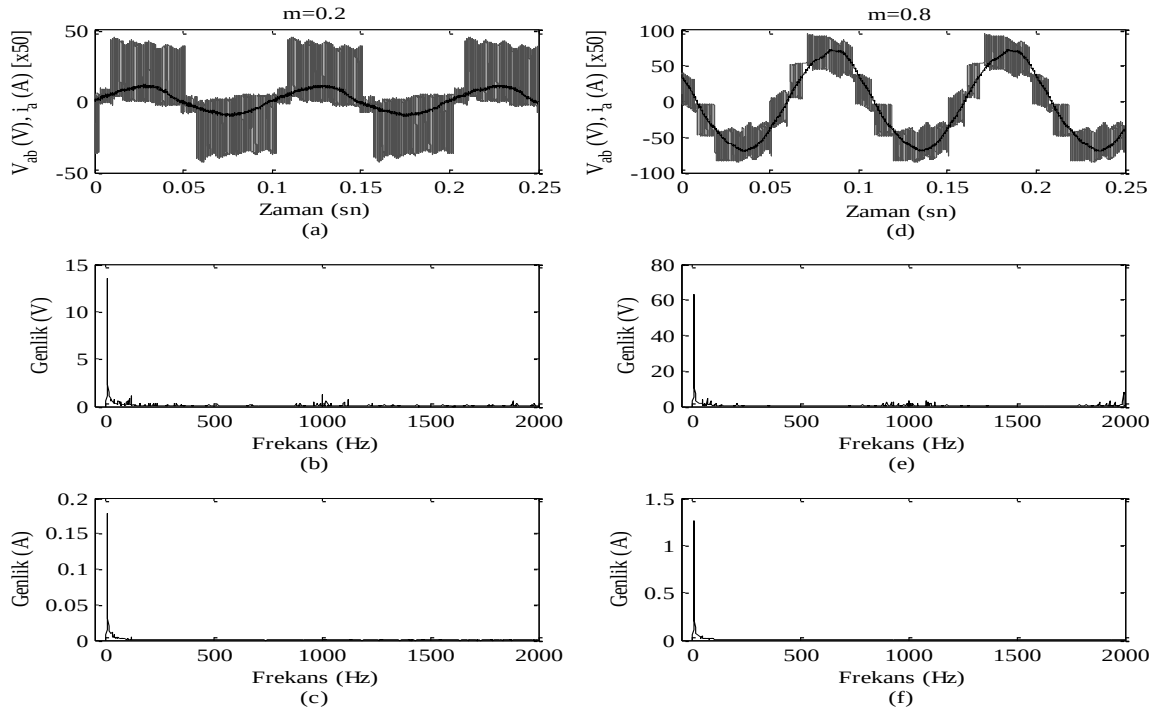
Tasarlanan deney sistemi farklı modülasyon indeksleri (m) ve frekans değerleri (f) için sabit bir RL yükü ile ($R=3.7\Omega$, $L=0.305H$) çalıştırılmıştır. Anahtarlama frekansı ise tüm çalışma şartlarında 1 kHz olarak seçilmiştir. Benzetim sonuçları ve deneysel sonuçlar aynı çalışma şartları için verilmiştir. Deney düzeneğine ait sonuçlar hafızalı osiloskop ve güç analizörü kullanılarak elde edilmiştir.

Şekil 6.8 ve Şekil 6.9’da çıkış frekansının (f) 10 Hz, modülasyon indeksinin (m) 0.2 ve 0.8 olması durumunda fazlararası gerilimlerin, faz akımlarının, ayrıca faz akım ve çıkış gerilimi harmonik spektrumlarının benzetim ve deneysel sonuçları gösterilmektedir.

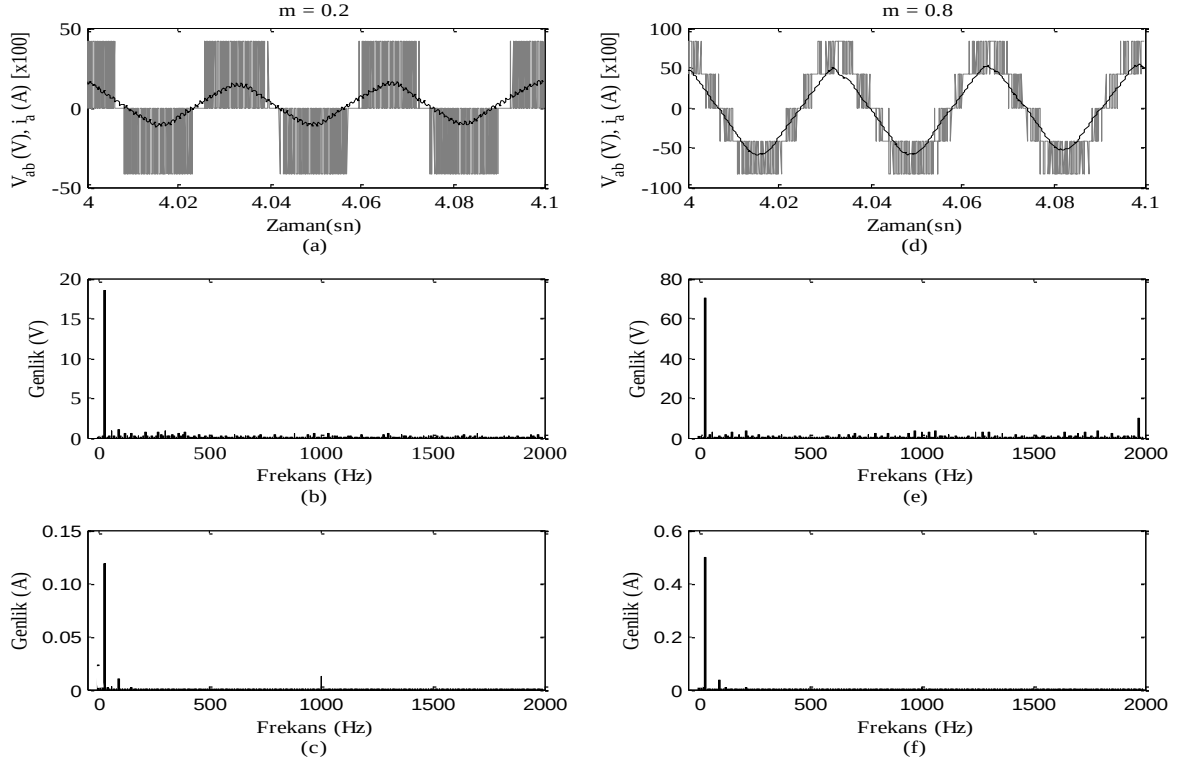
Modülasyon indeksinin 0.2 olması durumunda, gerilim vektörü A-..-F sektörlerinin içerisinde bulunan 1. bölgede hareket etmektedir. Bu nedenle Şekil 6.9 (a)’da görüldüğü gibi küçük modülasyon indeks değerlerinde ($m<0.5$) fazlararası gerilim üç seviyeli olarak görülmektedir. Modülasyon indeksinin 0.8 olması durumunda ise gerilim vektörü A-..-F sektörlerinin içerisinde bulunan 2., 3. ve 4. bölgelerde hareket etmektedir Bu nedenle Şekil 6.9 (d)’de görüldüğü gibi büyük modülasyon indeks değerlerinde ($m>0.5$) fazlararası gerilim beş seviyeli olarak görülmektedir.



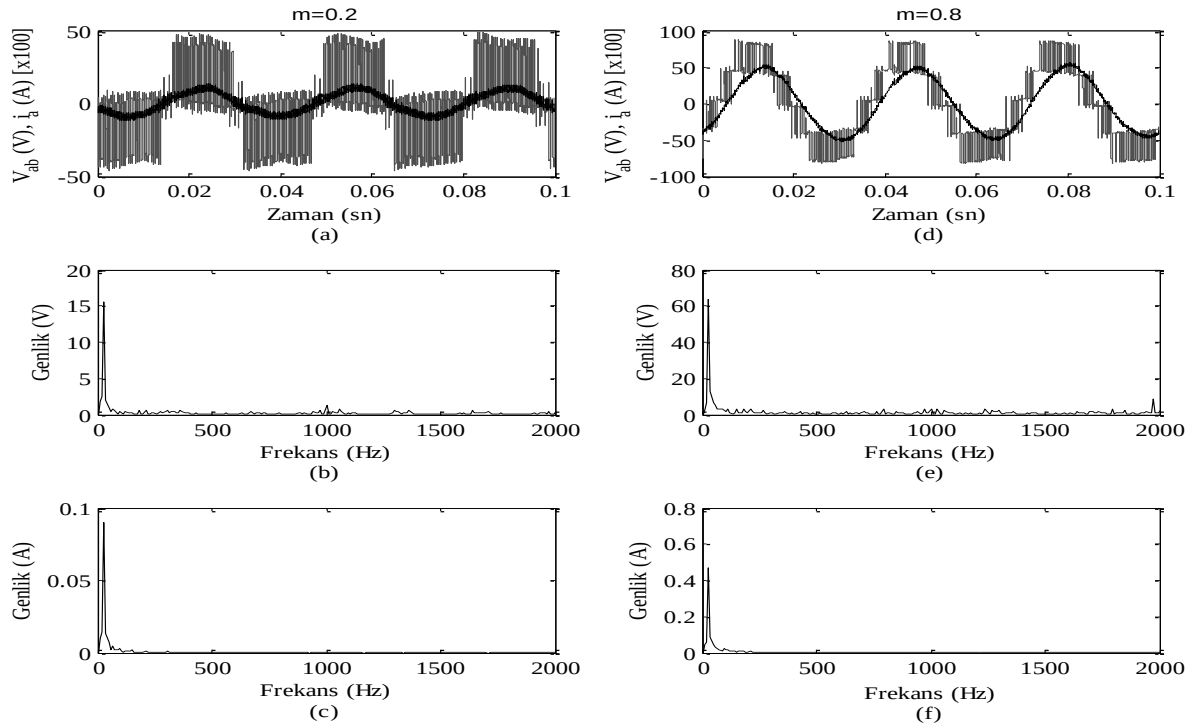
Şekil 6.8. $f=10\text{Hz}$, RL yükü için benzetim sonuçları, $m=0.2$ için a) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı (x50), b) V_{ab} geriliminin harmonik spektrumu (THB=%142.19), c) i_a akımının harmonik spektrumu (THB=%10.04), $m=0.8$ için d) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı (x50), e) V_{ab} geriliminin harmonik spektrumu (THB=%37.13), f) i_a akımının harmonik spektrumu (THB=%8.07)



Şekil 6.9. $f=10\text{Hz}$, RL yükü için deneysel sonuçlar, $m=0.2$ için a) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı (x50), b) V_{ab} geriliminin harmonik spektrumu, c) i_a akımının harmonik spektrumu, $m=0.8$ için d) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı (x50), e) V_{ab} geriliminin harmonik spektrumu, f) i_a akımının harmonik spektrumu



Şekil 6.10. $f=30\text{Hz}$, RL yükü için benzetim sonuçları, $m=0.2$ için MATLAB/Simulink benzetimi a) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı ($\times 100$), b) V_{ab} geriliminin harmonik spektrumu (THB=%47.67), c) i_a akımının harmonik spektrumu (THB=%8.64), $m=0.8$ için d) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı ($\times 100$), e) V_{ab} geriliminin harmonik spektrumu (THB=%18.49), f) i_a akımının harmonik spektrumu (THB=%7.39)



Şekil 6.11. $f=30\text{Hz}$, RL yükü için deneysel sonuçlar, $m=0.2$ için a) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı ($\times 50$), b) V_{ab} geriliminin harmonik spektrumu, c) i_a akımının harmonik spektrumu, $m=0.8$ için d) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı ($\times 50$), e) V_{ab} geriliminin harmonik spektrumu, f) i_a akımının harmonik spektrumu

Şekil 6.9 (b)'de 0.2 modülasyon indeksi için V_{ab} fazlararası gerilimine ait harmonik spektrum gösterilmektedir. Bu spektrum analizine göre fazlararası gerilimde üç seviyeye ulaşıldığından birinci harmoniğin tepe değerinin 13V olduğu ve buna bağlı olarak da Şekil 6.9 (c)'deki akımın birinci harmoniğinin 0.05A olduğu gözlemlenmektedir.

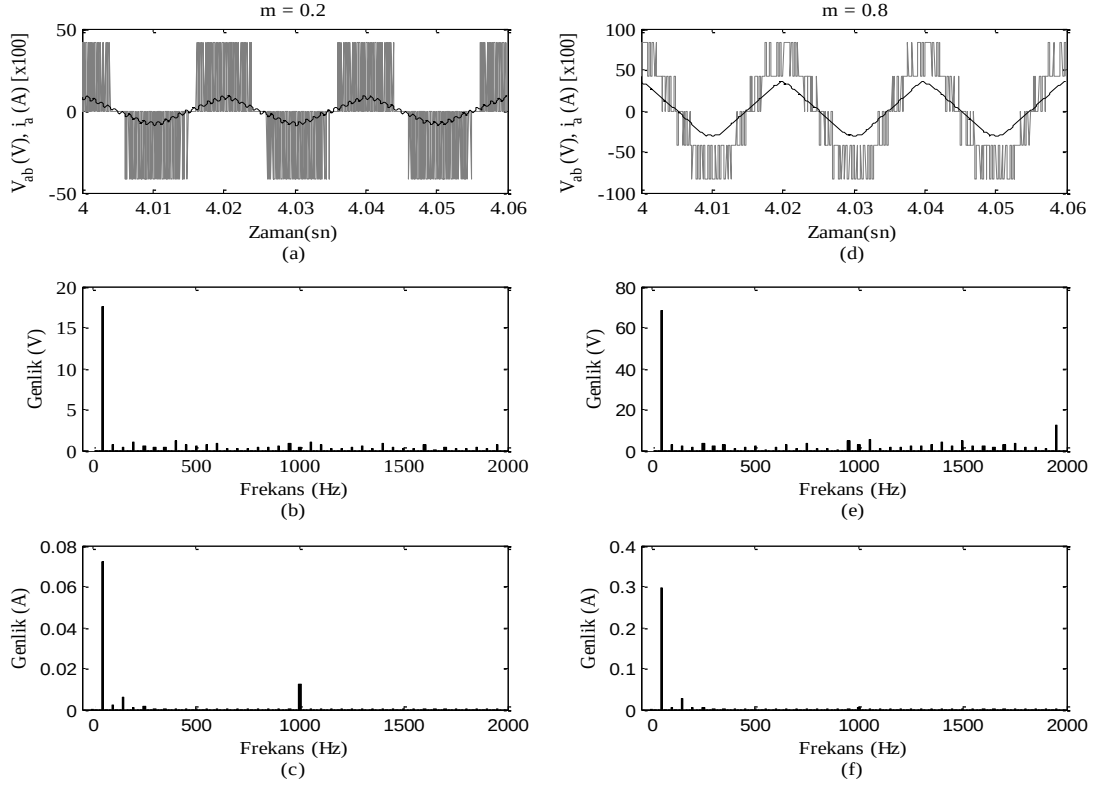
Şekil 6.9 (d)'de 0.8 modülasyon indeksi için V_{ab} fazlararası gerilim, Şekil 6.9 (e)'de ise i_a faz akımının harmonik spektrumu gösterilmektedir. Bu analizlerin sonucunda ana harmonik dışındaki harmoniklerin anahtarlama frekansı (1kHz) civarında olduğu görülmektedir.

30Hz çıkış frekansında çalışma durumunda 0.2 ve 0.8 modülasyon indeksi değerleri için benzetim ve deneysel sonuçlar Şekil 6.10 ve Şekil 6.11'de gösterilmektedir. Şekil 6.11 (a) ve (d)'de fazlararası gerilim (V_{ab}) gösterilmektedir. Şekil 6.11 (a)'da modülasyon indeksinin değerinin 0.5'den küçük olmasından dolayı gerilim vektörü birinci bölgelerin içerisinde hareket etmekte ve bu nedenle de çıkış gerilimin üç seviyeli olduğu görülmektedir. Şekil 6.11 (d)'de ise çıkış geriliminde beş seviye görülmektedir.

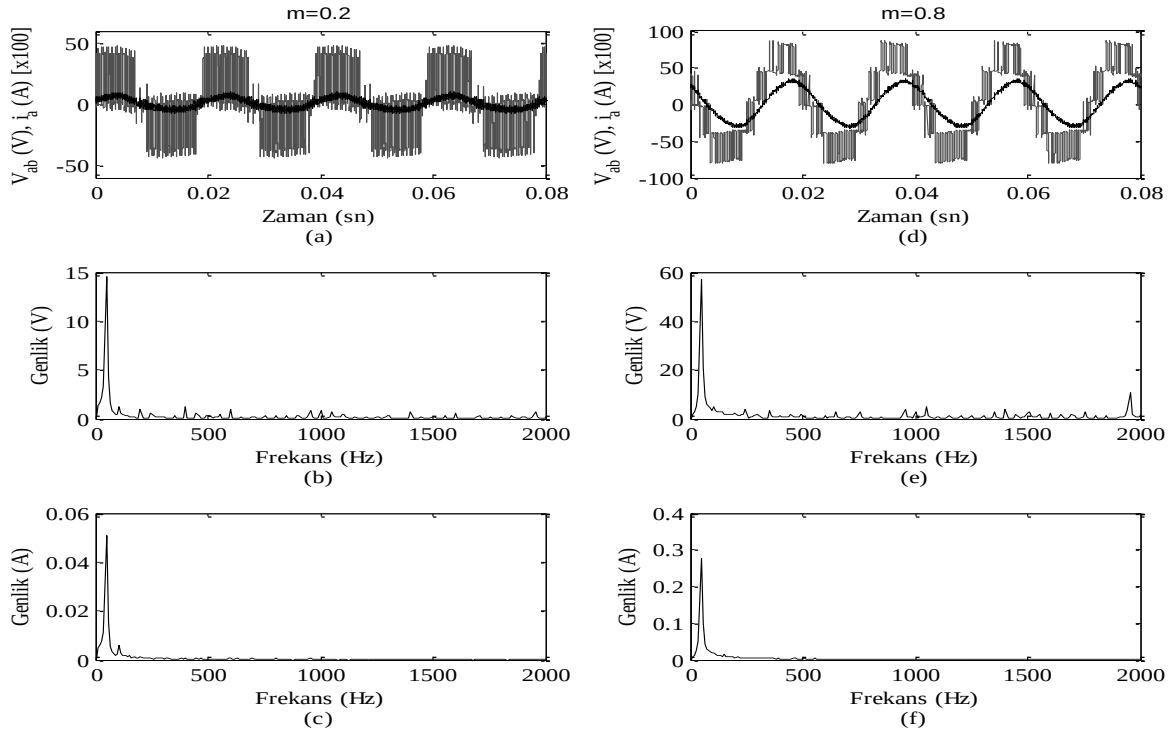
Şekil 6.11 (b) ve (e)'de ise V_{ab} gerilimine ait harmonik spektrumları verilmektedir. Birinci harmonik haricindeki diğer harmoniklerin anahtarlama frekansı civarında olduğu görülmektedir. Şekil 6.11 (c) ve (f)'de ise $m=0.2$ ve 0.8 için i_a faz akımının harmonik spektrumu incelendiğinde (c)'deki gerilimin küçük olmasından dolayı akımın birinci harmoniğinin tepe değerinin (f)'ye göre daha küçük olduğu görülebilir.

Şekil 6.12 ve Şekil 6.13'de 50Hz çıkış frekansında çalışma durumunda 0.2 ve 0.8 modülasyon indeksi değerleri için benzetim ve deneysel sonuçlar gösterilmektedir. Şekil 6.13 (a) ve (d)'de fazlararası gerilimin (V_{ab}) değişimi gözlenmektedir. Şekil 6.13 (b)'de V_{ab} gerilimine ait harmonik spektrum incelendiğinde gerilim üç seviyeli olmasından dolayı gerilimin birinci harmoniğinin tepe değerinin 14,5V olduğu görülmektedir. Aynı şartlarda fakat 0.8 modülasyon indeksinde çalışılması durumunda ise fazlararası gerilimde beş seviyenin görülmesinden dolayı birinci harmoniğin tepe değerinin 59V olduğu Şekil 6.3 (e)'de görülmektedir. Ayrıca ana harmonik dışındaki diğer harmoniklerin anahtarlama frekansı civarında (1kHz) olduğu görülmektedir. Şekil 6.13 (c) ve (f)'de ise $m=0.2$ ve 0.8 değerleri için i_a faz akımının harmonik spektrumu gösterilmektedir.

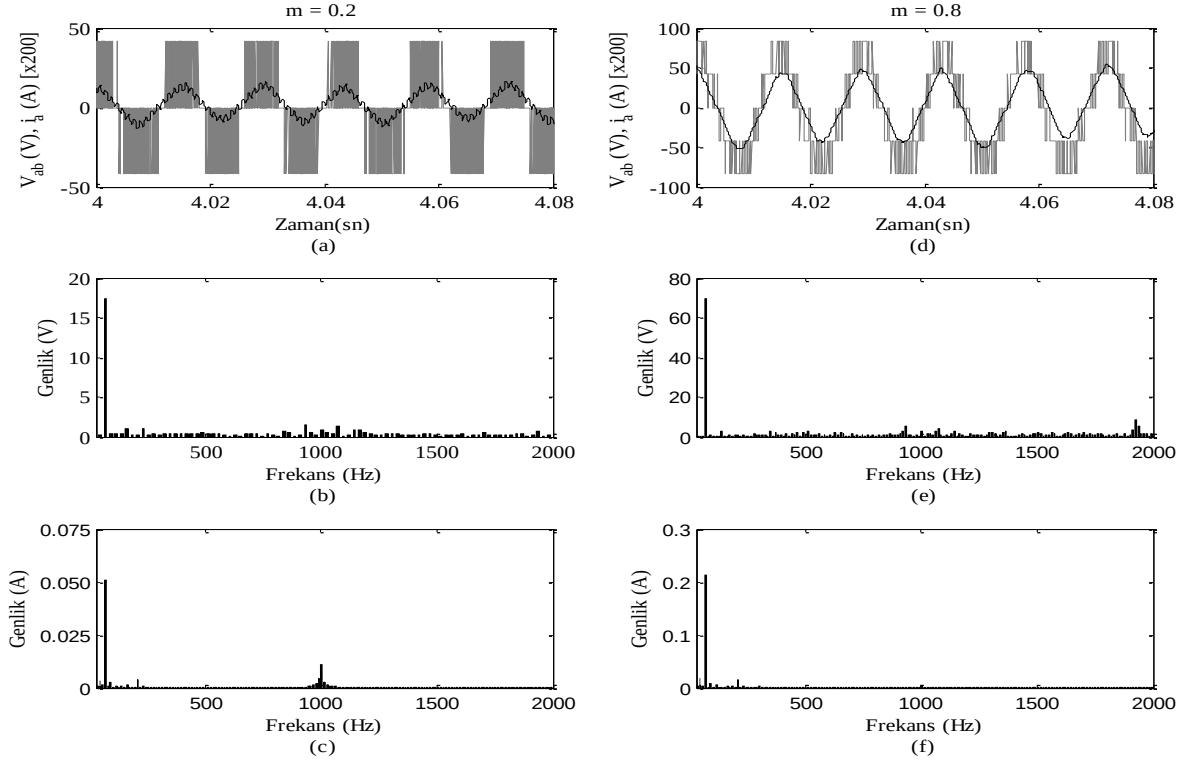
Şekil 6.14 ve Şekil 6.15'de 70Hz çıkış frekansında çalışma durumunda 0.2 ve 0.8 modülasyon indeksi değerleri için benzetim ve deneysel sonuçlar gösterilmektedir.



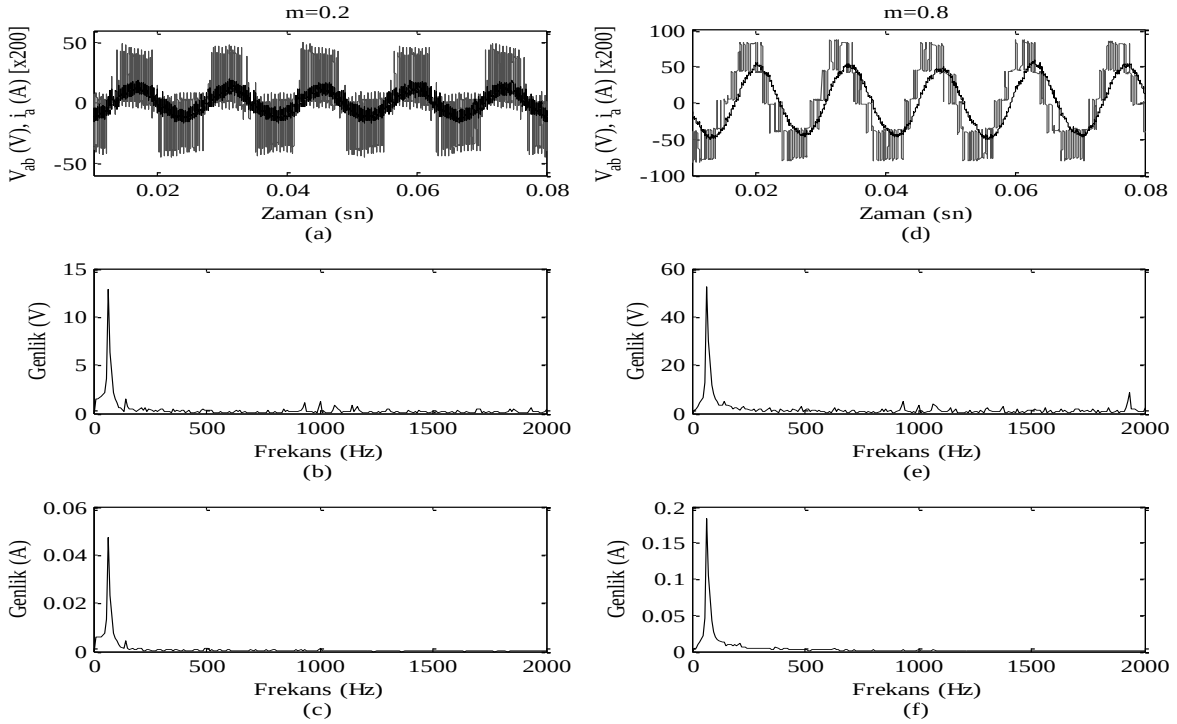
Şekil 6.12. $f=50\text{Hz}$, RL yükü için benzetim sonuçları, $m=0.2$ için a) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı (x100), b) V_{ab} geriliminin harmonik spektrumu (THB=%141.64), c) i_a akımının harmonik spektrumu (THB=%20.17), $m=0.8$ için d) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı (x100), e) V_{ab} geriliminin harmonik spektrumu (THB=%40.44), f) i_a akımının harmonik spektrumu (THB=%9.48)



Şekil 6.13. $f=50\text{Hz}$, RL yükü için deneysel sonuçlar, $m=0.2$ için a) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı (x50), b) V_{ab} geriliminin harmonik spektrumu, c) i_a akımının harmonik spektrumu, $m=0.8$ için d) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı (x50), e) V_{ab} geriliminin harmonik spektrumu, f) i_a akımının harmonik spektrumu



Şekil 6. 14. $f=70\text{Hz}$, RL yükü için benzetim sonuçları, $m=0.2$ için a) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı ($\times 200$), b) V_{ab} geriliminin harmonik spektrumu (THB=%43.77), c) i_a akımının harmonik spektrumu (THB=%7.5), $m=0.8$ için d) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı ($\times 200$), e) V_{ab} geriliminin harmonik spektrumu (THB=%22.74), f) i_a akımının harmonik spektrumu (THB=%6.35)

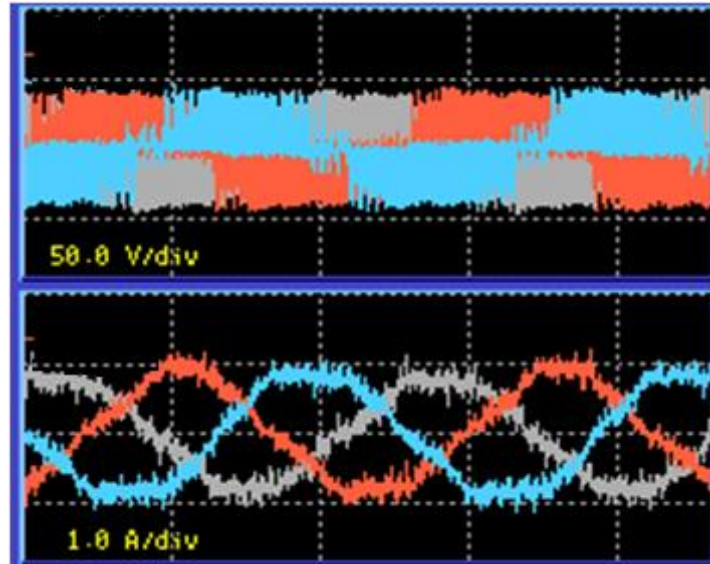


Şekil 6.15. $f=70\text{Hz}$, RL yükü için deneysel sonuçlar, $m=0.2$ için a) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı ($\times 200$), b) V_{ab} geriliminin harmonik spektrumu, c) i_a akımının harmonik spektrumu, $m=0.8$ için d) Fazlararası evirici çıkış gerilimi V_{ab} (V) ve i_a faz akımı ($\times 200$), e) V_{ab} geriliminin harmonik spektrumu, f) i_a akımının harmonik spektrumu

Şekil 6.15 (a) ve (d)'de 70Hz çıkış frekansında çalışma durumunda 0.2 ve 0.8 modülasyon indeksi değerleri için fazlararası gerilimin (V_{ab}) değişimi gösterilmektedir. Şekil 6.15 (b) ve (e)'de ise V_{ab} gerilimine ait harmonik spektrumları verilmektedir. V_{ab} gerilimine ait harmonik spektrumları incelendiğinde birinci harmoniğin yanı sıra anahtarlama frekansı olan 1Khz ve katları civarında harmoniklerin oluştuğu görülmektedir. Şekil 6.15 (c) ve (f)'de ise i_a faz akımının harmonik spektrumları iki modülasyon indeksi için de verilmiştir.

6.3 3-Fazlı Bir Asenkron Motoru Besleyen UVDGM Tekniği ile Kontrol Edilen Kaskat Bağlı Üç Seviyeli Eviricinin Deneysel Sonuçları

Üç seviyeli UVDGM tekniği kullanılarak gerçekleştirilen asenkron motorun açık çevrim hız kontrolünde akım/gerilim dalga şekilleri Güç analizörü ile gözlemlenmiş, asenkron motorun hızının ölçümü için ise DSP ara yüzü kullanılmıştır. IPM modüllerin DA beslemesinin 43V olabilmesi için tek fazlı transformatörden 60V'luk AA gerilim uygulanmıştır. Deneysel çalışmaların ilki $m=0.2$, $f=10\text{Hz}$ şartları altında gerçekleştirilerek sonuçları Şekil 6.16'de gösterilmiştir. Sürücüde kullanılan motorun parametreleri Ek-1'de verilmiştir.

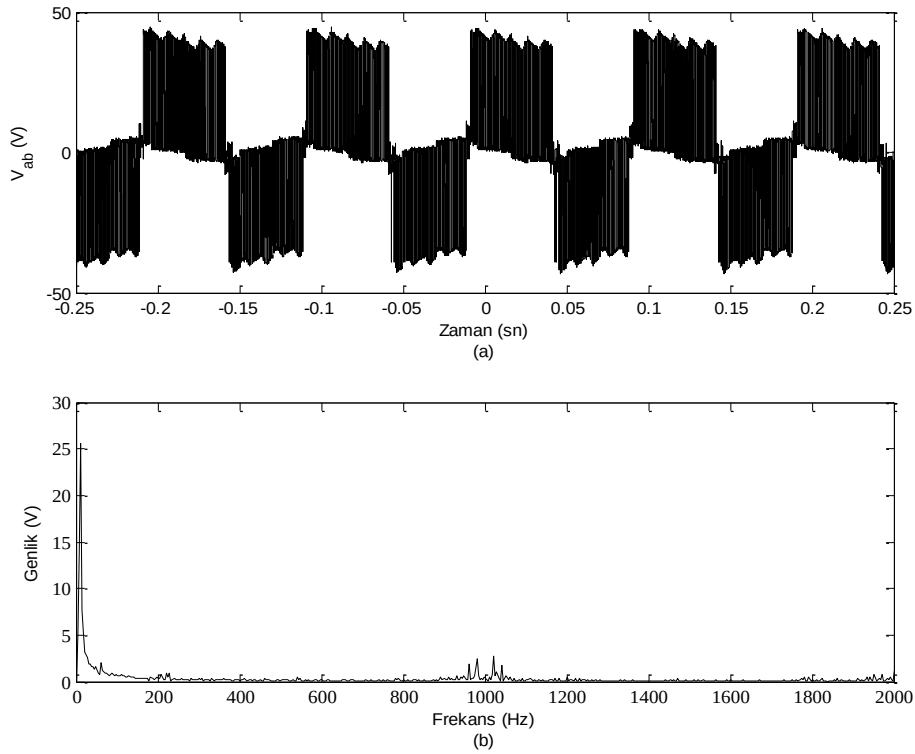


Şekil 6.16. $f=10\text{Hz}$ için yük olarak motor kullanılması durumunda üç seviyeli UVDGM tekniği kullanan eviricinin çıkış gerilimleri V_{ab} (V), V_{bc} (V), V_{ca} (V) ve i_a , i_b , i_c faz akımları

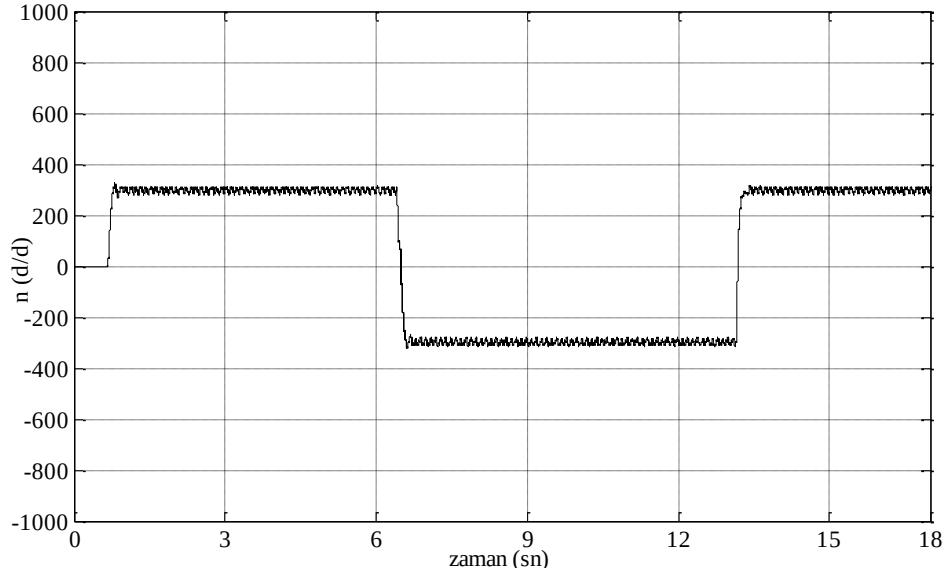
Şekil 6.16'de çıkış frekansının 10Hz olması durumunda motor fazlararası gerilimleri ve faz akımları gösterilmektedir. Şekil 6.16'den görüldüğü gibi çıkış frekans değeri küçüldüğü durumda açık çevrim V/f kontrolüne göre uygulanan gerilim değeri ve buna bağlı olarak da modülasyon indeksinin değeri küçülür. Bu yüzden $m < 0.5$ olduğu için fazlararası gerilimde üç seviye gözlemlenir.

Şekil 6.17'te bir çıkış frekansı için V_{ab} gerilimin dalga şekli ve harmonik spektrumu gösterilmektedir. Bu analiz hafızalı osiloskop kullanılarak yapılmıştır. Şekil 6.13'ten V_{ab} geriliminin birinci harmonik ve 1 KHz anahtarlama frekansı civarındaki harmoniklere sahip olduğu gözlemlenmektedir.

Şekil 6.18'de ise 10Hz'lik bir çıkış frekansında motor hızının değişimi gösterilmektedir.

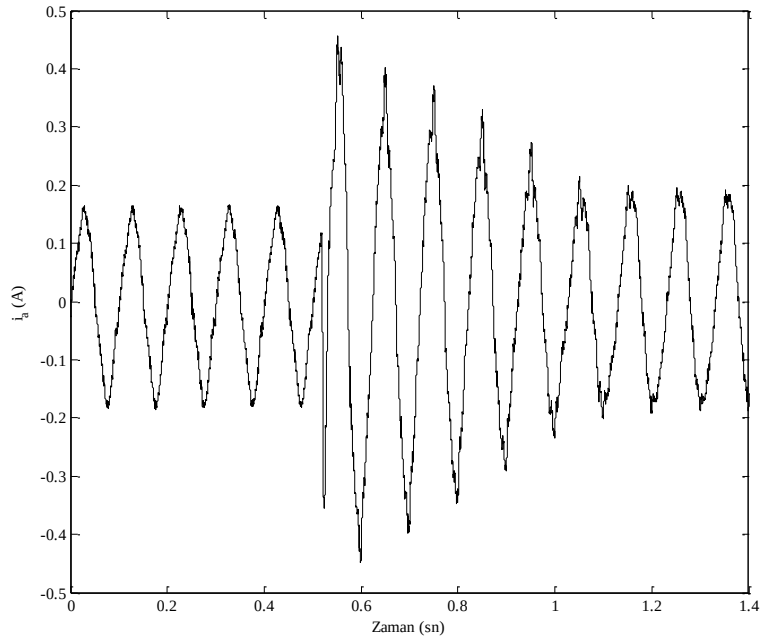


Şekil 6.17. $f = 10\text{Hz}$ için yük olarak motor kullanılması durumunda üç seviyeli UVDGM tekniği kullanan eviricinin a) Fazlararası çıkış gerilimi V_{ab} (V), b) V_{ab} geriliminin harmonik spektrumu



Şekil 6.18. $f=10\text{Hz}$ için yük olarak motor kullanılması durumunda üç seviyeli UVDGM tekniği kullanan eviricinin beslediği asenkron motorun hız değişimi

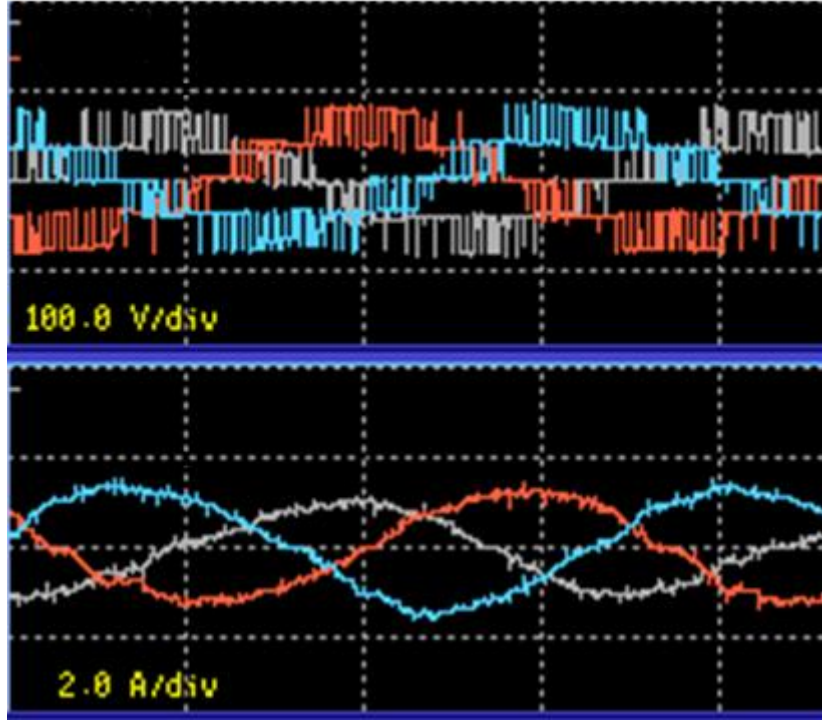
Şekil 6.19'de 10Hz çalışma durumunda, motor devir yönünün değişim komutunun verildiği an'a karşılık gelen motor akımı gösterilmektedir. Şekil 6.15'den de görüldüğü gibi yumuşak bir kontrol olmadığından devir yönün değişimi esnasında motor sürekli rejim akımından çok daha büyük akım çekmektedir.



Şekil 6.19. $f=10\text{Hz}$ için yük olarak motor kullanılması durumunda üç seviyeli UVDGM tekniği kullanan eviricinin faz akımının değişimi

Şekil 6.16'da 30 Hz çalışma frekansında sürekli rejimde fazlararası gerilimler (V_{ab} , V_{bc} , V_{ca}) ve faz akımları (i_a , i_b , i_c) verilmiştir. Yüksek frekans modülasyon indeksleri ile

çalışıldığından dolayı dalga şekilleri incelendiğinde fazlararası gerilimler beş seviyeli olarak görülmektedir.

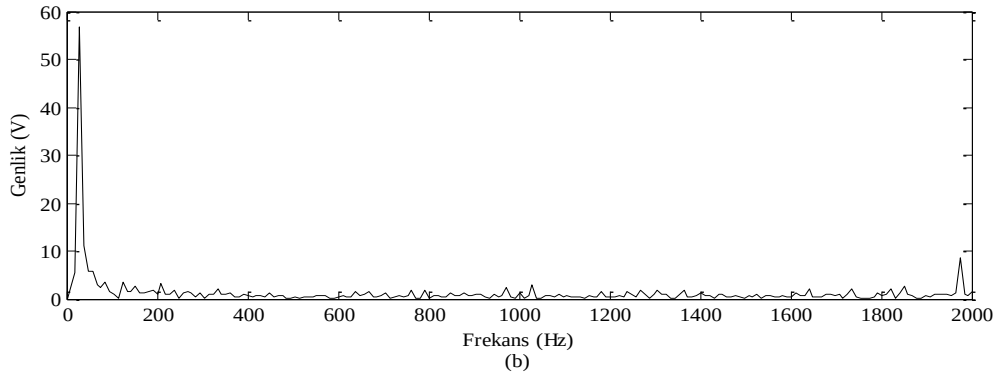
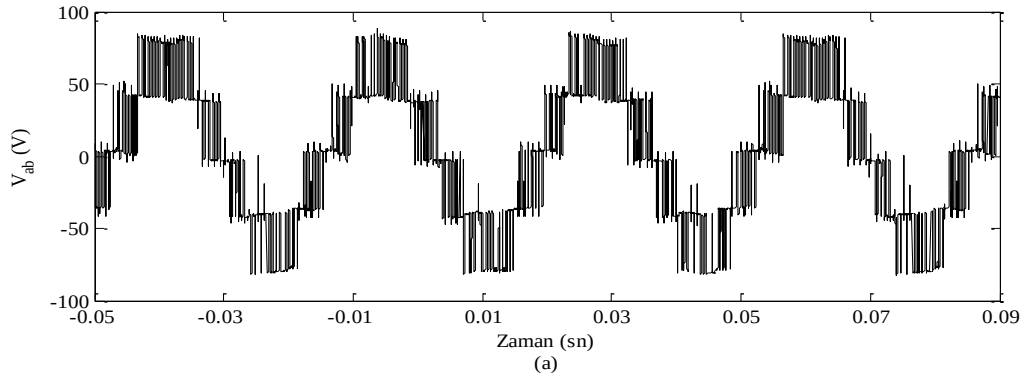


Şekil 6.20. $f = 30\text{Hz}$ için yük olarak motor kullanılması durumunda üç seviyeli UVDGM tekniği kullanan evirici çıkış gerilimleri V_{ab} (V), V_{bc} (V), V_{ca} (V) ve i_a , i_b , i_c faz akımları

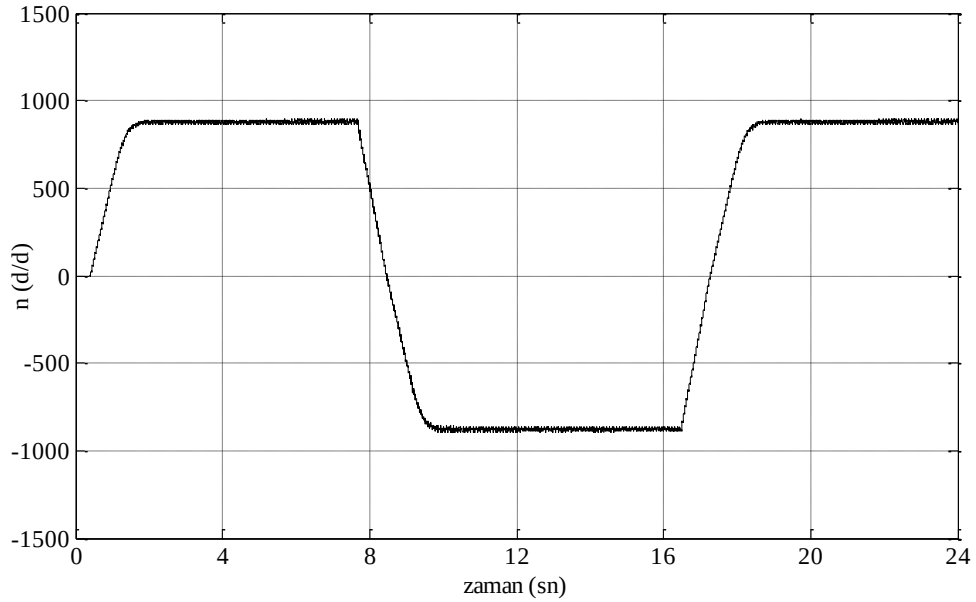
Şekil 6.20'de 30 Hz için alınan ve osiloskopta gösterilen bu dalga şekillerinde osiloskobun düşey ekseninin her bir bölümü 100V olacak şekilde set edilmiştir. Bu ölçüm güç analizörü kullanılarak yapılmıştır.

Şekil 6.21'de V_{ab} gerilim dalga şekli ve bu gerime ait harmonik spektrumu gösterilmektedir. Harmonik spektrumu incelendiğinde, birinci harmoniği ve anahtarlama frekansından dolayı oluşan harmonikler gözlemlenmektedir. Yine bu ölçüm hafızalı osiloskop kullanılarak yapılmıştır.

Şekil 6.22'de 30 Hz çıkış frekansı için asenkron motorun hız değişimi gösterilmiştir. Motor hızının ve buna bağlı olarak motor yönünün başarı bir şekilde değiştirdiği gözlenmiştir. Hız değişimini gösterebilmek için DSP arayüzü kullanılmıştır.

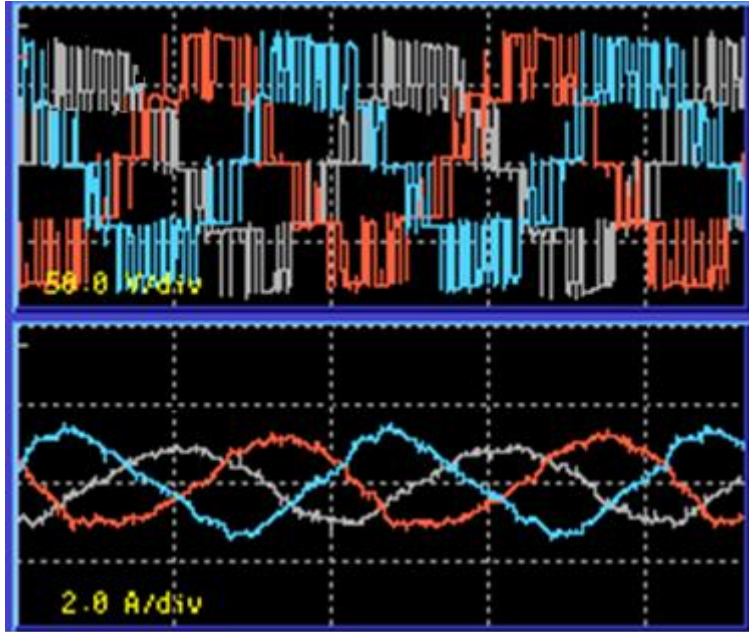


Şekil 6.21. $f = 30\text{Hz}$ için yük olarak motor kullanılması durumunda üç seviyeli UVDGM tekniği kullanan eviricinin a) Fazlararası çıkış gerilimi V_{ab} (V), b) V_{ab} geriliminin harmonik spektrumu



Şekil 6.22. $f = 30\text{Hz}$ 'de yük olarak motor kullanılması durumunda üç seviyeli UVDGM tekniği kullanan eviricinin beslediği asenkron motorun hız değişimi

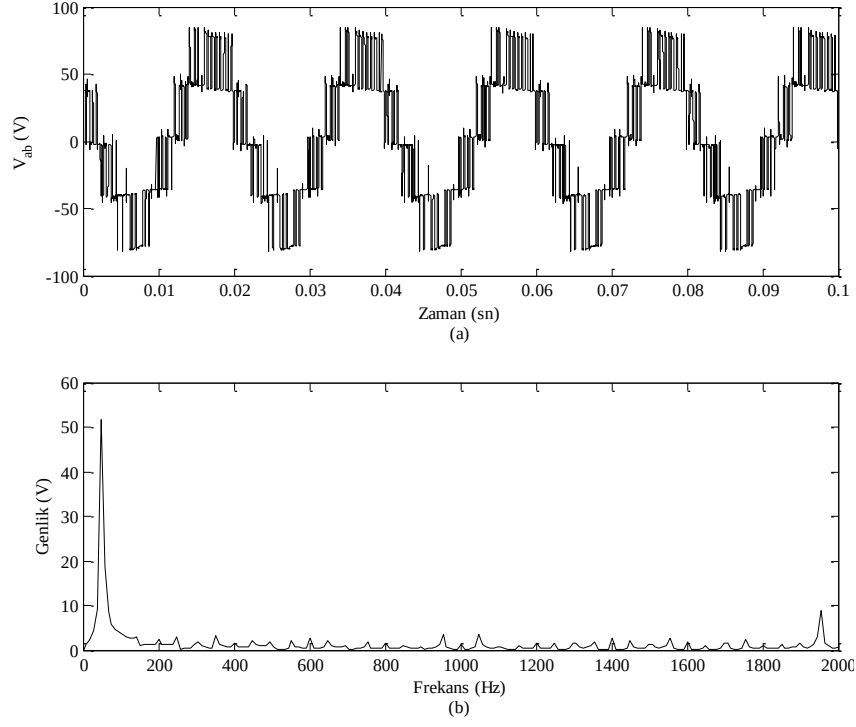
Şekil 6.23'de 50Hz'lik bir çıkış frekansı için fazlararası gerilimler (V_{ab} , V_{bc} , V_{ca}) gösterilmektedir. Dalga şekilleri incelendiğinde yüksek frekans değerinde çalışıldığından fazlararası gerilimde beş seviye gözlemlenmektedir.



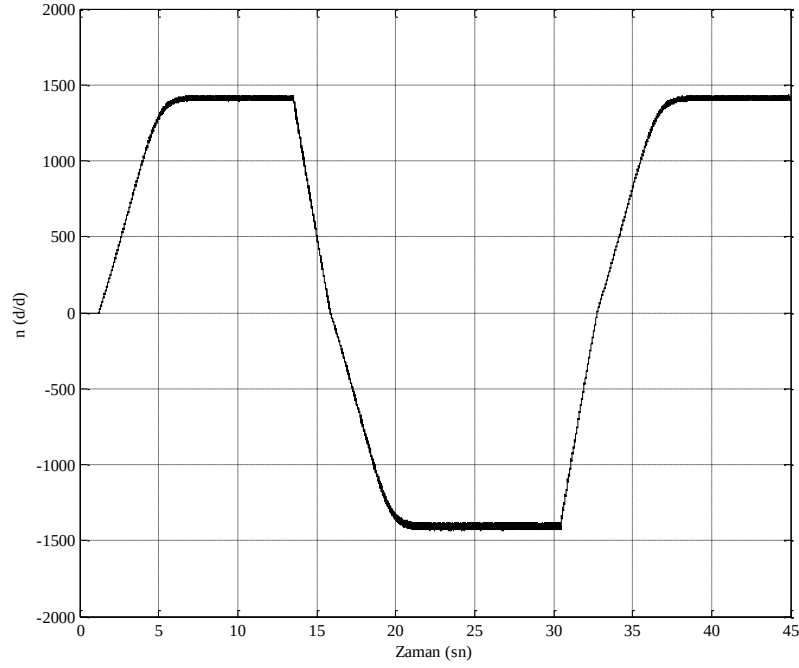
Şekil 6.23. $f = 50\text{Hz}$ için yük olarak motor kullanılması durumunda üç seviyeli UVDGM tekniği kullanan evirici çıkış gerilimleri V_{ab} (V), V_{bc} (V), V_{ca} (V) ve i_a , i_b , i_c faz akımları

Şekil 6.23de gerilim ekseninde her bir bölmenin değeri 50V'tur. Ayrıca aynı güç analizörü ekranı üzerinde faz akımları da (i_a , i_b , i_c) gösterilmektedir. Akım eksenini ise her bir bölme için 2A olarak belirlenmiştir.

Şekil 6.24 (a)'da çıkış gerilimi V_{ab} ve bu gerilime ait harmonik spektrumu gösterilmektedir. Bu değişimler incelendiğinde, birinci harmonik bileşenin yanında anahtarlama frekansı olan 1KHz ve katlarında harmoniklerin olduğu görülmektedir. Ayrıca harmonik içeriğinin oldukça iyi olduğu, gerilim spektrumu incelendiği zaman ortaya çıkmaktadır.



Şekil 6.24. $f = 50\text{Hz}$ için üç fazlı bir motoru besleyen ve üç seviyeli UVDGM tekniği kullanan eviricinin a). Fazlararası çıkış gerilimi V_{ab} (V), b). V_{ab} geriliminin harmonik spektrumu



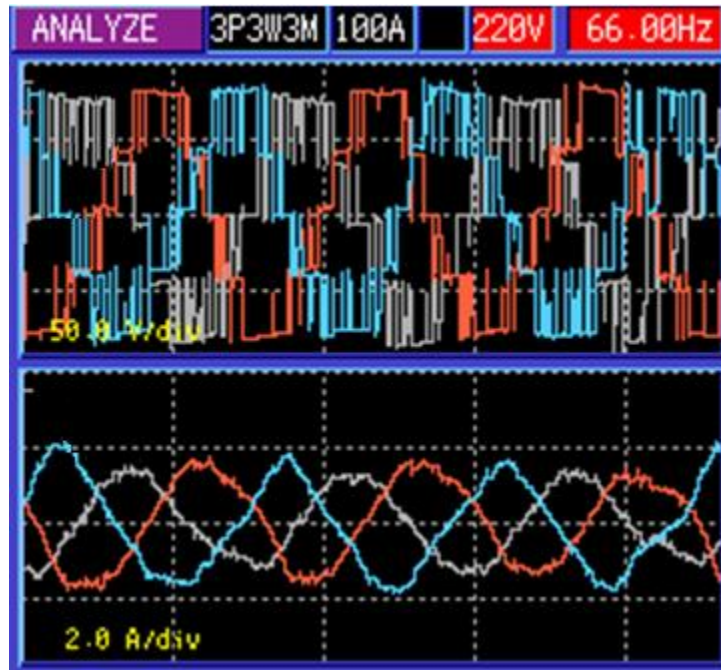
Şekil 6.25. $f = 50\text{Hz}$ 'de yük olarak motor kullanılması durumunda üç seviyeli UVDGM tekniği kullanan eviricinin beslediği asenkron motorun hız değişimi

Şekil 6.25'de 50Hz çıkış frekansı için asenkron motorun devir yönün değişimi gösterilmektedir. DSP'nin derleme probleminden dolayı hız değişiminde çıkış frekansı

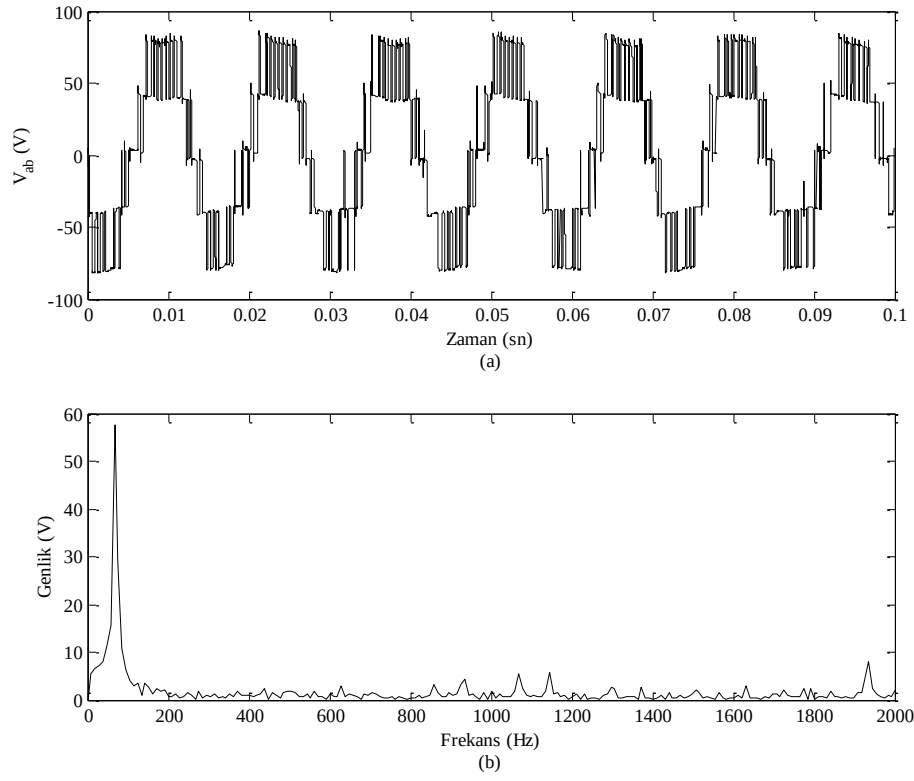
yumuşak bir şekilde değiştirilememiş çıkış frekansı $\pm 50\text{Hz}$ olarak verilmiştir. Bu durumda motorun hedef hıza ulaşımı biraz daha uzun bir zaman almıştır. Ancak yine de motorun hızının değişimi oldukça düzgün olmuştur. Ayrıca dalga şekillerini olumsuz olarak etkileyen etkenlerden biri de motorun nominal gerilimde çalıştırılmamış olmasıdır. Deney setinde kullanılan asenkron motor 4 kutuplu olup nominal hızı 1500 d/d'dir.

Şekil 6.26'da çıkış frekansının 70Hz olması durumunda motor fazlararası gerilimleri ve faz akımları gösterilmektedir. Şekil 6.22'den görüldüğü gibi çıkış frekans değeri büyüdüğü durumda açık çevrim V/f kontrolüne göre uygulanan gerilim değeri ve buna bağlı olarak da modülasyon indeksinin değeri büyür. Bu durumda da ($m > 0.5$) fazlararası gerilimde beş seviye gözlemlenir.

Şekil 6.27'de 70Hz'lik bir çıkış için V_{ab} fazlararası gerilim ve harmonik spektrumu verilmektedir. Şekil 6.24'den V_{ab} geriliminin modülasyon indeksinin büyük olmasından dolayı beş seviyeli bir dalga şekline sahip olduğu ve birinci harmonik ile 1 KHz anahtarlama frekansında harmoniklere sahip olduğu gözlemlenmektedir. Bu ölçüm hafızalı osiloskop kullanılarak gerçekleştirilmiştir.

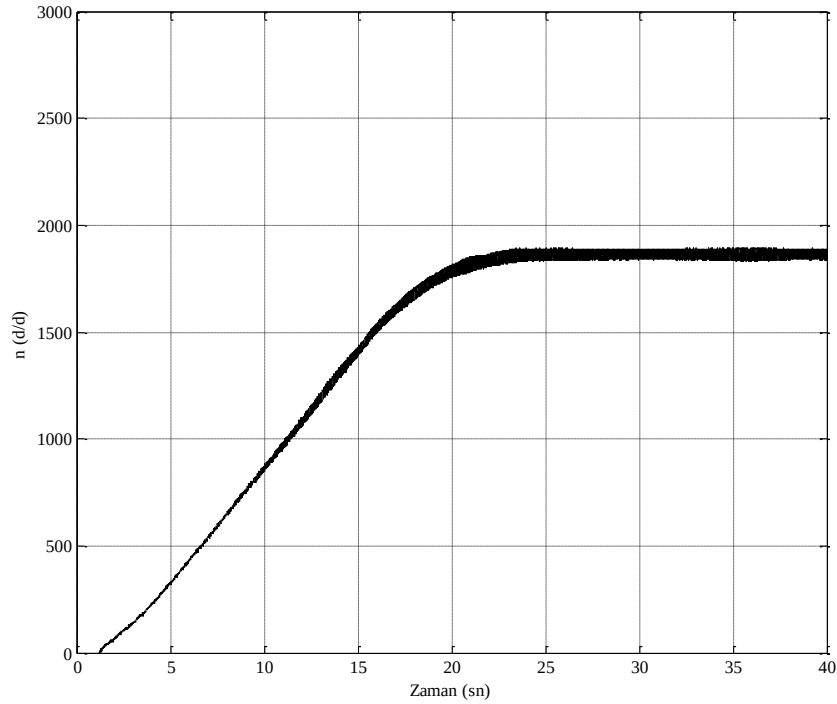


Şekil 6.26. $f = 70\text{Hz}$ için yük olarak motor kullanılması durumunda üç seviyeli UVDGM tekniği kullanan evirici çıkış gerilimleri V_{ab} (V), V_{bc} (V), V_{ca} (V) ve i_a , i_b , i_c faz akımları



Şekil 6.27. $f = 70\text{Hz}$ için yük olarak motor kullanılması durumunda üç seviyeli UVDGM tekniği kullanan eviricinin a). Fazlararası çıkış gerilimi V_{ab} (V), b). V_{ab} geriliminin harmonik spektrumu

Şekil 6.248'de ise aynı çalışma şartları ve yüksüz durum için motorun hız değişimi gösterilmektedir.



Şekil 6.28. $f = 70\text{Hz}$ 'de yük olarak motor kullanılması durumunda üç seviyeli UVDGM tekniği kullanan evirici sürücüsünün hız değişimi

6.3 Bölüm Sonuçları

Gerçek zamanlı olarak çalıştırılan üç seviyeli uzay vektör evirici modeli açık çevrim olarak çalıştırılmıştır. Yapılan bu çalışma ile gerilim vektörünün yeri (bölge/sektör) doğru olarak tespit edilmekte ve belirlenen anahtarlama sırasına göre eviriciye doğru anahtarlama sinyalleri uygulanmaktadır.

Deney düzeneği ilk olarak yıldız bağlı bir RL yüküne bağlanmış, değişik modülasyon indeks ve frekans değerlerinde sistemin fazlararası gerilimleri, faz akımları ve harmonik spektrumları incelemiştir.

Motor yüklü çalışmada ise değişik frekans değerleri için açık çevrimli olarak motor kontrol edilmiştir. İlk olarak bu çalışmalardan gözlemlenen çıkış frekansının artmasıyla motorun hızının da arttığıdır. Ayrıca modülasyon indeksi ve buna bağlı olarak çıkış gerilimi arttığı için çıkış gerilimindeki seviye sayısı üçten beşe çıkmaktadır. Motor düşük gerilimle çalıştırıldığından dolayı motorun sürekli duruma geçme süresinin arttığı gözlemlenmiş ve buna bağlı olarak motor akımında sürekli rejime geçme süresi uzamıştır. Motorun değişik hızlarda devir yönünün değiştirilmesi incelenerek, düzgün hız geçişleri gözlenmiştir.

7. SONUÇLAR

Eviriciler günümüzde endüstride motor sürücü sistemlerinde, güç sistemlerinde ve benzeri uygulamalarda oldukça yaygın olarak kullanılmaktadır. Bu nedenle eviriciler üzerine yapılan çalışmalar giderek yoğunlaşmakta ve buna bağlı olarak teknolojileri de hızla gelişmektedir. Tüm bu çalışmaların temelinde ise; anahtarlama sayısını minimumda tutarak çıkış gerilimini ve akımını daha kaliteli olarak elde etmek yatmaktadır. Bu amaçla yürütülen çalışmaların sonucunda çok seviyeli evirici tipleri ortaya çıkmıştır.

Bu tez çalışmasında, ilk olarak çok seviyeli eviricilere genel bir bakış yapılmış ve kontrol yöntemleri üzerinde durulmuştur. Başlangıçta tek fazlı eviriciler anlatılarak konuya giriş yapılmış daha sonra çok seviyeli evirici çeşitleri, devre şemaları, çalışmaları ve birbirlerine göre avantaj ve dezavantajlarından bahsedilmiştir. Çok seviyeli eviricileri kontrol etmek için kullanılan darbe genişlik modülasyon teknikleri verilerek, bu çalışma da kullanılan UVDGM tekniği üzerinde durulmuştur.

Günümüzde UVDGM tekniği, mikroişlemci teknolojisinin gelişmesiyle birlikte oldukça yaygın olarak kullanılmaya başlanmıştır. UVDGM tekniği ile çıkış gerilimi istenilen değerlere ayarlanabilmekte ve mikroişlemciler yardımıyla oldukça kolay bir şekilde uygulanabilmektedir. Çok seviyeli eviricilerde kullanılan UVDGM tekniği, iki seviyeli UVDGM tekniğinin genişletilmiş halidir. Bunun yanı sıra üç seviyeli eviricilerin harmonikleri aynı anahtarlama frekansında iki seviyeli eviricinin harmonik içeriğinden daha azdır. Ayrıca kaskat bağlı evirici devre yapısıyla çıkış gerilim seviyesi de artmaktadır. Bu nedenlerle çok seviyeli evirici topolojileri genellikle, düşük anahtarlama frekansında ve yüksek güç uygulamalarında tercih edilirler.

Bu tez çalışmasında üç seviyeli kaskat bağlı çok seviyeli eviricinin MATLAB/Simulink benzetim modeli oluşturulmuştur. Bu model oluşturulurken kullanılan algoritma DSP 1104 ile derleneceğinden dolayı C dilinde yazılarak sistemin daha hızlı çalışması sağlanmıştır. UVDGM tekniği (SVPWM) için anahtarlama süreleri ve gerilim vektörlerinin seçimi, iki seviyeli eviricilerde olduğu gibi oldukça kolay bir algoritmayla gerçekleştirilmiştir. Bunun sonucunda gerçekleştirilen algoritmanın kolaylıkla gerçek zamanlı uygulamalarda kullanılabileceği gösterilmiştir. Gerçekleştirilen bu algoritma ile üç seviyeli UVDGM tekniğinde gerilim vektörünün hangi sektör ve bölge içerisinde hareket ettiği kolaylıkla hesaplanabilmektedir. Bu algoritmanın daha yüksek seviyedeki eviricilerde kullanımıyla

çok seviyeli eviricilerde karşılaşılan matematiksel işlemlerin azaltılabileceği saptanmıştır. Ayrıca bu algoritma ile anahtarların anahtarlama sırası da belirlenmektedir. Bu anahtarlama sırasına göre; Uzak Vektör diyagramı içerisinde bulunan belirli bir sektör ve bölge içerisindeki gerilim vektörü için komşu anahtarlar kullanılmıştır. Bu anahtarlar kullanılırken takip edilen sıra ise sadece tek bir fazın konum değiştirmesi şeklindedir. Böylece anahtarlama sırası düzenlenirken anahtarlama kayıpları da azaltılmıştır. Gerçekleştirilen bu model, 2006 yılında “IEEE Industrial Electronics Society” (IECON) uluslararası konferansında bildiri olarak sunulmuştur. Bu tez çalışmasının Ekler bölümünde, atıflar başlığı altında sunulan çalışmalar incelendiğinde, birçok araştırmacı tarafından da bu model kullanılmış ve çalışmalarında atıf olarak gösterilmiştir.

Bu tez çalışmasında ayrıca YSA tekniği kullanılarak UVDGM algoritmasının en önemli unsurları olan sektör ve bölge tespiti de gerçekleştirilmiştir. Bu yapı gerçekleştirilirken birçok YSA yapısı ve algoritması denenerek en uygun sonuçların Levenberg-Morguaret algoritması kullanılarak, İBYSA yapısı ile elde edildiği ortaya konulmuştur. İBYSA kullanılarak yapılan bölge ve sektör tespitinin, klasik yöntemlerle hesaplanan sektör ve bölge tespine göre daha kolay ve hızlı olduğu görülmüştür.

Sistem bir asenkron motor kullanılarak gerçek zamanlı olarak çalıştırılmış ve değişik çalışma şartları altında akım dalga şeklinin oldukça sinüsoidaline yakın olduğu gözlenmiştir.

Sonuç olarak düşük anahtarlama frekanslarında ve yüksek güç seviyelerinde üç seviyeli UVDGM için yapılan benzetim modeli gerçek zamanlı olarak kullanılmıştır. Ayrıca düşük anahtarlama frekansına rağmen oldukça kaliteli dalga şekillerinin elde edilebileceği sonuçlarla gösterilmiştir.

Sonraki çalışmalar için böyle bir sistem kullanılarak asenkron motorun kapalı çevrim hız ve moment kontrolü gerçekleştirilerek daha güçlü ve kompakt bir sürücü tasarlanabilir. Böyle bir evirici tipinde kontrolörleri klasik yöntem ve YSA kullanılarak, her iki yöntemin de karşılaştırılması yapılabilir ve hangisinin daha iyi sonuç vereceği belirlenebilir.

KAYNAKLAR

- Betanzos-Ramirez, J.D., Rodriguez-Rivas, J.J., Peralta-Sanchez, E.** 2011. DSP-based simplified space-vector PWM for a three-level VSI, 2011 Electric Machines & Drives Conference (IEMDC), 277 - 282.
- Bose, B.K.** 1983. "Modern Power Electronics".
- Bhagwat P.M. and Stefanovic V.R.**, 1983. Generalized Structure of Multilevel PWM Inverters, *IEEE Trans. Industry Application*, **19(6)**, 1057-1069.
- Busquets Monge, S., Bordonau, J., Boroyevich, D. and Somavilla, S.**, 2004. The nearest three virtual space vector PWM - a modulation for the comprehensive neutral-point balancing in the three-level NPC inverter, *Power Electronics Letters, IEEE*, 11-15.
- Carrara, G., Gardella, S., Marchesoni, M., Salutati, R. and Sciutto, G.**, 1990. A new multilevel pwm method: a theoretical analysis, *IEEE Transactions on Power Electronic*, **7(3)**, 363-371.
- Celenovic, N.**, 2000. Space vector modulation and control of multilevel converter, *PhD Thesis*, Doctor of Philosophy, Faculty of the Virginia Polytechnic Institute and State University.
- Cordero, R., Pinto, J.O.P., and O Soares, J.**, 2010. New simplification of SV-PWM based on conditional rotation of the reference vector, *2010 Power Electronics Conference (IPEC)*, 2992 - 2999.
- Das, S., Narayanan, G.**, 2012. Novel switching sequences for a space-vector-modulated three-level inverter, *Industrial Electronics, IEEE Transactions*, **59(3)**, 1477 - 1487.
- Divan, D., Hochgraf, C., Lasseter, R. and Lipo, T.A.**, 1994. Comparison of Multilevel Inverters For Static Var Compensation, *Industry Application Society Annual Meeting*, 921-928.
- Dordevic, O., Jones, M., Levi, E.**, 2011. A space vector PWM algorithm for a three-level seven-phase voltage source inverter, *Power Electronics and Applications, EPE 2011*, 1 - 11.
- Dordevic, O., Jones, M., Levi, E.**, 2011. A comparison of PWM techniques for three-level five-phase voltage source inverters. *Power Electronics and Applications, EPE 2011*, 1 - 10.
- Filho, N., P., Pinto, J., O., P.**, 2008. Simplified space vector pwm algorithm for multilevel inverters using non-orthogonal moving reference frame, *Industry Applications Society Annual Meeting, 2008, IAS'08*, 1-6.

- Hart, D. W.**, 1997. Introduction to power electronics upper saddle river ,N, J., *Prentice Hall*.
- Hebb, D.O.**, 1949. The organization of behaviour, *John WileySons*, New York.
- Hopfield, J.J.**, 1982. Neural networks and physical sistems with emergent collective computational abilities. *Proc.Nat.Acad.Sci* 79:2554-2558.
- Jacob, B., Baiju, M.R.**, 2010. Spread spectrum scheme for two-level inverters using space vector sigma-delta modulation. *Power Electronics, Machines and Drives (PEMD 2010)*, 1 - 6.
- Kocalmis A.**, 2005. Uzay vektör PWM kontrollü çok seviyeli inverterin modellenmesi ve benzetimi, *Yüksek Lisans Tezi*, F. Ü. Fen Bilimleri Enstitüsü.
- Kocalmış A. and Sünter, S.**, 2006. Simulation of a space vector pwm controller for a three-level voltage-fed inverter motor drive, *IEEE Industrial Electronics, IECON*, 2006, 1915 - 1920.
- Kohonen, T.**, 1988. Self-Organization and associative memory, *Springer-Verlag*, Berlin.
- Lai ,J. S., Peng, F. Z.**, 1996. Multilevel converters – a new breed of power converters, *IEEE Transactions on Industry Applications*, **32(3)**. 509-517.
- Lee, D.-C. and Lee, G-M.**, 1998. A novel overmodulation technique for space vector pwm inverters, *IEEE Application on Power Electronics*, **13(6)**, 1014-1019.
- Liu, H.L., Choi, N.S. and Cho, G.H.**, 1991. DSP based space vector pwm for three-level inverter with dc-link voltage balancing, *IECON'91*, 197-203.
- Malinowski, M., Gopakumar, K., Rodriguez, J., Perez, M., A.**, 2010. A survey on cascaded multilevel inverters, *IEEE Transactions on Industry Application*, **57(7)**, 2197 - 2206.
- Manjrekar, M. and Venkataramanan, G.**, 1996. Advanced topologies and modulation strategies for multilevel inverters, *Power Electronics Specialists Conference*, 1013-1018.
- Mathworks Inc.**, MATLAB/Simulink, 2008a.
- McGrath B.P. and Holmes D.G.**, 2000. A comparison of multicarrier pwm strategies for cascaded and neutral point clamped multilevel inverters *Power Electronics Specialists Conference*, 674-679.
- Meshram, P.M., Hanote, D., Renge, M.M.**, 2009. A simplified space -vector PWM for three level inverters applied to passive and motor load. *Industrial Electronics and Applications, 2009. (ICIEA 2009)*. 3388 - 3393.
- Mondal, Subrata K., Pinto, O.P. and Bose, Bimal K.**, 2001. A neural-network-based space vector pwm controller for a threel-level voltage-fed inverter induction motor drive, *Industry Application Conference*, 1679-1686.

- Mondal, Subrata K., Pinto, O.P. and Bose, Bimal K.,** 2002. A neural-network-based space vector pwm controller for a three-level voltage-fed inverter induction motor drive, *IEEE Transactions on Industry Application*, **38(3)**, 660-669.
- Mc Culloch, W.S. and Pitts, W.H.,** 1943. A logical calculus of the ideas immanent in neural nets. *Bull. Math.Biophys.* **5**, 115-133.
- Nakazawa, Y. and Naitoh, H.,** 1997. A new pwm scheme for npc inverters reduces waveform distortion due to pulsewidtht limitation and a new neutral point voltage control, *Electrical Engineering in Japan*, **118(1)**.
- Nabae, A., Takahashi, I. and Agaki, H.,** 1981. A New Neutral-Point-Clamped PWM Inverter, *IEEE Transactions. on Industry Applications*, **17(5)**, 518-523.
- Peng F.Z. and J-SLai,** 1996. Multilevel converter - A new breed of power converters. *IEEE Transactions. on Industry Applications*, **32(3)**, 509-517.
- Peng F. Z.,** 2001. A Generalized Multilevel Inverter Topolojy with Self Voltage Balancing, *IEEE Transactions. on Industry Applications*, **37(2)**, 611 - 618.
- Patel H. S. and Hoft R. G.,** 1973. Generalized techniques of harmonic elimination and voltage control in thyristor inverter: par i-harmonic elimination, *IEEE Transactions on Industry Applications*, 310-317.
- Rao, A. and Lipo T. A.,** 1999. A Modified single phase inverter topology with active common mode voltage cancellation, *Power Electronics Specialists Conference*, 850-854.
- Rabinovici, R., Baimel, D., Tomasik, J., Zuckerberger, A.,** 2010. Series space vector modulation for multi-level cascaded H-bridge inverters, *Power Electronics, IET*. 843 - 857.
- Rodriguez, J., Bernet, S. Steimer, P., K., Lizama, I., E.,** 2010. A survey on neutral-point-Clamped Inverters. *IEEE Transactions on Industrial Electronics*. **57(7)**. 2219 - 2230.
- Rodriguez, J., Lai, J.S. and Peng, F. Z.,** 2002. Multilevel inverters: a survey of topologies, controls and applications. *IEEE Transactions on Industrial Electronics*. **49(4)**. 724 - 738.
- Rosenblatt, F.** 1959. Principles of neuradynamics, *Spartan Books*, New York.
- Rumelhart, D.E., McClelland, J.L. and PDP Research Group** 1986. Parallel distributed processing: explorations in the microstructure of cognition, 1, *MIT Press*, Cambridge, MA.
- Saqib, M., A., Kashif, S., A., R.,** 2010. Artificial neural network based space vector PWM for a five-level diode-clamped inverter. *Universities Power Engineering Conference (AUPEC 2010)*, 1 - 6.

- Shen, W. And Maswood I.A.**, 2000. A novel Medium-voltage Drive System Adopting PWM-SHE Technology. *Harmonics and Quality of Power*, 2000, 583 - 588.
- Shrivastava, Y., Lee, C.K., Hui, S.Y.R. and Chung, H.S.H**, 2001. Comparision of rpwm and pwm space vector switching schemes for 3-level power inverters, *Power Electronics Specialists Conference, PESC 2001*, 138-145.
- Stynski, S.**, 2010. Space Vector PWM modulator reducing switching losses for three-level flying-capacitor inverters, 3912 - 3917.
- Suh J.H., Choi C.H. and Hyun D.S.**, 2001. A new simplified space-vector pwm method for three-level inverters. *Power Electronics IEEE Applications*, **16(4)**, 545 - 550..
- Şen Z.**, 2004. Yapay sinir ağları ilkeleri, *Su Vakfı Yayınları*, İstanbul.
- Tadros, Y., Salama, S. and Höf, R.**, 1992. Three level IGBT inverter. *Power Electronics Specialists Conference, PESC'92*, 46 - 52.
- Tolbert, L. M. and Habetler, T. G.**, 1998. Novel multilevel inverter carrier-based pwm method. *IEEE Annual Meeting*, St Louis, Missoouri, 1424-1431.
- Tuncer, S.**, 2004. Uzak vektör darbe genişlik modülasyonu kullanan beş seviyeli inverter tasarımı ve uygulaması, *Doktora Tezi, F. Ü., Fen Bilimleri Enstitüsü*.
- Veeranna, S., B., Beig, A., R., Yaragatti, U., R.**, 2011. Performance analysis of PWM strategies for cascaded H-bridge three-level inverter. *GCC Conference and Exhibition (GCC 2011)*, 81 - 84.
- Widrow, B. and Hoff, M.** 1960. Adaptive switching circuits. *IRE WESCON Convention Record*, 96-104.
- Wu, B.**, 2006. High-power converters and ac drives, *The Institute of Electrical and Electronics Engineer. Inc.* 2006.
- Yun, W., Jianguo, J.**, 2009. The study of fpga-based three-level svm npc inverter. *Power Electronics and Motion Control Conference, 2009. IPESC '09*. 1470 - 1474.
- Zheng, J.Y, Shen, Z. L., Mei, J. And Wang, L., F.** 2010. An improved neutral-point voltage balancing algorithm for the npc three-level inverter based on virtual space vector pwm, *Electrical and Control Engineering (ICECE), 2010 International Conference*, 3283 - 3287.

EKLER

- Ek-1** Asenkron motor parametreleri
- Ek-2** PM30CSJ060 modülünün verileri
- Ek-3** PM30CSJ060 Kontrol kartı baskı devresi
- Ek-4** HCPL4503 entegresinin verileri
- Ek-5** 4N35 entegresinin verileri
- Ek-6** LV25-p gerilim algılayıcısının verileri
- Ek-7** LA55-p akım algılayıcısının verileri
- Ek-8** M577140-01 IPM güç birinin verileri
- Ek-9** **Kocalmis, A., Sunter, S.,** 2006. Simulation of a space vector PWM controller for three-level voltage -fed inverter motor drive. The 32nd Annual Conference of the IEEE Industrial Electronics Society (IECON'06), 1915-1920, bildirisine yapılan atıflar.

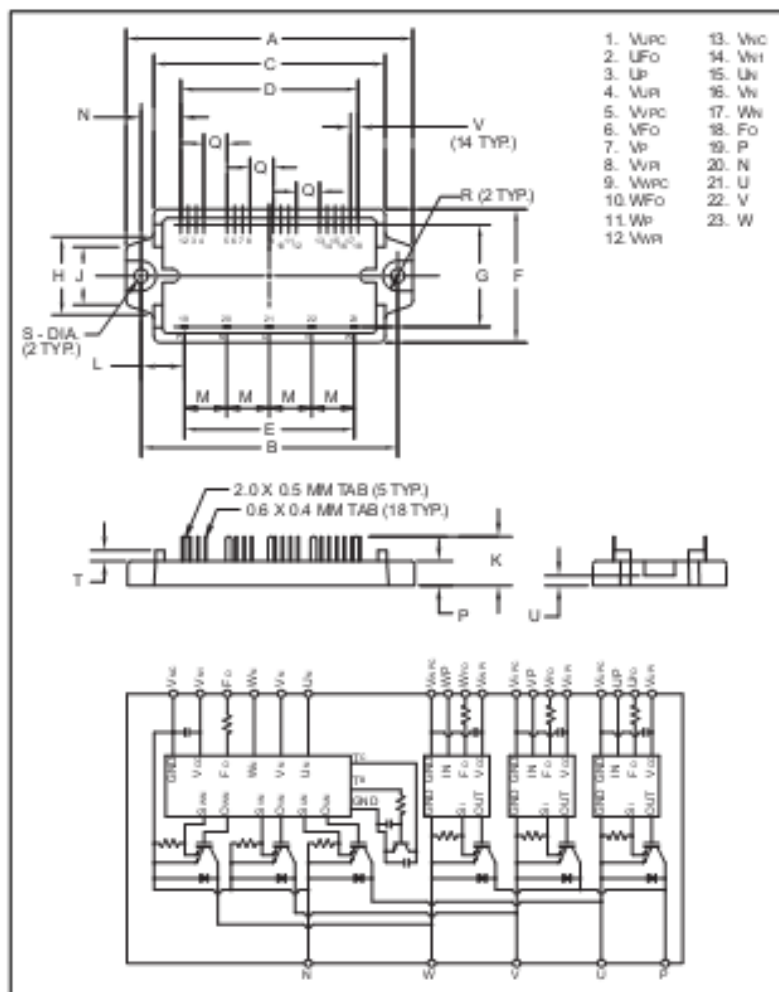
Ek-1 Asenkron Motor Parametreleri

Nominal Güç	$P_N = 0.55 \text{ KW}$
Nominal Gerilim	$V_{\text{faz-faz}} = 380 \text{ V}$
Frekans	$f = 50 \text{ Hz}$
Stator Direnci	$R_s = 112.4 \text{ } \Omega$
Stator İndüktansı	$L_s = 85.04 \text{ mH}$
Rotor Direnci	$R_r = 110 \text{ } \Omega$
Rotor İndüktansı	$L_r = 85.01 \text{ mH}$
Ortak İndüktans	$L_m = 0.4 \text{ H}$
Atalet Momenti	$j = 0.00131 \text{ kg.m}^2$
Kutup sayısı	$P = 4$

MITSUBISHI INTELLIGENT POWER MODULES

PM30CSJ060

FLAT-BASE TYPE
INSULATED PACKAGE



Outline Drawing and Circuit Diagram

Dimensions	Inches	Millimeters
A	3.72±0.04	94.5±1.0
B	3.33±0.02	84.5±0.5
C	2.99	76.0
D	2.30±0.02	58.42±0.5
E	2.20±0.02	56.0±0.5
F	1.73±0.04	44.0±1.0
G	1.32±0.03	33.6±0.8
H	1.01	25.7
J	0.75	19.0
K	0.71±0.04	18.0±1.0

Dimensions	Inches	Millimeters
L	0.561	14.25
M	0.55±0.01	14.0±0.25
N	0.513	13.04
P	0.31±0.02	8.0±0.5
Q	0.300	7.62
R	0.20 Rad.	Rad. 5.0
S	0.18 Dia.	Dia. 4.5
T	0.14	3.5
U	0.13±0.02	3.2±0.5
V	0.100±0.01	2.54±0.25



Description:

Mitsubishi Intelligent Power Modules are isolated base modules designed for power switching applications operating at frequencies to 20kHz. Built-in control circuits provide optimum gate drive and protection for the IGBT and free-wheel diode power devices.

Features:

- ☐ Complete Output Power Circuit
- ☐ Gate Drive Circuit
- ☐ Protection Logic
 - Short Circuit
 - Over Current
 - Over Temperature
 - Under Voltage

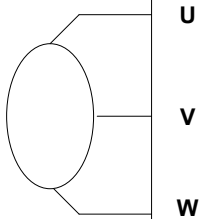
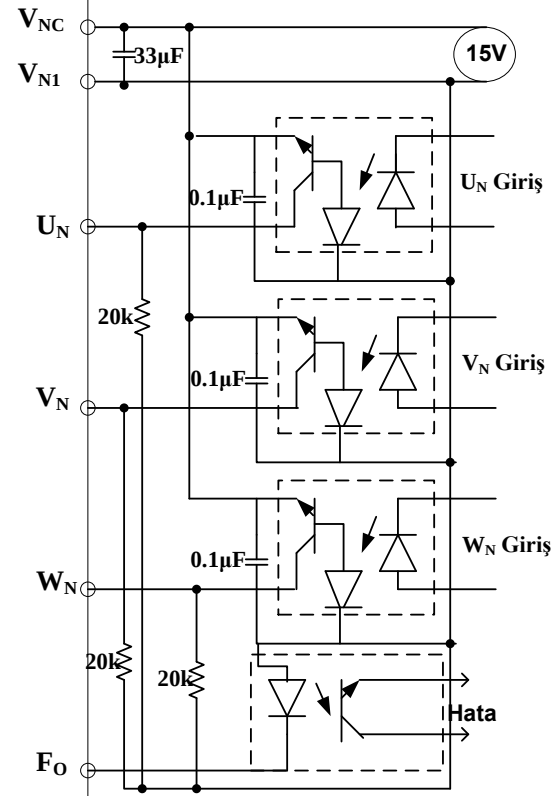
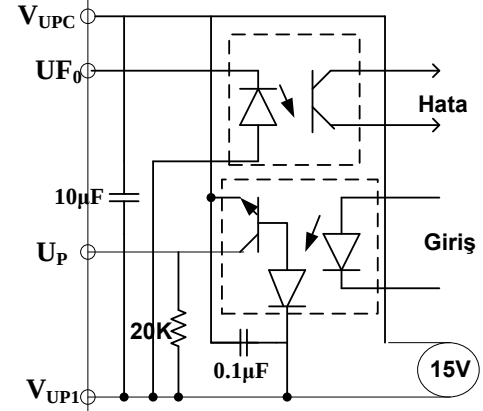
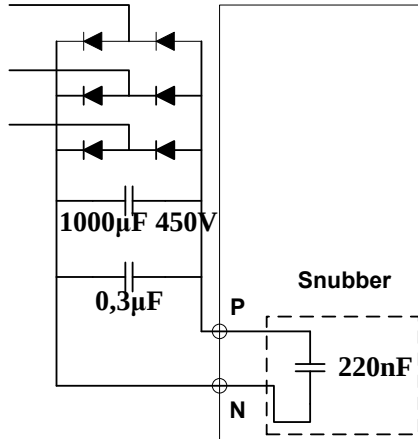
Applications:

- ☐ Inverters
- ☐ UPS
- ☐ Motion/Servo Control
- ☐ Power Supplies

Ordering Information:

Example: Select the complete part number from the table below -i.e. PM30CSJ060 is a 600V, 30 Ampere Intelligent Power Module.

Type	Current Rating Amperes	V _{CEs} Volts (x 10)
PM	30	60



Single Channel, High Speed Optocouplers

Technical Data

6N135/6
HCNW135/6
HCNW4502/3
HCPL-0452/3
HCPL-0500/1
HCPL-4502/3

Features

- 15 kV/ μ s Minimum Common Mode Transient Immunity at $V_{CM} = 1500$ V (4503/0453)
- High Speed: 1 Mb/s
- TTL Compatible
- Available in 8-Pin DIP, SO-8, Widebody Packages
- Open Collector Output
- Guaranteed Performance from Temperature: 0°C to 70°C
- Safety Approval
 UL Recognized – 2500 V rms for 1 minute (5000 V rms for 1 minute for HCNW and Option 020 devices) per UL1577
 CSA Approved
 VDE 0884 Approved
 – $V_{ORM} = 630$ V peak for HCPL-4503#060
 – $V_{ORM} = 1414$ V peak for HCNW devices
 BSI Certified (HCNW devices only)
- Dual Channel Version Available (253X/4534/053X/0534)
- MIL-STD-1772 Version Available (55XX/65XX/4N55)

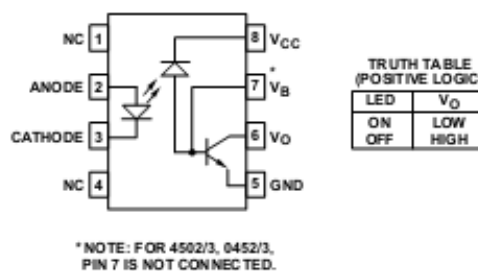
Applications

- High Voltage Insulation
- Video Signal Isolation
- Power Transistor Isolation in Motor Drives
- Line Receivers
- Feedback Element in Switched Mode Power Supplies
- High Speed Logic Ground Isolation – TTL/TTL, TTL/CMOS, TTL/LSTTL
- Replaces Pulse Transformers
- Replaces Slow Phototransistor Isolators
- Analog Signal Ground Isolation

Description

These diode-transistor optocouplers use an insulating layer between a LED and an integrated photodetector to provide electrical insulation between input and output. Separate connections for the photodiode bias and output-transistor collector increase the speed up to a hundred times that of a conventional phototransistor coupler by reducing the base-collector capacitance.

Functional Diagram



A 0.1 μ F bypass capacitor must be connected between pins 5 and 8.

CAUTION: It is advised that normal static precautions be taken in handling and assembly of this component to prevent damage and/or degradation which may be induced by ESD.

GENERAL PURPOSE 6-PIN PHOTOTRANSISTOR OPTOCOUPLEDERS

4N25
4N37

4N26
H11A1

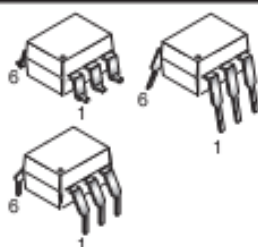
4N27
H11A2

4N28
H11A3

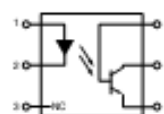
4N35
H11A4

4N36
H11A5

WHITE PACKAGE (-M SUFFIX)

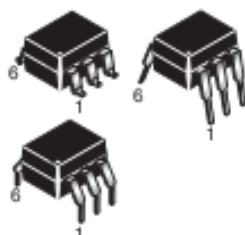


SCHEMATIC



PIN 1: ANODE
2: NO CONNECTION
3: NO CONNECTION
4: EMITTER
5: COLLECTOR
6: BASE

BLACK PACKAGE (NO -M SUFFIX)



DESCRIPTION

The general purpose optocouplers consist of a gallium arsenide infrared emitting diode driving a silicon phototransistor in a 6-pin dual in-line package.

FEATURES

- Also available in white package by specifying -M suffix, eg. 4N25-M
- UL recognized (File # E90700)
- VDE recognized (File # 94766)
 - Add option V for white package (e.g., 4N25V-M)
 - Add option 300 for black package (e.g., 4N25.300)

APPLICATIONS

- Power supply regulators
- Digital logic inputs
- Microprocessor inputs

Voltage Transducer LV 25-P

For the electronic measurement of voltages : DC, AC, pulsed..., with a galvanic isolation between the primary circuit (high voltage) and the secondary circuit (electronic circuit).



$$I_{PN} = 10 \text{ mA}$$

$$V_{PN} = 10 \dots 500 \text{ V}$$



Electrical data

I_{PN}	Primary nominal r.m.s. current	10	mA
I_p	Primary current, measuring range	0 .. ± 14	mA
R_{in}	Measuring resistance	$R_{in min}$ $R_{in max}$	
	with $\pm 12 \text{ V}$	@ $\pm 10 \text{ mA}_{max}$	30 190 Ω
		@ $\pm 14 \text{ mA}_{max}$	30 100 Ω
	with $\pm 15 \text{ V}$	@ $\pm 10 \text{ mA}_{max}$	100 350 Ω
		@ $\pm 14 \text{ mA}_{max}$	100 190 Ω
I_{SN}	Secondary nominal r.m.s. current	25	mA
K_N	Conversion ratio	2500 : 1000	
V_C	Supply voltage ($\pm 5 \%$)	$\pm 12 \dots 15$	V
I_C	Current consumption	10 (@ $\pm 15 \text{ V}$) + I_S	mA
V_d	R.m.s. voltage for AC isolation test ¹⁾ , 50 Hz, 1 mn	2.5	kV

Accuracy - Dynamic performance data

X_G	Overall Accuracy @ I_{PN} , $T_A = 25^\circ\text{C}$	@ $\pm 12 \dots 15 \text{ V}$	± 0.9	%
		@ $\pm 15 \text{ V}$ ($\pm 5 \%$)	± 0.8	%
ε_L	Linearity		< 0.2	%
I_0	Offset current @ $I_p = 0$, $T_A = 25^\circ\text{C}$		Typ Max	
I_{OT}	Thermal drift of I_0	$0^\circ\text{C} \dots +25^\circ\text{C}$	± 0.06	± 0.25 mA
		$+25^\circ\text{C} \dots +70^\circ\text{C}$	± 0.10	± 0.35 mA
t_r	Response time ²⁾ @ 90 % of $V_{PN max}$		40	μs

General data

T_A	Ambient operating temperature	0 .. +70	$^\circ\text{C}$
T_S	Ambient storage temperature	-25 .. +85	$^\circ\text{C}$
R_p	Primary coil resistance @ $T_A = 70^\circ\text{C}$	250	Ω
R_s	Secondary coil resistance @ $T_A = 70^\circ\text{C}$	110	Ω
m	Mass	22	g
	Standards ³⁾	EN 50178	

Notes : ¹⁾ Between primary and secondary

²⁾ $R_i = 25 \text{ k}\Omega$ (L/R constant, produced by the resistance and inductance of the primary circuit)

³⁾ A list of corresponding tests is available

Features

- Closed loop (compensated) voltage transducer using the Hall effect
- Insulated plastic case recognized according to UL 94-V0.

Principle of use

- For voltage measurements, a current proportional to the measured voltage must be passed through an external resistor R_i which is selected by the user and installed in series with the primary circuit of the transducer.

Advantages

- Excellent accuracy
- Very good linearity
- Low thermal drift
- Low response time
- High bandwidth
- High immunity to external interference
- Low disturbance in common mode.

Applications

- AC variable speed drives and servo motor drives
- Static converters for DC motor drives
- Battery supplied applications
- Uninterruptible Power Supplies (UPS)
- Power supplies for welding applications.

98 1125/14

Current Transducer LA 55-P

$$I_{PN} = 50 \text{ A}$$

For the electronic measurement of currents : DC, AC, pulsed..., with a galvanic isolation between the primary circuit (high power) and the secondary circuit (electronic circuit).



Electrical data

I_{PN}	Primary nominal r.m.s. current	50	A
I_P	Primary current, measuring range	0 ... ± 70	A
R_M	Measuring resistance @	$T_A = 70^\circ\text{C}$ $T_A = 85^\circ\text{C}$ $R_{M \min}$ $R_{M \max}$ $R_{M \min}$ $R_{M \max}$	
	with $\pm 12 \text{ V}$	@ $\pm 50 \text{ A}_{\max}$	10 100 60 95 Ω
		@ $\pm 70 \text{ A}_{\max}$	10 50 60 ¹⁾ 60 ¹⁾ Ω
	with $\pm 15 \text{ V}$	@ $\pm 50 \text{ A}_{\max}$	50 160 135 155 Ω
		@ $\pm 70 \text{ A}_{\max}$	50 90 135 ²⁾ 135 ²⁾ Ω
I_{SN}	Secondary nominal r.m.s. current	50	mA
K_N	Conversion ratio	1 : 1000	
V_C	Supply voltage ($\pm 5\%$)	$\pm 12 \dots 15$	V
I_C	Current consumption	10 (@ $\pm 15 \text{ V}$) + I_S	mA
V_d	R.m.s. voltage for AC isolation test, 50 Hz, 1 mn	2.5	kV

Accuracy - Dynamic performance data

X	Accuracy @ I_{PN} , $T_A = 25^\circ\text{C}$	@ $\pm 15 \text{ V}$ ($\pm 5\%$)	± 0.65	%
		@ $\pm 12 \dots 15 \text{ V}$ ($\pm 5\%$)	± 0.90	%
ϵ_L	Linearity		< 0.15	%
I_O	Offset current @ $I_P = 0$, $T_A = 25^\circ\text{C}$	Typ	Max	
I_{OI}	Residual current ³⁾ @ $I_P = 0$, after an overload of $3 \times I_{PN}$		± 0.2	mA
I_{OT}	Thermal drift of I_O	0 $^\circ\text{C}$... 70 $^\circ\text{C}$	± 0.1	± 0.5 mA
		- 25 $^\circ\text{C}$... + 85 $^\circ\text{C}$	± 0.1	± 0.6 mA
t_{ra}	Reaction time @ 10 % of $I_{P \max}$		< 500	ns
t_r	Response time @ 90 % of $I_{P \max}$		< 1	μs
dI/dt	dI/dt accurately followed		> 200	A/ μs
f	Frequency bandwidth (-1 dB)		DC ... 200	kHz

General data

T_A	Ambient operating temperature	- 25 ... + 85	$^\circ\text{C}$
T_S	Ambient storage temperature	- 40 ... + 90	$^\circ\text{C}$
R_S	Secondary coil resistance @	$T_A = 70^\circ\text{C}$	80 Ω
		$T_A = 85^\circ\text{C}$	85 Ω
m	Mass		18 g
	Standards ⁴⁾		EN 50178

Notes : ¹⁾ Measuring range limited to $\pm 60 \text{ A}_{\max}$

²⁾ Measuring range limited to $\pm 55 \text{ A}_{\max}$

³⁾ Result of the coercive field of the magnetic circuit

⁴⁾ A list of corresponding tests is available

Features

- Closed loop (compensated) current transducer using the Hall effect
- Printed circuit board mounting
- Insulated plastic case recognized according to UL 94-V0.

Advantages

- Excellent accuracy
- Very good linearity
- Low temperature drift
- Optimized response time
- Wide frequency bandwidth
- No insertion losses
- High immunity to external interference
- Current overload capability.

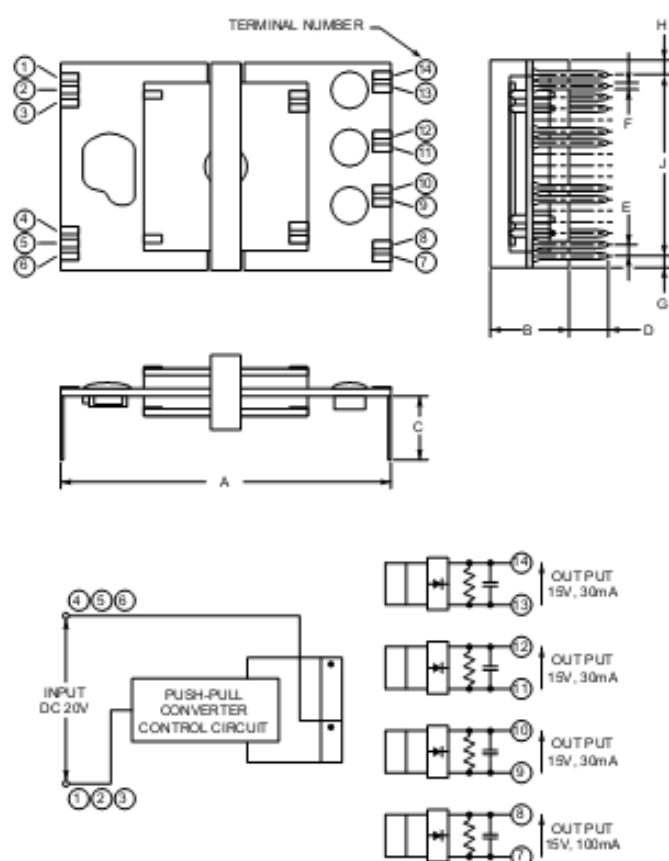
Applications

- AC variable speed drives and servo motor drives
- Static converters for DC motor drives
- Battery supplied applications
- Uninterruptible Power Supplies (UPS)
- Switched Mode Power Supplies (SMPS)
- Power supplies for welding applications.

MITSUBISHI HYBRID ICs

M57140-01

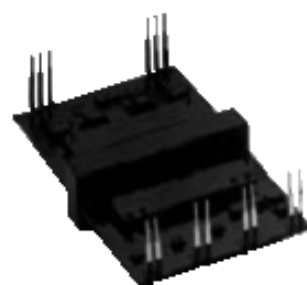
IPM POWER SUPPLY HYBRID IC



Outline Drawing and Circuit Diagram

Dimensions	Inches	Millimeters
A	2.03	51.5
B	0.71	18.0 MAX
C	.39±.06	12.5±1.5
D	.18±.06	4.5±1.5
E	0.07	1.8

Dimensions	Inches	Millimeters
F	0.02	0.55
G	0.08	2.1
H	0.08	2.1
J	1.13	28.8



Description:

M57140-01 is an isolated DC-to-DC converter designed to drive IPMs (Intelligent Power Modules). With an input of DC 20V, the module supplies four 15V outputs. Isolation is provided from primary to secondary and also between the secondaries. Interwinding isolation is designed for driving the IPM.

Features:

- ☐ Output Specification:
+15V x 4, Total 3W max.
- ☐ Primary-to-secondary Isolation:
2500 V_{RMS}, One Minute
- ☐ Secondary-to-secondary
Isolation Voltage:
1500 V_{RMS}, One Minute
- ☐ Compact, Low Profile Design

Applications:

- ☐ IPMs for General Purpose
Inverter and AC Servo
- ☐ Power Source for MOSFET
Driving Circuits

Ordering Information:

M57140-01



MEAN WELL

SWITCHING POWER SUPPLY

ISO-9001 CERTIFIED MANUFACTURER

Q-120 SERIES

- LOW COST, HIGH RELIABILITY
- 105°C OUTPUT CAPACITOR
- INTERNATIONAL AC INPUT RANGE
- HIGH EFFICIENCY, LOW WORKING TEMPERATURE
- SOFT-START CIRCUIT, LIMITING AC SURGE CURRENT
- SHORT CIRCUIT, OVERLOAD, OVER VOLTAGE PROTECTED
- COMPACT SIZE, LIGHT WEIGHT
- 100% FULL LOAD BURN-IN TEST
- BUILT IN EMI FILTER, LOW RIPPLE NOISE



MODEL	Q-120B				Q-120C				Q-120D			
	CH1	CH2	CH3	CH4	CH1	CH2	CH3	CH4	CH1	CH2	CH3	CH4
SPECIFICATION												
DC OUTPUT VOLTAGE	5V	12V	-5V	-12V	5V	15V	-5V	-15V	5V	12V	24V	-12V
OUTPUT V. TOLERANCE	±2%	±6%	±6%	±6%	±2%	+10,-5%	±6%	+10,-5%	±2%	±6%	±6%	±6%
OUTPUT RATED CURRENT	11A	4A	1A	1A	10A	3.5A	1A	1A	8A	2A	2A	1A
OUTPUT CURRENT RANGE	2-12A	0.5-5A	0.2-1A	0.2-1A	2-12A	0.5-5A	0.2-1A	0.2-1A	2-12A	0.2-5A	0.2-2A	0.2-1A
RIPPLE & NOISE (p-p)	80mV	120mV	80mV	120mV	80mV	150mV	80mV	150mV	80mV	120mV	180mV	120mV
LINE REGULATION	±0.5%	±1%	±1%	±1%	±0.5%	±1%	±1%	±1%	±0.5%	±1%	±1%	±1%
LOAD REGULATION	±0.5%	±5%	±5%	±5%	±0.5%	±6%	±5%	±6%	±0.5%	±5%	±5%	±5%
DC OUTPUT POWER	120W				122.5W				124W			
EFFICIENCY	77%				76%				80%			
DC VOLTAGE ADJ.	CH1:±10,-5%				CH1:±10,-5%				CH1:±10,-5%			
INPUT VOLTAGE RANGE	88-132VAC / 176-264VAC. SELECTED BY SWITCH 47-63Hz: 240-370VDC											
AC CURRENT	2.5A/115V 1.25A/230V											
INRUSH CURRENT	COLD START 35A											
LEAKAGE CURRENT	<3.5mA/240VAC											
OVERLOAD PROTECTION	105%~135% TYPE-OUTPUT SHUTDOWN RESET-RECYCLE AC ON / OFF											
OVER VOLTAGE PROTECTION	CH1:5.75-6.75V											
OVER TEMP. PROTECTION	-----											
TEMP. COEFFICIENT	±0.03% / °C (0-50°C)											
SETUP, RISE, HOLD UP TIME	200ms, 50ms, 20ms											
VIBRATION	10-500Hz, 2G 10min./1cycle, PERIOD FOR 60min. EACH AXES											
WITHSTAND VOLTAGE	IP-O/P:3KVAC IP-FG:1.5KVAC O/P-FG:0.5KVAC											
ISOLATION RESISTANCE	IP-O/P, IP-FG, O/P-FG:500VDC / 100M Ohms											
WORKING TEMP., HUMIDITY	-10°C~+60°C(REFER TO OUTPUT DERATING CURVE), 20%-90% RH											
STORAGE TEMP., HUMIDITY	-20°C~+85°C, 10%-95% RH											
DIMENSION	199*110*50mm CASE-906											
WEIGHT	0.88Kgs											
SAFETY STANDARDS	UL1950, TUV EN60950 APPROVED											
EMC STANDARDS	CISPR22 (EN55022) CLASS B, IEC801-2,3,4, IEC555-2 VERIFICATION											

NOTE:

1. ALL PARAMETERS ARE SPECIFIED AT 230VAC INPUT, RATED LOAD, 25°C 70% RH, AMBIENT.
2. TOLERANCE INCLUDE SET UP TOLERANCE, LINE REGULATION, LOAD REGULATION.
3. RIPPLE & NOISE ARE MEASURED AT 20MHz BY USING A 12" TWISTED PAIR TERMINATED WITH A 0.1μF & 47μF CAPACITOR.
4. LINE REGULATION IS MEASURED FROM LOW LINE TO HIGH LINE AT RATED LOAD.
5. LOAD REGULATION IS MEASURED FROM 20% TO 100% RATED LOAD, AND OTHER OUTPUT AT 60% RATED LOAD.
6. EACH OUTPUT PROVIDE UP TO MAXIMUM CURRENT, BUT TOTAL LOAD CAN NOT EXCEED MAX. OUTPUT POWER.
7. C2,3,11 MUST BE REMOVED.

勝特力材料 886-3-5753170
 勝特力电子(上海) 86-21-54151736
 勝特力电子(深圳) 86-755-83298787
[Http://www.100y.com.tw](http://www.100y.com.tw)

Ek-9 Atıflar

Kocalmis, A., Sunter, S., 2006. Simulation of a space vector PWM controller for three-level voltage -fed inverter motor drive. The 32nd Annual Conference of the IEEE Industrial Electronics Society (IECON'06), (1915-1920) bildirisine yapılan atıflar.

a) Uluslararası Dergilerde Yayımlanmış Makaleler

Çolak, İ., Kabalcı, E., Bayındır, R., 2011. Review of multilevel voltage source inverter topologies and control schemes. Energy Conversion and Management, 52(2), 1114-1128.

Ismail, M., M., 2012. Improving the performance of the dtc saturated model of the induction motor in case of two level and three level vsi using ga and pso algorithms., International Journal of Control, Automation and Systems, 1(1), 4-11.

Kang, J., Niu, Y., 2011. A SVPWM control strategy for neutral point potential compensation in three-level inverter. Communication Systems and Information Technology Lecture Notes in ElectricalEngineering, 2011, Volume 100, 41-48, DOI: 10.1007/978-3-642-21762-3_6.

Lee, D., M., Jung, J., W., Kwak, S., S., 2011. Simple space vector pwm scheme for 3-level npc inverters including the overmodulation region. Journal of Power Electronics, 5(11).

B. Muralidhara, B., Ramachandran, A., Kattimani, H., D., Channa Reddy, M., 2010. Gating signal generation and hardwareimplementation of multi-level inverter fed induction motor by svpwm method using μ - controller. International Journal of Engineering Science and Technology, 2(11), 6047-6052.

Patel, P., J., Patel, V., Tekwani, P.N., 2011. Pulse-based dead-time compensation method for selfbalancing space vector pulse width-modulated scheme used in a three-level inverter-fed induction motor drive. Power Electronics, IET. 4(6). 624-631.

Pouresmaeil, E., Montesinos-Miracle, D., Gomis-Bellmunt, O., 2011. Control scheme of three-level npc inverter for integration of renewable energy resources into ac grid. System Journal, IEEE, in print.

b) Uluslararası Sempozyum, Kongre veya Konferans Bildirileri

- Asgar, M., Mansourpour, S., Afjei, E.,** 2011. Matrix converter for two-phase induction motor application: analysis, modeling and simulation. 2nd Power Electronics, Drive Systems & Technologies Conference, Tehran, 3388-3393.
- Meshram, P., M., Hanote, D., Renge, M., M.,** 2009. A simplified space -vector pwm for three level inverters applied to passive and motor load. Proceedings of Industrial Electronics and Applications 2009, ICIEA 2009.
- Cui, H., Chen, C., Jiang, W., Hou, L.,** 2009. Direct torque control method of induction machines using three-level space vector modulation. Power Electronics and Motion Control Conference, IPEMC '09 , 585-588.
- Jemai, K., Chebbi, S., Abbassi, R.,** 2009. Control of a permanent magnet synchronous machine (pmsm) connected to an unbalanced electric grid. Systems, Signals and Devices, SSD '09. 1 - 6.
- Sarıbulut, L., Tümay, M.,** 2009. A robust SVM technique to minimize the effects of unbalanced voltage disturbances, ELECO'2009, 283-287.
- Wei, J., Xiao Y., F., Qing, Y., W.,** 2008. Research and simulation on ann speed-sensorless three-level inverter vector control system for induction motor. Proceedings of Electrical Machines and Systems, , ICEMS 2008, 1577-1581.

c) Tez

- Taymur, E.,** 2009. Photovoltaics systems sizing, MSc Thesis. The Ohio State University.

ÖZGEÇMİŞ

Ayşe KOCALMIŞ BİLHAN

akocalmis@firat.edu.tr, aysekocalmis@gmail.com

Tlf: 0424 2370000 / 5222

Fırat Üniversitesi Mühendislik Fakültesi
Elektrik Elektronik Mühendisliği Bölümü
ELAZIĞ

- 1980** : Elazığ’da doğdu.
- 1994-1998** : Mehmet Akif Ersoy Lisesini bitirdi.
- 1998-2002** : Fırat Üniversitesi Mühendislik Fakültesi Elektrik Elektronik Mühendisliği Bölümü’nden fakülte ikincisi olarak mezun oldu.
- 2003** : Fırat Üniversitesi Mühendislik Fakültesi Elektrik Elektronik Mühendisliği Bölümü’nde Araştırma Görevlisi olarak çalışmaya başladı.
- 2002-2005** : Fırat Üniversitesi, Fen Bilimleri Enstitüsü, Elektrik Elektronik Mühendisliği Anabilim Dalı’nda “*Uzay Vektör PWM Kontrollü Çok Seviyeli İnverterin Modellenmesi ve Benzetimi*” konulu yüksek lisans tez çalışmasını tamamladı.
- 2005** : Fırat Üniversitesi Fen Bilimleri Enstitüsü, Elektrik Elektronik Mühendisliği Anabilim Dalı’nda doktora tez çalışmasına başladı.
- 2012** : Halen Fırat Üniversitesi, Mühendislik Fakültesi, Elektrik Elektronik Mühendisliği Bölümü’nde Araştırma Görevlisi olarak görev yapmaktadır.